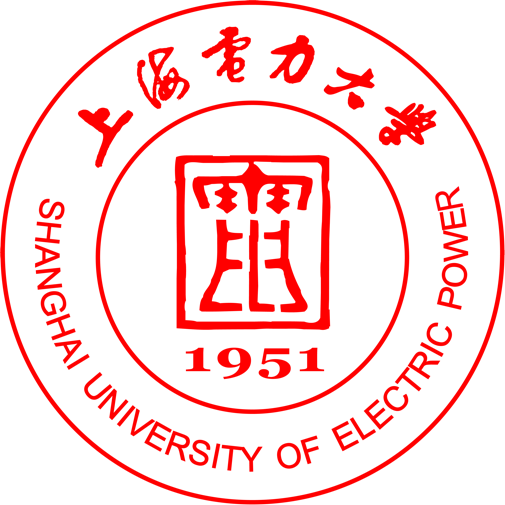
**上 海 电 力 大 学**

《数字集成电路设计与分析》实验报告



**实验题目：**  1bit信号边沿检测设计与仿真

**专 业：**

**班 级**  **学号**

**姓 名**

**时 间**  2023-10-12

1. 实验目的

1、掌握常规时序逻辑电路的设计与仿真

2、熟练掌握VI编辑器，并用VCS调试验证设计程序的正确性

1. 实验任务及要求

用VI编辑器完成实现1bit信号正边和负边沿检测功能，并输出一个周期宽度的脉冲信号电路的源程序、测试程序的编写，并用VCS仿真验证设计的正确性。

1. 实验内容及步骤

1、实验的源代码

module edge\_detection(

input clk,

input rst,

input data,

output pos\_edge,

output neg\_edge,

output data\_edge

);

reg[1:0] data\_n;

always @(posedge clk or negedge rst)

begin

if(rst==1'b1)

begin

data\_n<=2'b00;

end

else

begin

data\_n<={data\_n[0],data};

end

end

assign pos\_edge=(~data\_n[1]) && data\_n[0];

assign neg\_edge=data\_n[1] && (~data\_n[0]);

assign data\_edge=pos\_edge | neg\_edge;

endmodule

2、实验的测试代码

module edge\_detection(

input clk,

input rst,

input data,

output pos\_edge,

output neg\_edge,

output data\_edge

);

reg[1:0] data\_n;

always @(posedge clk or negedge rst)

begin

if(rst==1'b1)

begin

data\_n<=2'b00;

end

else

begin

data\_n<={data\_n[0],data};

end

end

assign pos\_edge=(~data\_n[1]) && data\_n[0];

assign neg\_edge=data\_n[1] && (~data\_n[0]);

assign data\_edge=pos\_edge | neg\_edge;

endmodule

```

CFO's edge\_detection\_tb.v

```verilog

module edge\_detection\_tb();

reg clk, rst, data;

wire pos\_edge , neg\_edge , data\_edge;

edge\_detection uut(

.clk(clk),

.rst(rst),

.data(data),

.pos\_edge(pos\_edge),

.neg\_edge(neg\_edge),

.data\_edge(data\_edge));

always #2 clk = ~clk;

initial begin

$monitor($stime,,"clk=%b rst=%b data=%b pos\_edge=%b neg\_edge=%b data\_edge=%b" , clk, rst , data, pos\_edge , neg\_edge , data\_edge);

clk=0; rst=0; data=1;

#10 data=0;

#10 data=1;

#10 data=0;

#10 data=1;

#10 rst=1;

#40 $finish;

end

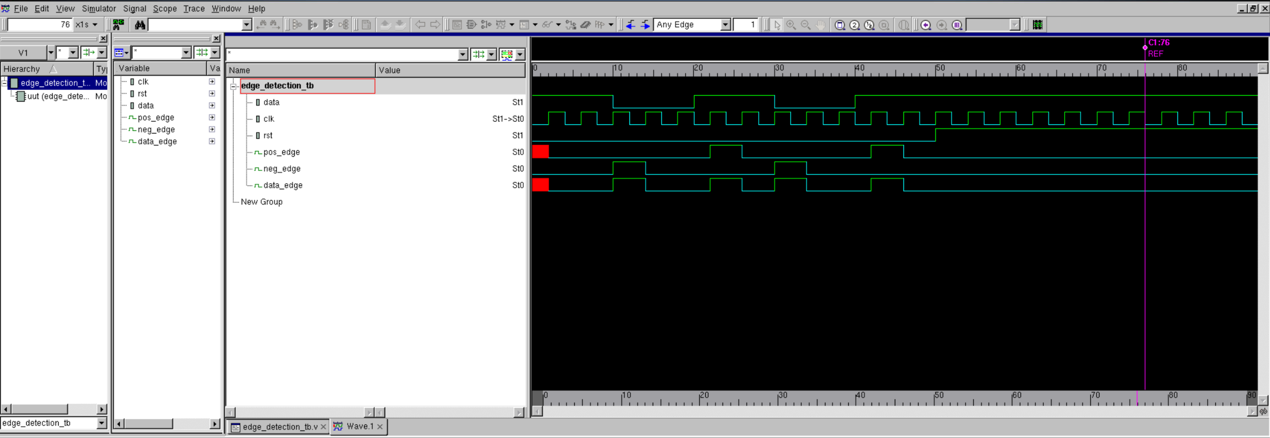
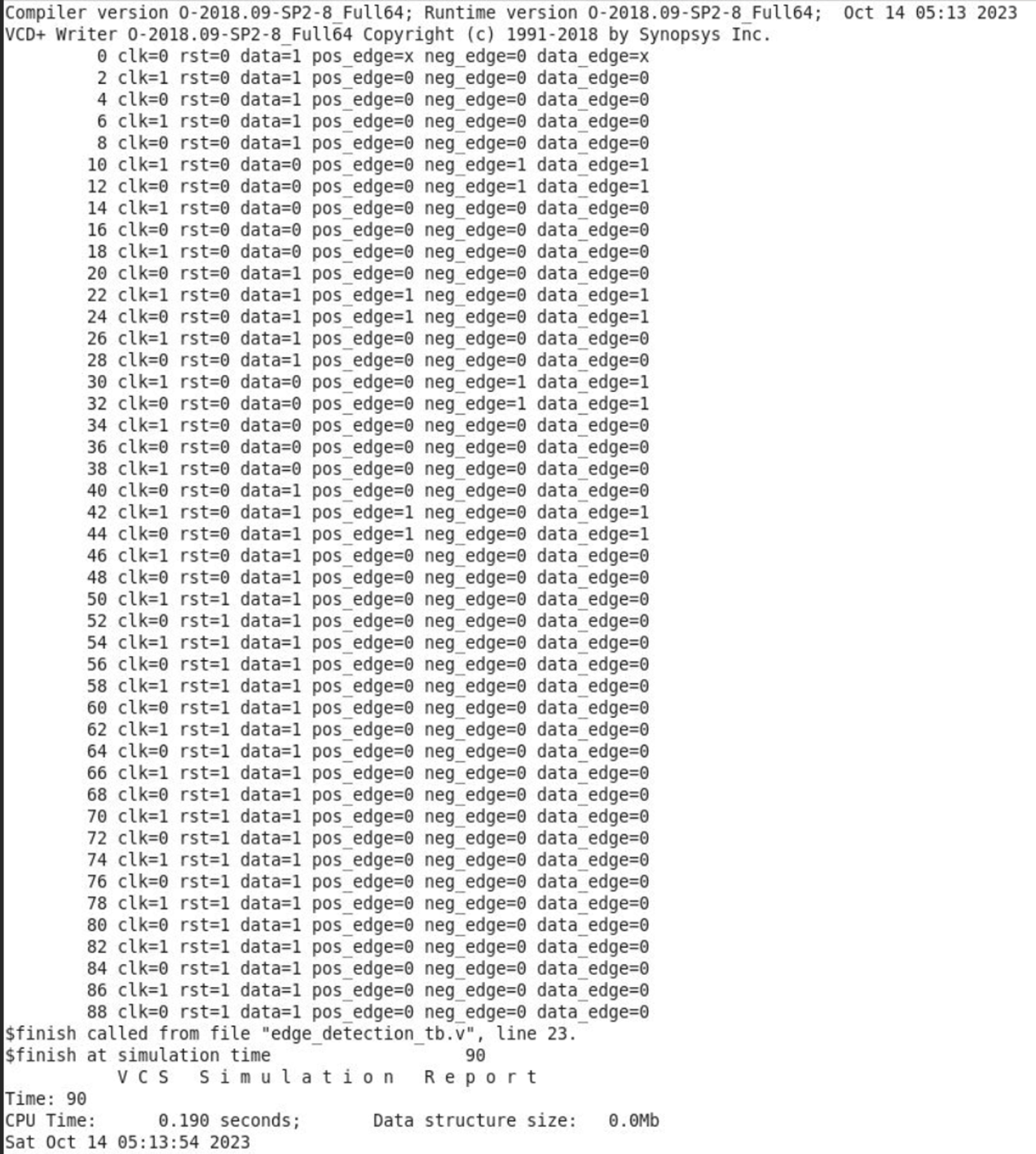
initial begin

$vcdpluson; // vcdplus.vpd格式的波形文件

end

endmodule

3、VCS仿真结果



1. 实验总结