Wydział Elektroniki i Technik Informacyjnych Politechnika Warszawska

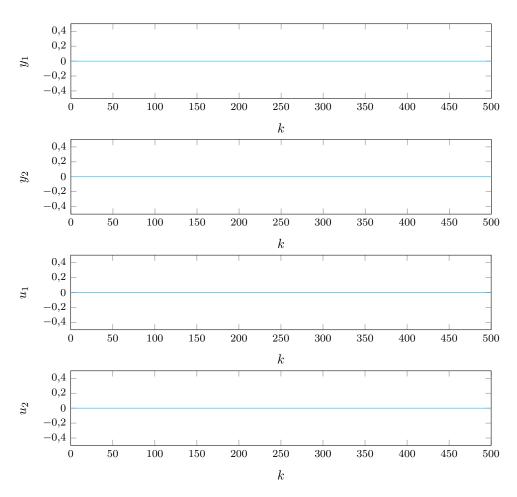
Projektowanie układów sterowania (projekt grupowy)

Sprawozdanie z projektu i ćwiczenia laboratoryjnego nr 3, zadanie nr 10

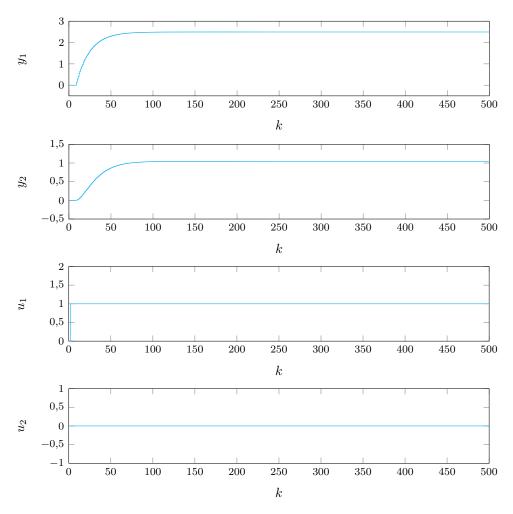
Bartłomiej Boczek, Aleksander Piotrowski, Łukasz Śmigielski

Spis treści

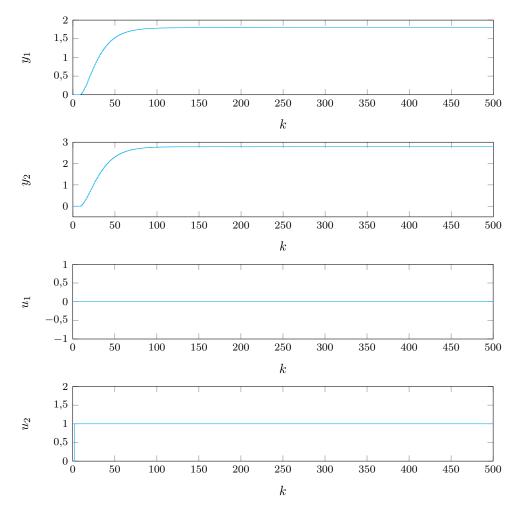
1.	Punkt 1																							 	2
2.	Punkt 2																								3
3.	Punkt 3																								8
4.	Punkt 5					_																	 	 	12



Rys. 1.1. Sygnały wejściowe i wyjściowe w punkcie pracy

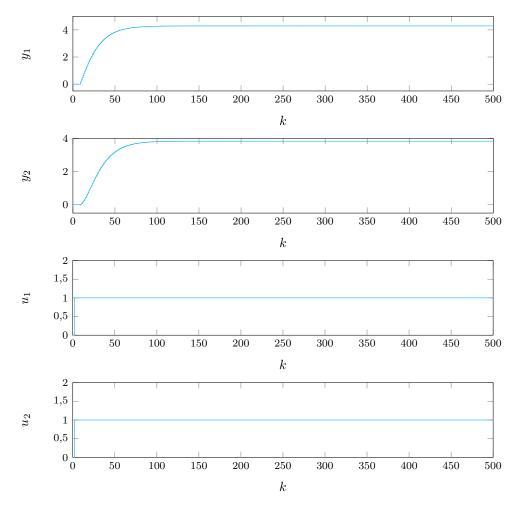


Rys. 2.1. Przypadek 1 ////TODO

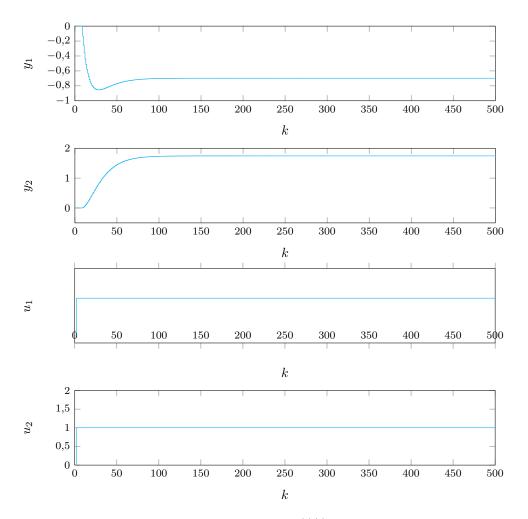


Rys. 2.2. Przypadek 2 ////TODO

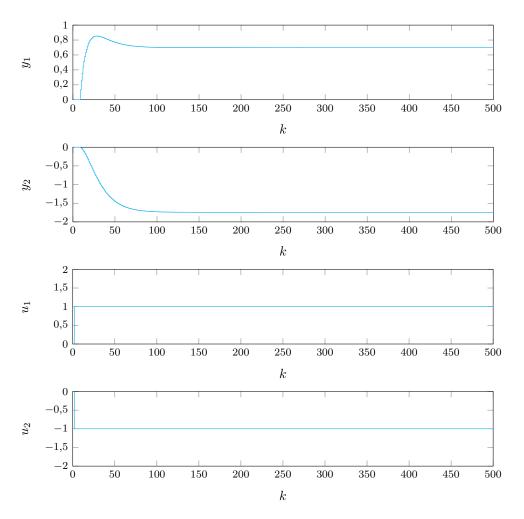
2. Punkt 2 5



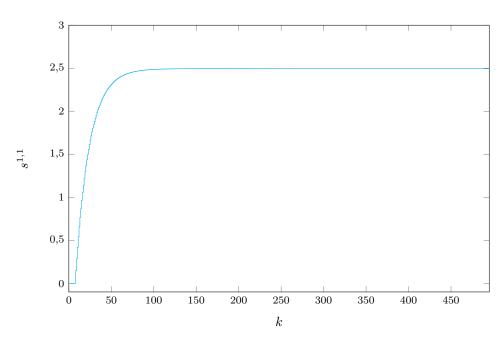
Rys. 2.3. Przypadek 3 ////TODO



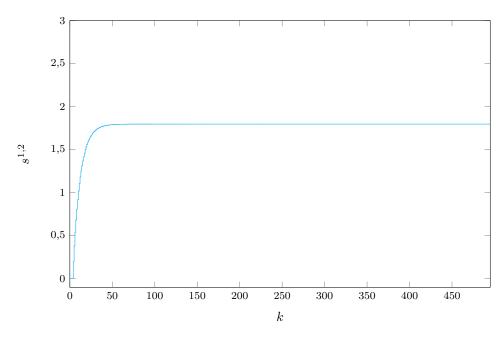
Rys. 2.4. Przypadek 4 ////TODO



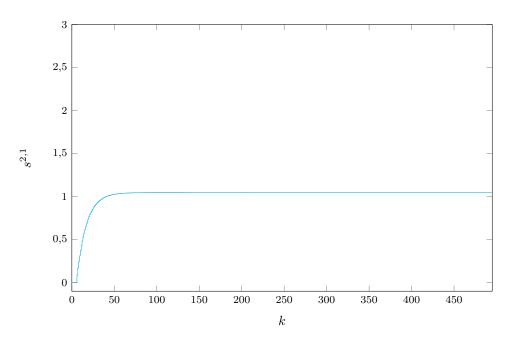
Rys. 2.5. Przypadek 5 ////TODO



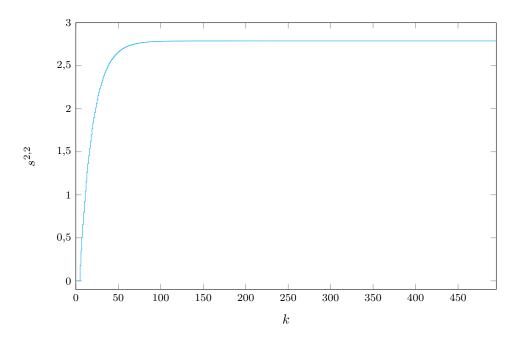
Rys. 3.1. Odpowiedź skokowa wyjścia 1 przy skoku wejścia 1



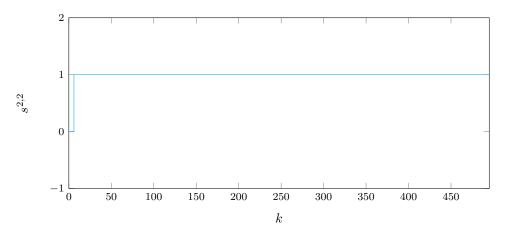
Rys. 3.2. Odpowiedź skokowa wyjścia 1 przy skoku wejścia 2



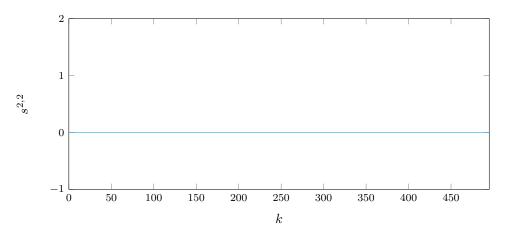
Rys. 3.3. Odpowiedź skokowa wyjścia $2~\mathrm{przy}$ skoku wejścia 1



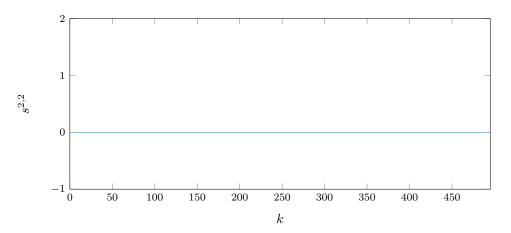
Rys. 3.4. Odpowiedź skokowa wyjścia 2 przy skoku wejścia 2



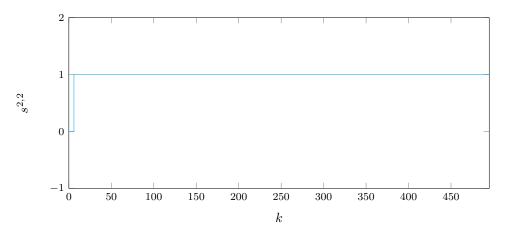
Rys. 3.5. zadanie $3_u1_skok_na_u1$



Rys. 3.6. zadanie $3_u1_skok_na_u2$



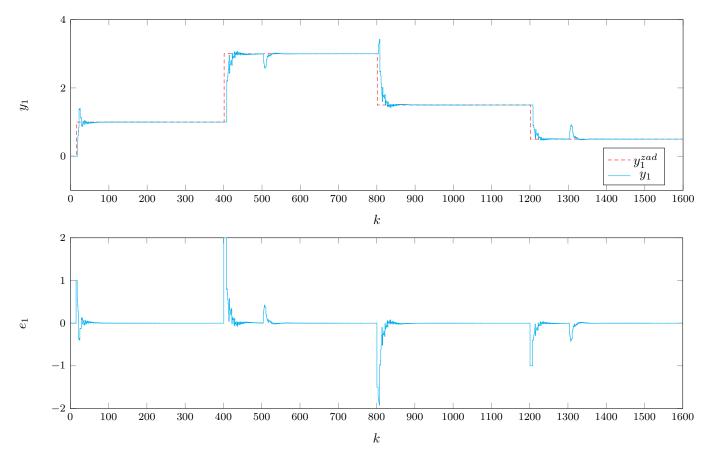
Rys. 3.7. zadanie3_u2_skok_na_u1



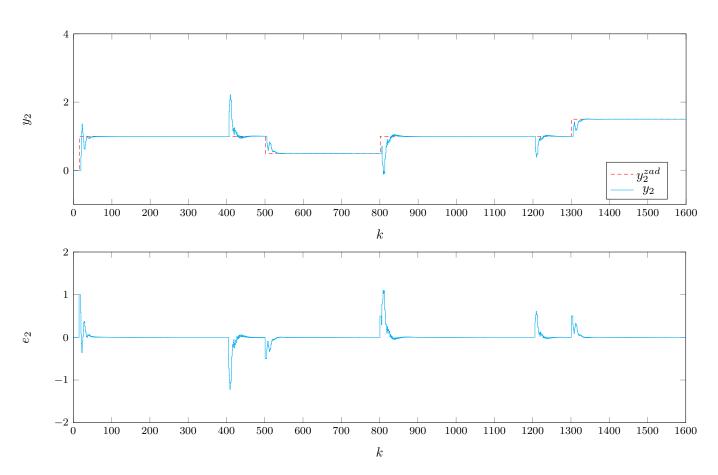
Rys. 3.8. zadanie $3_u2_skok_na_u2$

Oznaczenia pod wykresami:

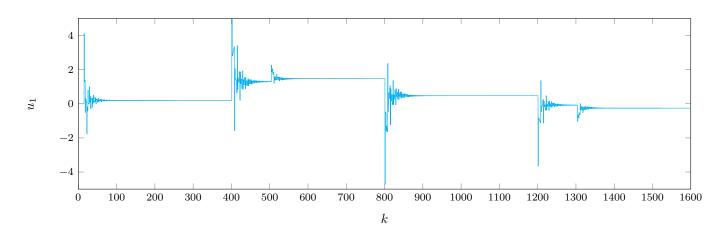
- V1 uchyb pierwszego wyjścia oddziałuje na pierwszy sygnał sterujący,uchyb drugiego wyjscia oddziałuje na drugi sygnał sterujący
- V2 uchyb pierwszego wyjścia oddziałuje na drugi sygnał sterujacy, uchyb drugiego wyjscia oddziałuje na pierwszy sygnał sterujący



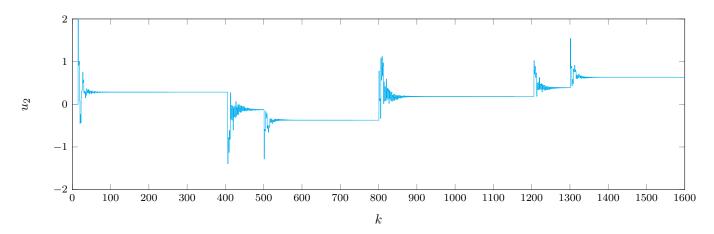
Rys. 4.1. Sygnał wyjściowy y_1 wraz z błędem dla V1



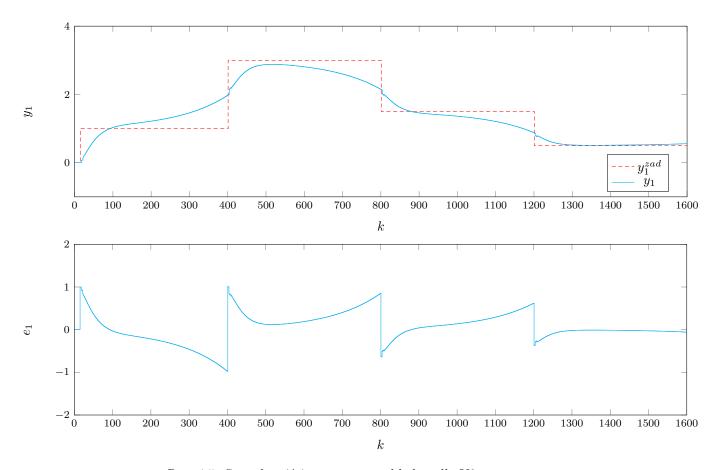
Rys. 4.2. Sygnał wyjściowy y_2 wraz z błędem dla V1



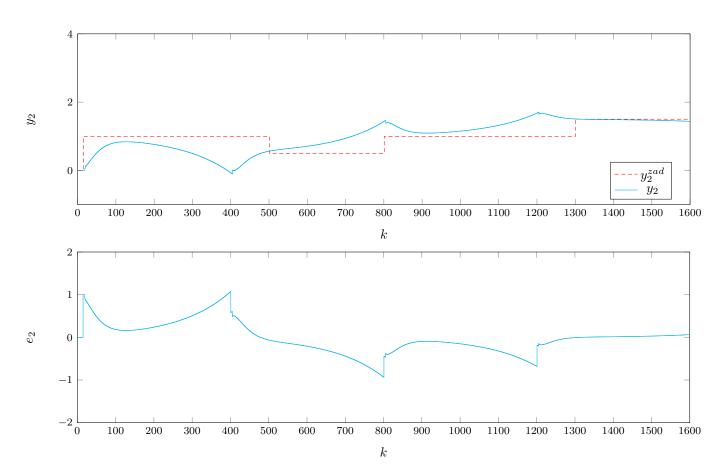
Rys. 4.3. Sygnał wejściowy u_1 dla V1



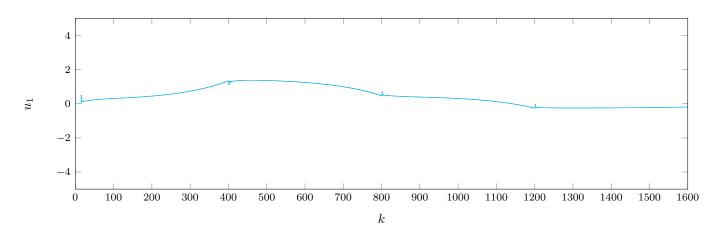
Rys. 4.4. Sygnał wejściowy u_2 dla V1



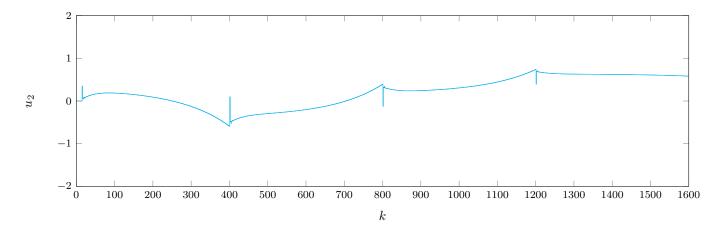
Rys. 4.5. Sygnał wyjściowy y_1 wraz z błędem dla V2



Rys. 4.6. Sygnał wyjściowy y_2 i błąd dla V2



Rys. 4.7. Sygnał wejściowy u_1 dla V2



Rys. 4.8. Sygnał wejściowy u_2 dla V2