

Упражнение 6

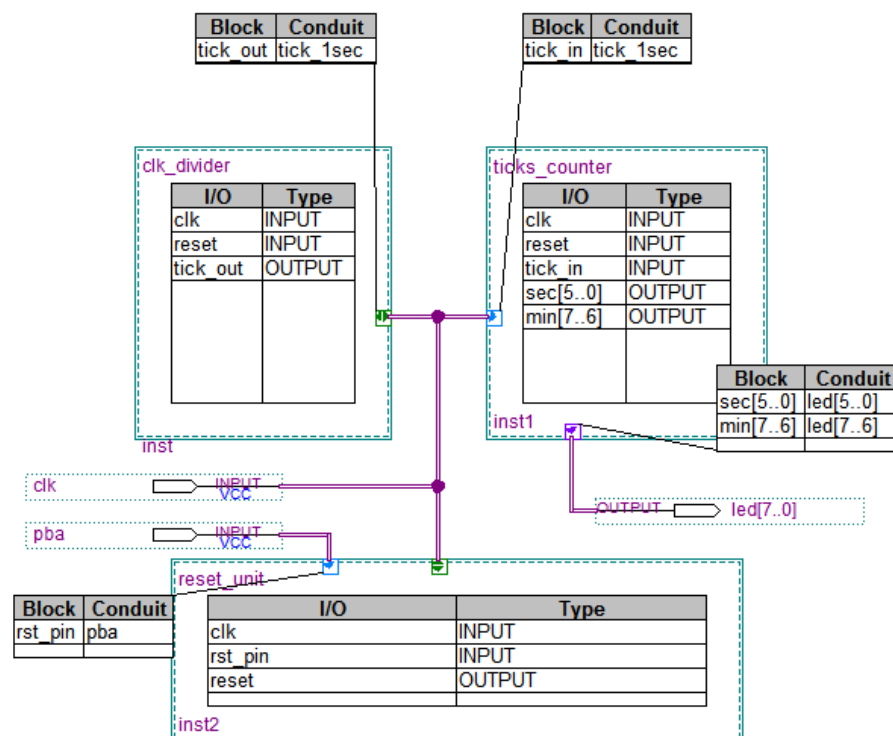
Цель упражнения:

Знакомство с блочным вводом пакета QuartusII, проверка выполнения правил проектирования пакета QII.

Алгоритм работы проекта:

- Проект обеспечивает
 - Деление входной частоты (25 МГц) на 25 000 000 и формирования импульсов с периодом 1 сек.
 - Подсчет (циклически) и отображение числа секунд и минут:
 - На светодиодах led[5..0] отображается число секунд
 - На светодиодах led[7..6] отображается число минут
 - Сброс делителя частоты и счетчиков секунд и минут

Общая структурная схема проекта приведена на рисунке



Блок **clk_divider** обеспечивает деление частоты и формирует импульсы с периодом 1 сек. Блок **ticks_counter** – обеспечивает подсчет числа секунд и минут и их отображение на светодиодах

Блок **reset_unit** – обеспечивает формирование сигнала асинхронного сброса для всех компонентов проекта.

Часть 1 – Создание проекта

1. Проект:
 - Рабочая папка – ... \ lab6;
 - Имя проекта – lab6;
 - Имя модуля верхнего уровня в иерархии проекта –lab6;
 - СБИС ПЛ – *EP4C6E22C8*;

Часть 2 - Создание структуры и схемы каждого блока

1. В схемном редакторе пакета создайте структуру проекта, соответствующую структуре, приведенной выше.

2. Для каждого блока создайте схемный файл и введите схему:
 - делитель (clk_divider) целесообразно создать на базе счетчика, с модулем счета равным 25000000, имеющим выход переноса; обязательно наличие входа асинхронного сброса
 - счетчик секунд (в блоке ticks_counter) – счетчик с модулем счета 60 и выходом переноса; обязательно наличие входа асинхронного сброса
 - счетчик минут (в блоке ticks_counter) – 2-х разрядный счетчик; обязательно наличие входа асинхронного сброса
 - блок формирования сброса (reset_unit) должен предусматривать формирование сброса по правилам проектирования.

Часть 3 - Анализ правил проектирования

1. Осуществите компиляцию проекта (Analysis and Synthesis)
2. Запустите анализ правил: Processing=>Start=>Start Design Assistant
3. Если имеются предупреждения о нарушении правил (кроме информации T100, T101), то измените проект и повторите процедуру.

Часть 4 - Обсуждение в группе

1. Покажите созданный Вами проект преподавателю.
2. После общего (для всей группы) обсуждения подходов к построению проекта введите необходимые изменения и повторите часть 3.

Часть 5 - Функциональное моделирование

1. Осуществите функциональное моделирование проекта (не забудьте для счетчика делителя установить модуль счета (коэффициент деления) небольшим, например = 4)

Часть 6 – Реализация проекта

1. Измените модуль счета счетчика делителя на 25 000 000.
2. Назначьте контакты СБИС выводам проекта и используемый стандарт сигналов в соответствии с приведенной ниже таблицей

	Node Name	Direction	Location	I/O Bank	VREF Group	I/O Standard	Current Strength
in	clk	Input	PIN_23	1	B1_NO	3.3-V LVC MOS	2mA (default)
out	led[7]	Output	PIN_65	4	B4_NO	2.5 V (default)	8mA (default)
out	led[6]	Output	PIN_66	4	B4_NO	2.5 V (default)	8mA (default)
out	led[5]	Output	PIN_67	4	B4_NO	2.5 V (default)	8mA (default)
out	led[4]	Output	PIN_68	4	B4_NO	2.5 V (default)	8mA (default)
out	led[3]	Output	PIN_69	4	B4_NO	2.5 V (default)	8mA (default)
out	led[2]	Output	PIN_70	4	B4_NO	2.5 V (default)	8mA (default)
out	led[1]	Output	PIN_71	4	B4_NO	2.5 V (default)	8mA (default)
out	led[0]	Output	PIN_72	4	B4_NO	2.5 V (default)	8mA (default)
in	pba	Input	PIN_64	4	B4_NO	2.5 V (default)	8mA (default)

3. Задайте режим работы не использованных выводов - **As input tri-stated with weak pull-up**
4. В окне задач (Tasks) выберите процедуру Full Design и двойным щелчком левой клавиши мыши по команде Compile Design запустите полную компиляцию проекта.

Часть 7 – Конфигурирование СБИС и проверка проекта на плате

1. Запрограммируйте СБИС и проверьте ее работу.

Лабораторная работа завершена.