

Team2 and 3-Final project intermediate status report

在 lab 5 的報告當中提到說我們已完成 vitis HLS 到 catapult HLS 的轉換，得到 baseline 的 application accelerator，同時 integrate 進 FSIC。同時我們在 simulation 以及 validation 階段均可以跑完一次任意一種演算法(FFT、iFFT、NTT、iNTT)，且算出正確的值。而目前的進度是在 simulation 階段我們可以成功地依序執行多個演算法，但尚未上板進行 validation。而我們 interrupt 使用 lab_fir 進行測試可以在 simulation 階段以及 validation 使用。

目前我們的 Interrupt 有幾個需要注意的點：

1. 需要 enable aa_mb_irq_en(0x2100)。
2. firmware 讀 kernel status 不能一直讀 user project，會跟 DMA transfer data 卡到，所以 jupyter notebook 端會看到 DMA 卡住。
3. MMIO 用一個(不要同時兩個)才不會讓 kernel dead。
4. 目前把 aa_mb_irq_en 降回 0 再拉高一樣會讀到有 interrupt 並不像 verilog testbench 會把 irq 降到 0。

而以下幾點是需要測試的：

1. Verilog testbench 只寫一次 mailbox 然後一直 toggle aa_mb_irq_en(0x2100) 看是不是也會一直造成 interrupt 拉起來。
2. firmware 讀 kernel 狀態要拉到 uspj 外面 不然會跟 dma 卡在一起。

同時我們在測試 synopsys IC flow 的 synthesis 階段所花費時間過長，可能是因為 design 並沒有特別進行優化導致 design 可能過度複雜。

未來我們的進度規畫會希望能結合 interrupt 進行上板 validation，同時能夠優化我們的 design，並且完成整個 synopsys IC flow。