

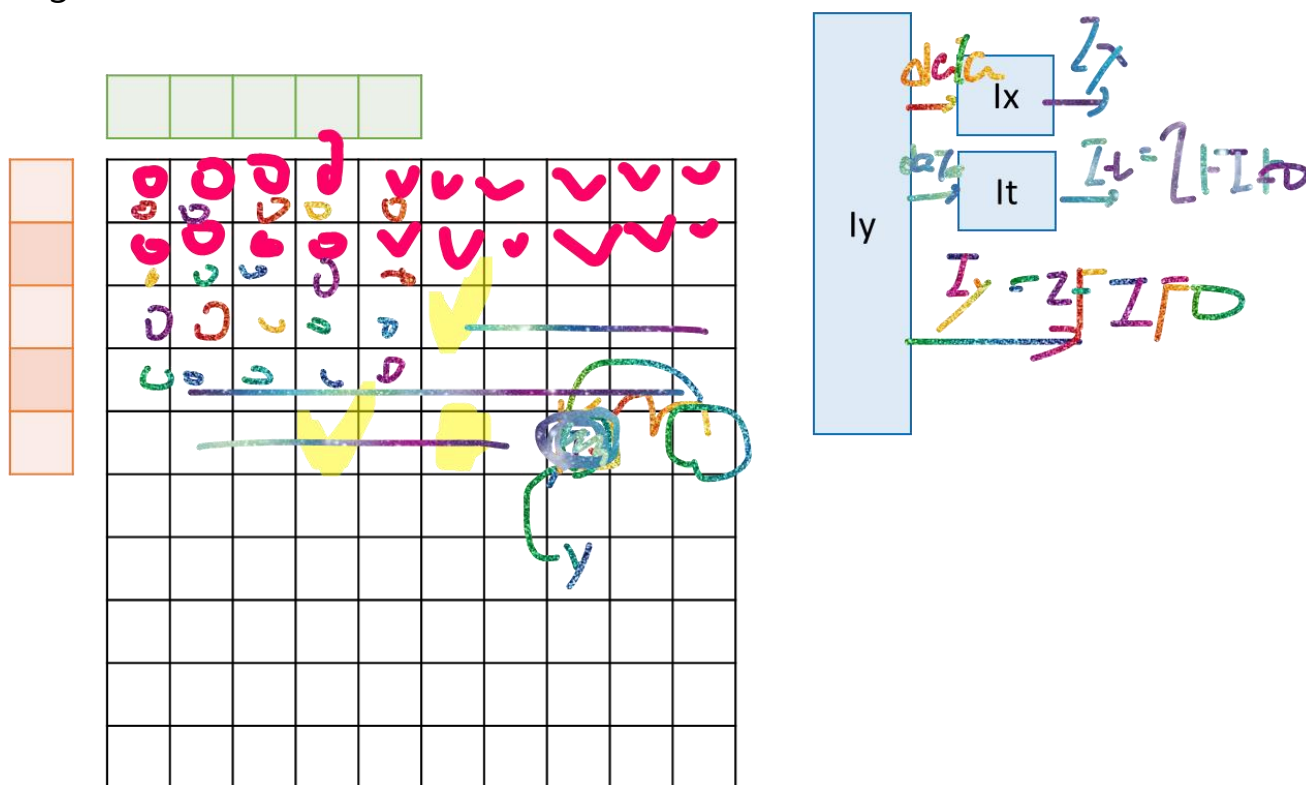
# Final project intermediate status report (Team 6)

陳揚哲, 電機系, 111061545  
葉承泓, 半導體研究學院碩士班(設計部), 112501538

✓ Due date: 2024/6/14 23:59

## ● Current status of HLS implementation in our final project

我們目前幾乎已完成 HLS 的所有 function 初版，也已將其匯入至 Catapult 的 tool 內合成，但受限於內建 FIFO 數目最高只能 assign 128 個，因此需要優化 design 的執行順序來減少 FIFO 數目，如下圖所示為我們目前預計優化的 block diagram：



在實作 HLS code 的過程中，我們有遇到許多問題，導致 error 超過我們的預期，並且我們有一步步優化、解決這些問題，優化過程有寫在 Hackmd.io 中：

<https://hackmd.io/@whywhytellmewhy/r15D2Ao56#Final-project-Optical-Flow>。

我們接下來會將 HLS code 依照上述說明的方式優化，並完成 Catapult 的 tool 內合成，接著 integrate 至 FSIC 中 simulation，完成後再放至 FPGA 做 validation。

- **Github link for our work about final project**

[https://github.com/whywhytellmewhy/ASoC-Final\\_project-optical\\_flow](https://github.com/whywhytellmewhy/ASoC-Final_project-optical_flow)

在上述 Github 連結中有關於這次 lab 及 final project 的相關檔案，我們未來在繼續實作 final project 的過程中也會持續更新這個 repository。

關於上述 Github 中的檔案及模擬方式的更多說明可至下方連結中的

README.md 查看：<https://github.com/whywhytellmewhy/Advanced-SoC-design>