

Team1_Final_intermediate_report

目前我們 final project 進度是:

1. 完成 aes_enc 的 catapult 流程與 rtl 生成
2. Fsic intergrade
3. Synopsys flow

目前目標：

我們目前的目標是要完成在 FPGA 上的驗證。

4. 更正: 目前 Synopsys flow 上面遇到一些問題，需要花時間重新跑流程。