

# 数字逻辑与处理器基础实验

## 第二次作业

### 实验内容：

(1) 设计一个具有异步复位控制的 4bits 十进制同步加法计数器，此计数器输出的 BCD 码通过译码电路送入七段数码管显示。

(2) 序列检测器

在连续输入的串行数据流中检测特定序列“101011”，一旦检测到一个“101011”就输出一个宽度为 1 个时钟周期的高电平脉冲。例如，当输入为“00101011101011100010101100”时，输出为“0000000010000100000000010”。两个 101011 序列可以重叠，如例子中的第二个输出 1。

(2.1) 用有限状态机设计序列检测器，检测序列“101011”。

(2.2) 用移位寄存器和组合逻辑实现序列检测器，检测序列“101011”。

### 实验要求：

(1) 采用行为级设计方法设计。

(2) 进行仿真验证。

(3) 在报告中，给出电路功能单元占用 FPGA 逻辑资源情况：所使用的 LUT 和触发器的数目（即面积情况）。时序性能在本实验中不做要求。

(4) 通过查看电路图和 LUT 配置检验加法计数器的正确性。

(5) （选做）查看综合报告和综合结果（电路图和 LUT 配置），分析状态机中对状态所使用的编码方式。

请将设计代码、testbench 代码和实验报告打包提交。

## 推荐外部电路连接方法

计数器:

器件	管脚	功能
SW0	V17	异步复位信号
数码管	{ W7,W6,U8,V8,U5,V5,U7,V7}, U2	数码管 7 段输入, 高电平 点亮,顺序为 {CA,CB,CC,CD,CE,CF,CG,DP} 数码管 BIT1 使能信号为 U2, 高电平有效
BTND	U17	作为时钟输入

状态机:

器件	管脚	功能
LED 0	U16	检测输出
BTNU	T18	复位
BTND	U17	作为时钟输入
SW1	V16	串行数据输入

移位寄存器:

器件	管脚	功能
LED 0	U16	检测输出
LED1-7	E19,U19,V19,W18,U15,U14,V14	移位寄存器数据
BTNU	T18	复位
BTND	U17	作为时钟输入
SW1	V16	串行数据输入