



UNIVERSIDADE FEDERAL DO CEARÁ

Campus de Quixadá

Prof. Thiago Werlley Bandeira da Silva

QXD0146- Sistemas Digitais para Computadores

# Lista

## 2024.1

1. **Questão 01:** Implemente a **FSM do modelo de Mealy** (entrada e estado atual atuam na saída).

|              |                |                |                |                |                |                |                |                |                |                |                 |
|--------------|----------------|----------------|----------------|----------------|----------------|----------------|----------------|----------------|----------------|----------------|-----------------|
| Clock cycle: | t <sub>0</sub> | t <sub>1</sub> | t <sub>2</sub> | t <sub>3</sub> | t <sub>4</sub> | t <sub>5</sub> | t <sub>6</sub> | t <sub>7</sub> | t <sub>8</sub> | t <sub>9</sub> | t <sub>10</sub> |
| w:           | 0              | 1              | 0              | 1              | 1              | 0              | 1              | 1              | 1              | 0              | 1               |
| z:           | 0              | 0              | 0              | 0              | 1              | 0              | 0              | 1              | 1              | 0              | 0               |

2. **Questão 02:** Desenvolva a **Tabela de Estados** da FSM da questão 1.
3. **Questão 03:** Implemente a **FSM do modelo de Mealy em VHDL**.
4. **Questão 04:** Realize a **geração da Wave** (Analisador de ondas, onde é possível verificar os sinais em determinados instante de tempo) para Reset, Clock, w, z, e y (estados A, B e C).
- Use como estímulos(0 1 0 1 1 0 1 1 0 1) os valores de **w** da questão 1.
  - A entrada deve acompanhar a subida do **clock**.