# Assignment-1. HDL Basics

Due: 11:59pm 11/1/2023

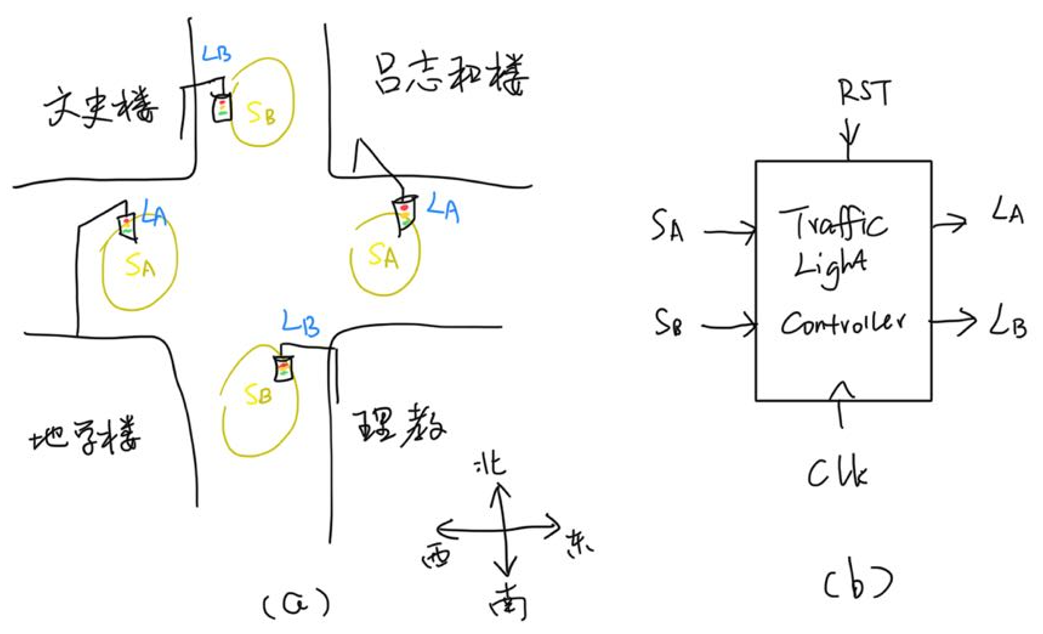
1. EDA tools for HDL are evolving at a very fast pace. Find the difference between iverilog, Verilator and Pyrtl? Why researchers develop Verilator and PyRTL as there already exist open-source simulators like Icarus Verilog and commercial simulators (e.g. vcs)?

2. 你是否曾想改变交通灯的转换策略？机会来了！你现在要帮忙设计一个路口的交通灯，示意图如下。CLK周期5s，RST为high active reset，SA和SB为安装的传感器，比如SA（东西向）探测到有人的话，会输出一个1，然后东西向就需要变绿灯通行。如果SA和SB都有人，那就需要你对红黄绿灯转换时间的设计（需以5s为最低时间单位）啦。

Q1: 画出state-transfer diagram

Q2: 完成基于FSM的TrafficLightController module。

Q3: 写一个testbench测试证明Q2中的code是对的，结果时序图请截图提交。



3. 有符号数乘法：

（3.1）推导基于补数（2’s complement）的乘法，假设有两个8bit整数A（8’ba7a6a5a4\_a3a2a1a0），与B（8’bb7b6b5b4\_b3b2b1b0），a7与b7为符号位；

（3.2）基于上面的推导，用一些基本电路模块（逻辑门、全加器、半加器等）实现上述8bit有符号整数的乘法器。