

Candidature au poste de Maître de conférence en électronique numérique

Mathieu Léonardon

22 Novembre 2019



Plan

① Cursus

Formation d'ingénieur

Doctorat

Poste ATER

② Intégration

Enseignement

Recherche

Formation d'ingénieur - Cours

- ENSEIRB-Matmeca (Bordeaux)



Ingénieur

Mathieu Léonardon

Doctorant

<https://mathieuleonardon.com>

ATER

mathieu.leonardon@ims-bordeaux.fr

Formation d'ingénieur - Cours

- ENSEIRB-Matmeca (Bordeaux)
 - "Systèmes Electroniques Embarqués"



Ingénieur

Doctorant

ATER

Mathieu Léonard

<https://mathieuleonardon.com>

mathieu.leonardon@ims-bordeaux.fr

Candidature au poste de Maître de conférence en électronique numérique

Formation d'ingénieur - Cours

- ENSEIRB-Matmeca (Bordeaux)
- "Systèmes Electroniques Embarqués"
 - FPGA et ASIC (Langage VHDL)



VHDL
FPGA - ASIC

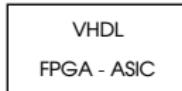
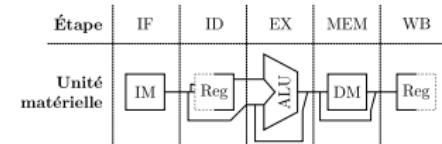
Ingénieur

Doctorant

ATER

Formation d'ingénieur - Cours

- ENSEIRB-Matmeca (Bordeaux)
- "Systèmes Electroniques Embarqués"
 - FPGA et ASIC (Langage VHDL)
 - Architecture des ordinateurs



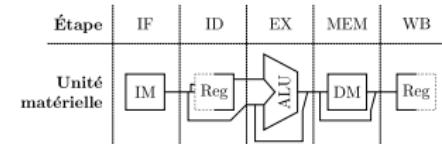
Ingénieur

Doctorant

ATER

Formation d'ingénieur - Cours

- ENSEIRB-Matmeca (Bordeaux)
- "Systèmes Electroniques Embarqués"
 - FPGA et ASIC (Langage VHDL)
 - Architecture des ordinateurs
 - Programmation uC



VHDL	μ C
FPGA - ASIC	RTOS

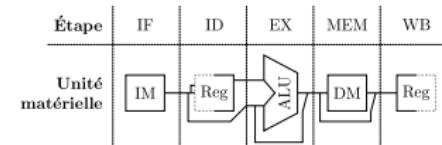
Ingénieur

Doctorant

ATER

Formation d'ingénieur - Cours

- ENSEIRB-Matmeca (Bordeaux)
- "Systèmes Electroniques Embarqués"
 - FPGA et ASIC (Langage VHDL)
 - Architecture des ordinateurs
 - Programmation uC
 - OS embarqués



VHDL	μ C
FPGA - ASIC	RTOS

Ingénieur

Doctorant

ATER

Formation d'ingénieur - Apprentissage

- Entreprise WorldCast Systems



VHDL	μ C
FPGA - ASIC	RTOS

Ingénieur

Doctorant

ATER

Formation d'ingénieur - Apprentissage

- Entreprise WorldCast Systems
- Broadcast



VHDL	μ C
FPGA - ASIC	RTOS

Ingénieur

Doctorant

ATER

Formation d'ingénieur - Apprentissage

- Entreprise WorldCast Systems
- Broadcast
- Équipe R&D émetteurs FM



VHDL	μ C
FPGA - ASIC	RTOS

Ingénieur

Doctorant

ATER

Formation d'ingénieur - Apprentissage

- Entreprise WorldCast Systems
- Broadcast
- Équipe R&D émetteurs FM
 - Conception de cartes électroniques



VHDL	μC
FPGA - ASIC	RTOS

Ingénieur

Doctorant

ATER

Formation d'ingénieur - Apprentissage

- Entreprise WorldCast Systems
- Broadcast
- Équipe R&D émetteurs FM
 - Conception de cartes électroniques
 - Programmation de uC



VHDL	μC
FPGA - ASIC	RTOS

Ingénieur

Doctorant

ATER

Formation d'ingénieur - Apprentissage

- Entreprise WorldCast Systems
 - Broadcast
 - Équipe R&D émetteurs FM
 - Conception de cartes électroniques
 - Programmation de uC
 - Interface graphique



<div style="border: 1px solid black; padding: 5px;"> Your system <input style="margin-bottom: 5px;" type="button" value="Equipment"/> TX1 TX1 Power Capability TX2 Power Capability General Control Unit Type: <input type="button" value="Repeater"/> Con ID: <input type="button" value="Generate"/> IP: <input type="button" value="Generate"/> Serial: <input type="button" value="Generate"/> Components TX1 TX2 <input type="button" value="Heads 1"/> <input type="button" value="Heads 2"/> <input type="button" value="Heads 3"/> Con ID: Power: <input type="button" value="20 W"/> IP: <input type="button" value="192.168.101.52"/> </div>	<input type="button" value="Home"/>	Update <table border="1" style="width: 100%; border-collapse: collapse;"> <thead> <tr> <th></th> <th>Equipment</th> <th>Con ID</th> <th>IP address</th> <th>Serial</th> </tr> </thead> <tbody> <tr> <td><input checked="" type="checkbox"/></td> <td>Neophyts</td> <td>100</td> <td>192.168.1.1</td> <td>110</td> </tr> <tr> <td><input type="checkbox"/></td> <td>Heads 1</td> <td>101</td> <td>192.168.1.1</td> <td>121</td> </tr> <tr> <td><input type="checkbox"/></td> <td>Heads 2</td> <td>111</td> <td>192.168.1.1</td> <td>121</td> </tr> <tr> <td><input type="checkbox"/></td> <td>Gauch 1</td> <td>102</td> <td>192.168.1.1</td> <td>121</td> </tr> <tr> <td><input type="checkbox"/></td> <td>Gauch 2</td> <td>103</td> <td>192.168.1.1</td> <td>121</td> </tr> <tr> <td><input type="checkbox"/></td> <td>Gauch 3</td> <td>104</td> <td>192.168.1.1</td> <td>121</td> </tr> <tr> <td><input type="checkbox"/></td> <td>Gauch 4</td> <td>105</td> <td>192.168.1.1</td> <td>121</td> </tr> </tbody> </table> <input type="button" value="Next"/> <input type="button" value="Home"/>		Equipment	Con ID	IP address	Serial	<input checked="" type="checkbox"/>	Neophyts	100	192.168.1.1	110	<input type="checkbox"/>	Heads 1	101	192.168.1.1	121	<input type="checkbox"/>	Heads 2	111	192.168.1.1	121	<input type="checkbox"/>	Gauch 1	102	192.168.1.1	121	<input type="checkbox"/>	Gauch 2	103	192.168.1.1	121	<input type="checkbox"/>	Gauch 3	104	192.168.1.1	121	<input type="checkbox"/>	Gauch 4	105	192.168.1.1	121
	Equipment	Con ID	IP address	Serial																																						
<input checked="" type="checkbox"/>	Neophyts	100	192.168.1.1	110																																						
<input type="checkbox"/>	Heads 1	101	192.168.1.1	121																																						
<input type="checkbox"/>	Heads 2	111	192.168.1.1	121																																						
<input type="checkbox"/>	Gauch 1	102	192.168.1.1	121																																						
<input type="checkbox"/>	Gauch 2	103	192.168.1.1	121																																						
<input type="checkbox"/>	Gauch 3	104	192.168.1.1	121																																						
<input type="checkbox"/>	Gauch 4	105	192.168.1.1	121																																						
		Pointing equipment with IP options:																																								
		<input type="checkbox"/> Neophyts <input type="checkbox"/> Heads 1 <input type="checkbox"/> Heads 2																																								

VHDL	μ C	IHM
FPGA - ASIC	RTOS	Java

Ingénieur

Doctorant

ATER

Décodage de Codes Polaires

"Décodage de codes polaires sur des architectures programmables"



VHDL	μ C	IHM
FPGA - ASIC	RTOS	Java

Ingénieur

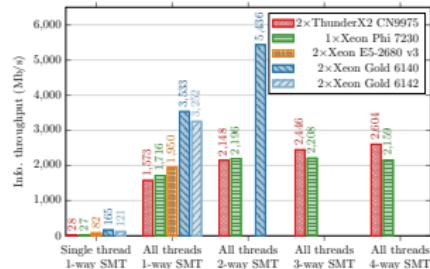
Codes
Polaires

Doctorant

ATER

Implémentation logicielle SC Liste

- Décodeurs logiciels - x86_64 & ARM



VHDL FPGA - ASIC	μ C RTOS	IHM Java
---------------------	-----------------	-------------

Codes Polaires	Décodeur Logiciel
-------------------	----------------------

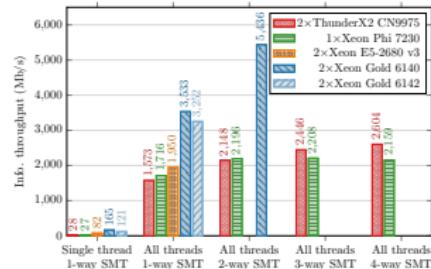
Ingénieur

Doctorant

ATER

Implémentation logicielle SC Liste

- Décodeurs logiciels - x86_64 & ARM
- Implémentation flexible et générique



VHDL	μ C	IHM
FPGA - ASIC	RTOS	Java

Ingénieur

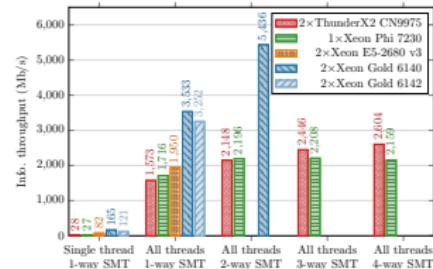
Codes	Décodeur
Polaires	Logiciel

Doctorant

ATER

Implémentation logicielle SC Liste

- Décodeurs logiciels - x86_64 & ARM
- Implémentation flexible et générique
- Parallélisation
 - SIMD, multithreads, multinodes



VHDL	μ C	IHM
FPGA - ASIC	RTOS	Java

Ingénieur

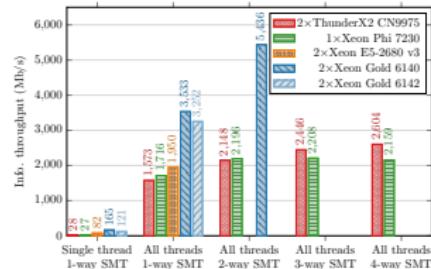
Codes	Décodeur
Polaires	Logiciel

Doctorant

ATER

Implémentation logicielle SC Liste

- Décodeurs logiciels - x86_64 & ARM
- Implémentation flexible et générique
- Parallélisation
 - SIMD, multithreads, multinodes
- Adaptatif le plus rapide à ce jour



VHDL	μ C	IHM
FPGA - ASIC	RTOS	Java

Ingénieur

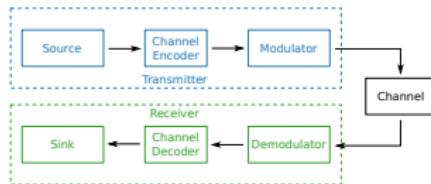
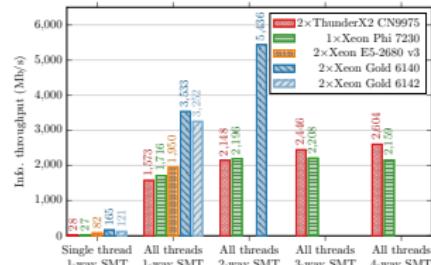
Codes	Décodeur
Polaires	Logiciel

Doctorant

ATER

Implémentation logicielle SC Liste

- Décodeurs logiciels - x86_64 & ARM
- Implémentation flexible et générique
- Parallélisation
 - SIMD, multithreads, multinodes
- Adaptatif le plus rapide à ce jour
- Intégré avec le projet AFF3CT
 - <https://aff3ct.github.io>



VHDL	μ C	IHM
FPGA - ASIC	RTOS	Java

Ingénieur

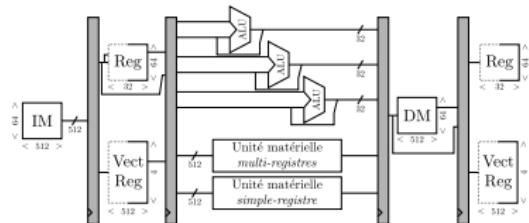
Codes Polaires	Décodeur Logiciel
----------------	-------------------

Doctorant

ATER

Architectures ASIP pour le décodage de codes polaires

- Architecture 1 - Tensilica
 - Collaboration Pierre Langlois
(Polytechnique Montréal)



VHDL	μ C	IHM
FPGA - ASIC	RTOS	Java

Ingénieur

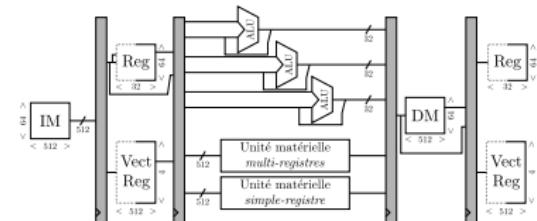
Codes Polaires	Décodeur Logiciel	ASIP
----------------	-------------------	------

Doctorant

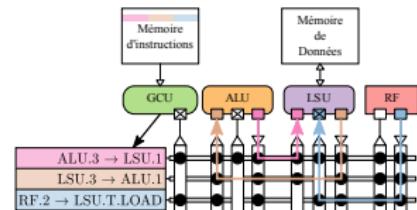
ATER

Architectures ASIP pour le décodage de codes polaires

- Architecture 1 - Tensilica
 - Collaboration Pierre Langlois
(Polytechnique Montréal)



- Architecture 2 - TTA
 - Collaboration Pekka Jääskeläinen
(TUT)



VHDL	μ C	IHM
FPGA - ASIC	RTOS	Java

Codes Polaires	Décodeur Logiciel	ASIP
----------------	-------------------	------

Ingénieur

Doctorant

ATER

Architectures ASIP pour le décodage de codes polaires

- Architecture 1 - Tensilica
 - Collaboration Pierre Langlois
(Polytechnique Montréal)
- Architecture 2 - TTA
 - Collaboration Pekka Jääskeläinen
(TUT)

Architecture	<i>N</i>	Latence (μs)	Débit (Mb/s)	<i>E_b</i> (nJ/bit)
i7-3.3GHz	1024	2.0	257	41
	512	1.2	210	49
	256	0.7	179	59
	128	0.4	143	73
A57-1.1GHz	1024	10.7	48	17
	512	5.3	48	17
	256	2.8	46	17
	128	1.6	41	20
LX7-835MHz	1024	7.2	71	1.6
	512	3.9	66	1.7
	256	1.9	65	1.7
	128	1.0	62	1.8
TTPD-800MHz	1024	1.4	352	0.14
	512	0.8	313	0.15
	256	0.4	304	0.16
	128	0.2	284	0.17

VHDL	μC	IHM
FPGA - ASIC	RTOS	Java

Codes Polaires	Décodeur Logiciel	ASIP
-------------------	----------------------	------

Ingénieur

Doctorant

ATER

Enseignement

- Electronique numérique

Logique combinatoire séquentielle	32 HETD	1A	Bases
Projet de conception en électronique	50 HETD	1A	VHDL - FPGA
Architecture reconfigurable	20 HETD	2A	VHDL - FPGA
Électronique Numérique	25 HETD	1A	VHDL - FPGA

VHDL FPGA - ASIC	μC RTOS	IHM Java
---------------------	------------	-------------

Ingénieur

Codes Polaires	Décodeur Logiciel	ASIP
-------------------	----------------------	------

Doctorant

Enseignements

ATER

Enseignement

- Electronique numérique

Logique combinatoire séquentielle	32 HETD	1A	Bases
Projet de conception en électronique	50 HETD	1A	VHDL - FPGA
Architecture reconfigurable	20 HETD	2A	VHDL - FPGA
Électronique Numérique	25 HETD	1A	VHDL - FPGA

- Informatique

Architecture des ordinateurs	16 HETD	1A	Archi
Projet micro-processeur	36 HETD	2A	C
Projet micro-informatique	42 HETD	2A	C - OS
Programmation objet. Langage C++	15 HETD	2A	C++

VHDL	μC	IHM
FPGA - ASIC	RTOS	Java

Ingénieur

Codes Polaires	Décodeur Logiciel	ASIP
----------------	-------------------	------

Doctorant

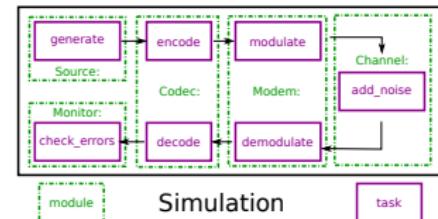
Enseignements

ATER

Travaux

- Projet industriel (Airbus Defense & Space)

- Radio logicielle
- Communications satellitaires



VHDL	μ C	IHM
FPGA - ASIC	RTOS	Java

Ingénieur

Codes Polaires	Décodeur Logiciel	ASIP
----------------	-------------------	------

Doctorant

Enseignements	Chaîne Communications Logicielle
---------------	----------------------------------

ATER

Publications

1 Implémentation logicielle de l'algorithme SCL

- (1) M. Léonardon, A. Cassagne, C. Leroux, C. Jégo, L.-P. Hamelin, and Y. Savaria, "Fast and Flexible Software Polar List Decoders," *Journal of Signal Processing Systems*, 2019.

Publications

1 Implémentation logicielle de l'algorithme SCL

- (1) M. Léonardon, A. Cassagne, C. Leroux, C. Jégo, L.-P. Hamelin, and Y. Savaria, "Fast and Flexible Software Polar List Decoders," *Journal of Signal Processing Systems*, 2019.

2 Spécialisation d'un processeur Tensilica

- (2) M. Léonardon, C. Leroux, D. Binet, J. M. P. Langlois, C. Jégo, and Y. Savaria, "Custom Low Power Processor for Polar Decoding," in *2018 IEEE ISCAS*.

Publications

1 Implémentation logicielle de l'algorithme SCL

- (1) M. Léonardon, A. Cassagne, C. Leroux, C. Jégo, L.-P. Hamelin, and Y. Savaria, "Fast and Flexible Software Polar List Decoders," *Journal of Signal Processing Systems*, 2019.

2 Spécialisation d'un processeur Tensilica

- (2) M. Léonardon, C. Leroux, D. Binet, J. M. P. Langlois, C. Jégo, and Y. Savaria, "Custom Low Power Processor for Polar Decoding," in *2018 IEEE ISCAS*.

3 Conception d'un processeur de type TTA

- (4) M. Léonardon, C. Leroux, P. Jääskeläinen, C. Jégo, and Y. Savaria, "Transport Triggered Polar Decoders," in *2018 IEEE ISTC*.
- (8) ——, "Décodeurs de Codes Polaires Déclenchés par Transfert de Donnée," in *2019 GRETSI*.

Publications

1 Implémentation du décodeur SCMA

- (3) A. Ghaffari, M. Léonardon, Y. Savaria, C. Jego, and C. Leroux, "Improving Performance of SCMA MPA Decoders Using Estimation of Conditional Probabilities," in *2017 IEEE NEWCAS*.
- (5) A. Ghaffari, M. Léonardon, A. Cassagne, C. Leroux, and Y. Savaria, "Toward high performance implementation of 5G SCMA algorithms," *IEEE Access*, 2018.

Publications

1 Implémentation du décodeur SCMA

- (3) A. Ghaffari, M. Léonardon, Y. Savaria, C. Jego, and C. Leroux, "Improving Performance of SCMA MPA Decoders Using Estimation of Conditional Probabilities," in *2017 IEEE NEWCAS*.
- (5) A. Ghaffari, M. Léonardon, A. Cassagne, C. Leroux, and Y. Savaria, "Toward high performance implementation of 5G SCMA algorithms," *IEEE Access*, 2018.

2 Contribution au projet AFF3CT

- (6) A. Cassagne, M. Léonardon, O. Hartmann, G. Delbergue, T. Tonnellier, R. Tajan, C. Leroux, C. Jego, B. Le Gal, O. Aumage, and D. Barthou, "Fast simulation and prototyping with AFF3CT," in *SIPS*, 2017.
- (7) A. Cassagne, M. Léonardon, O. Hartmann, T. Tonnellier, G. Delbergue, V. Giraud, C. Leroux, R. Tajan, B. Le Gal, C. Jégo, O. Aumage, and D. Barthou, "AFF3CT : Un Environnement de Simulation pour le Codage de Canal," in *GdR SoC2*, 2017.
- (9) A. Cassagne, O. Hartmann, M. Leonardon, K. He, C. Leroux, R. Tajan, O. Aumage, D. Barthou, T. Tonnellier, V. Pignoly, et al., "AFF3CT: A Fast Forward Error Correction Toolbox!" *SoftwareX*, 2019.

Plan

1 Cursus

Formation d'ingénieur

Doctorat

Poste ATER

2 Intégration

Enseignement

Recherche

Enseignements de première année

- Opérationnel sur l'enseignement d'électronique numérique,



VHDL
FPGA - ASIC

μC
RTOS

IHM
Java

Codes
Polaires

Décodeur
Logiciel

ASIP

Ingénieur

Doctorant

Enseignements

Chaîne
Communications
Logicielle

ATER

Enseignements de première année

- Opérationnel sur l'enseignement d'électronique numérique,
- Apte à encadrer les différents projets (FAIRE, SAR, CODEV).



VHDL	μ C	IHM
FPGA - ASIC	RTOS	Java

Ingénieur

Codes Polaires	Décodeur Logiciel	ASIP
----------------	-------------------	------

Doctorant

Enseignements	Chaîne Communications Logicielle
---------------	----------------------------------

ATER

TAF Systèmes Embarqués Hétérogènes

« La double compétence **logicielle** et **matérielle**, indissociable des systèmes embarqués, est très recherchée. »

VHDL	μ C	IHM
FPGA - ASIC	RTOS	Java

Ingénieur

Codes Polaires	Décodeur Logiciel	ASIP
----------------	-------------------	------

Doctorant

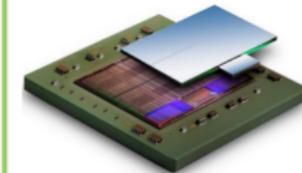
Enseignements	Chaîne Communications Logicielle
---------------	----------------------------------

ATER

UE Coeurs

- UEC1 : Circuits intégrés numériques et analogiques

UE1 : Circuits intégrés numériques et analogiques



Architectures et techniques de conception circuits numériques (VHDL) et analogiques (CMOS et ASIC full custom).

Modélisation, simulation, synthèse, prototypage FPGA.

VHDL

FPGA - ASIC

μC

RTOS

IHM

Java

Codes
Polaires

Décodeur
Logiciel

ASIP

Ingénieur

Doctorant

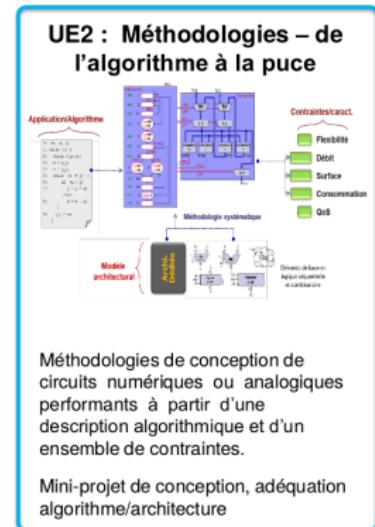
ATER

Enseignements

Chaîne
Communications
Logicielle

UE Coeurs

- UEC1 : Circuits intégrés numériques et analogiques
 - UEC2 : Méthodologies - de l'algorithme à la puce



VHDL	μ C	IHM
FPGA - ASIC	RTOS	Java

Ingénieur

Codes Polaires	Décodeur Logiciel	ASIP
----------------	-------------------	------

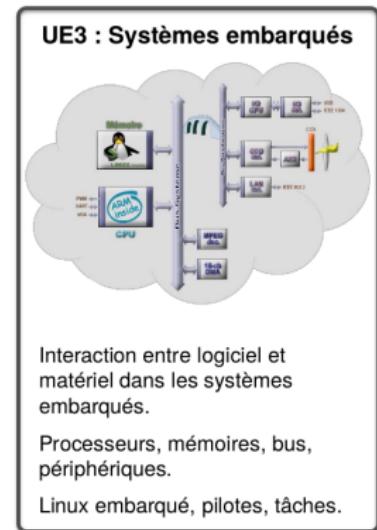
Doctorant

Enseignements	Chaîne Communications Logicielle
---------------	--

ATER

UE Coeurs

- UEC1 : Circuits intégrés numériques et analogiques
 - UEC2 : Méthodologies - de l'algorithme à la puce
 - UEC3 : Systèmes embarqués



VHDL	μC	IHM
FPGA - ASIC	RTOS	Java

Ingénieur

Codes Polaires	Décodeur Logiciel	ASIP
----------------	-------------------	------

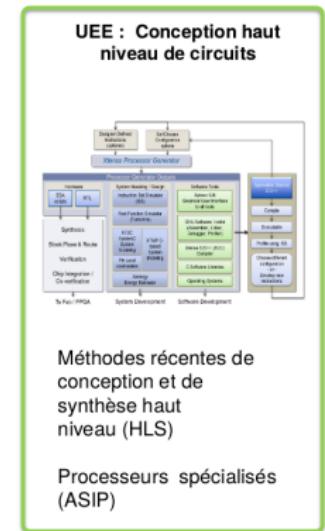
Doctorant

Enseignements	Chaîne Communications Logicielle
---------------	--

ATER

UE Électives

- UEE : Conception haut niveau de circuits



VHDL	μC	IHM
FPGA - ASIC	RTOS	Java

Ingénieur

Codes Polaires	Décodeur Logiciel	ASIP
----------------	-------------------	------

Doctorant

Enseignements	Chaîne Communications Logicielle
---------------	----------------------------------

ATER

UE Électives

- UEE : Conception haut niveau de circuits
- UEE : IA Intro & IA Optimisation

UEE : IA – Introduction
UEE : IA – Optimisation



Introduction générale à l'IA et au DL (incluant les enjeux éthiques)

Optimisation des ressources (calcul et mémoire), projet long matériiel (FPGA, VHDL) ou logiciel (GPU, Pytorch)

VHDL	μ C	IHM
FPGA - ASIC	RTOS	Java

Ingénieur

Codes Polaires	Décodeur Logiciel	ASIP
----------------	-------------------	------

Doctorant

Enseignements	Chaîne Communications Logicielle
---------------	----------------------------------

ATER

UE Électives

- UEE : Conception haut niveau de circuits
- UEE : IA Intro & IA Optimisation
- UEE : Calcul parallèle

UEE : Calcul parallèle

(ouverture de cette UEE en 2019 à confirmer)



Développement logiciel sur matériel spécialisé
Processeurs vectoriels (GPU, DSP)
Calcul distribué

VHDL	μ C	IHM
FPGA - ASIC	RTOS	Java

Ingénieur

Codes Polaires	Décodeur Logiciel	ASIP
----------------	--------------------------	------

Doctorant

Enseignements	Chaîne Communications Logicielle
---------------	---

ATER

TAF CoOC

- Conception d'Objets Communicants
- Conception centrée sur l'utilisateur
- Prototypage rapide et développement agile
- L'objet dans son environnement
- Projet fil rouge
 - Maquettage
 - Étude des utilisateurs
 - Rédaction cahier des charges

VHDL	μ C	IHM Java
FPGA - ASIC	RTOS	

Ingénieur

Codes Polaires	Décodeur Logiciel	ASIP
----------------	-------------------	------

Doctorant

Enseignements	Chaîne Communications Logicielle
---------------	----------------------------------

ATER

Plan

1 Cursus

Formation d'ingénieur

Doctorat

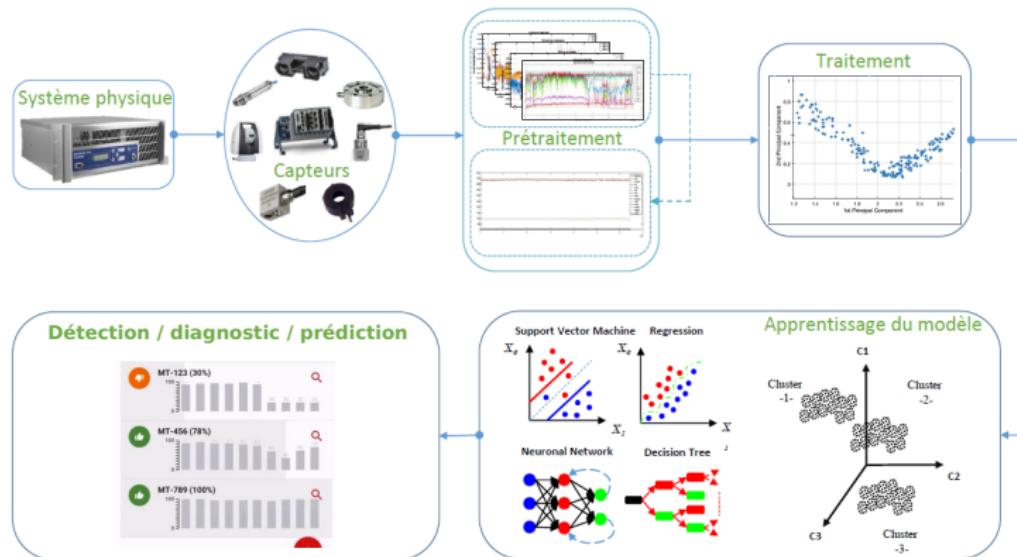
Poste ATER

2 Intégration

Enseignement

Recherche

Axe de recherche 1 : Maintenance prédictive



VHDL	μ C	IHM
FPGA - ASIC	RTOS	Java

Ingénieur

Codes Polaires	Décodeur Logiciel	ASIP
-----------------------	-------------------	------

Doctorant

Enseignements	Chaîne Communications Logicielle
---------------	----------------------------------

ATER

Axe de recherche 1 : Maintenance prédictive

- Entreprise Worldcast Systems
- Premiers résultats
- Proposition CIFRE
- Prochaine étape : Kybio



VHDL	μ C	IHM
FPGA - ASIC	RTOS	Java

Ingénieur

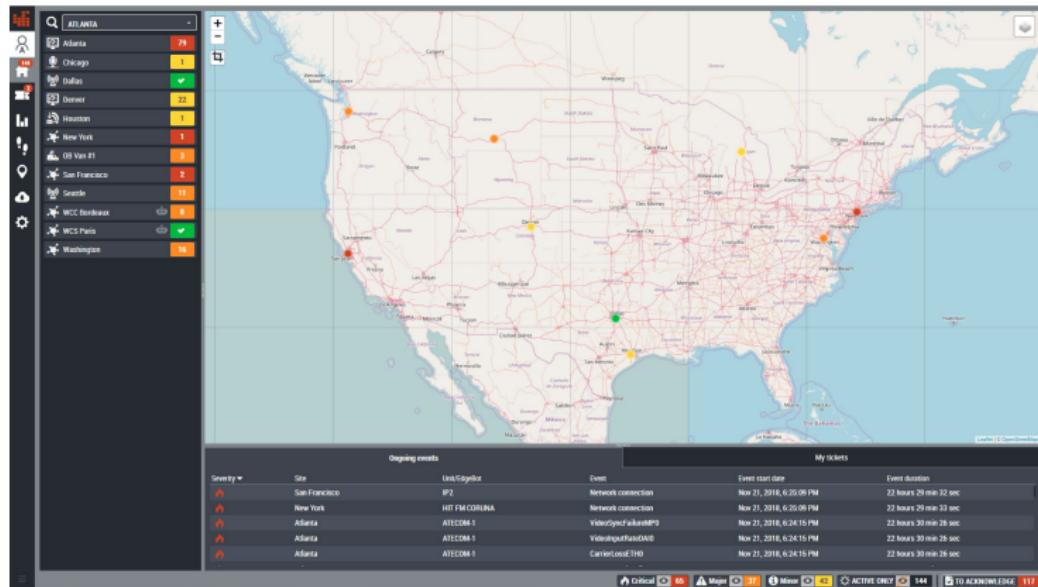
Codes Polaires	Décodeur Logiciel	ASIP
---------------------------	----------------------	------

Doctorant

Enseignements	Chaîne Communications Logicielle
---------------	--

ATER

Axe de recherche 1 : Maintenance prédictive



VHDL
FPGA - ASIC

μC
RTOS

IHM
Java

**Codes
Polaires**

Décodeur
Logiciel

ASIP

Enseignements

Chaîne
Communications
Logicielle

Ingénieur

Doctorant

ATER

Axe de recherche 1 : Maintenance prédictive



VHDL
FPGA - ASIC

μC
RTOS

IHM
Java

**Codes
Polaires**

Décodeur
Logiciel

ASIP

Ingénieur

Doctorant

ATER

Axe de recherche 1 : Maintenance prédictive



- Extraire automatiquement des données de surveillance SNMP,
- réaliser l'interface avec logiciel Kybio,
- proposer des algorithmes de prédition,
- les appliquer et les évaluer sur les données recueillies.

VHDL	μC	IHM
FPGA - ASIC	RTOS	Java

Ingénieur

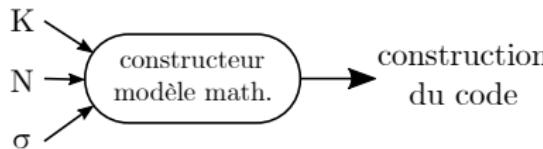
Codes Polaires	Décodeur Logiciel	ASIP
-------------------	----------------------	------

Doctorant

Enseignements	Chaîne Communications Logicielle
---------------	--

ATER

Axe de recherche 2 : IA pour la construction de codes



VHDL	μ C	IHM
FPGA - ASIC	RTOS	Java

Ingénieur

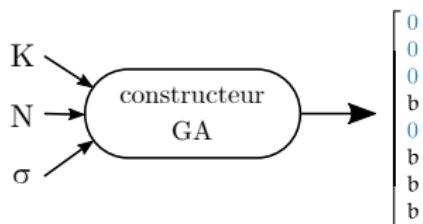
Codes Polaires	Décodeur Logiciel	ASIP
-------------------	----------------------	------

Doctorant

Enseignements	Chaîne Communications Logicielle
---------------	--

ATER

Axe de recherche 2 : IA pour la construction de codes



VHDL	μ C	IHM
FPGA - ASIC	RTOS	Java

Ingénieur

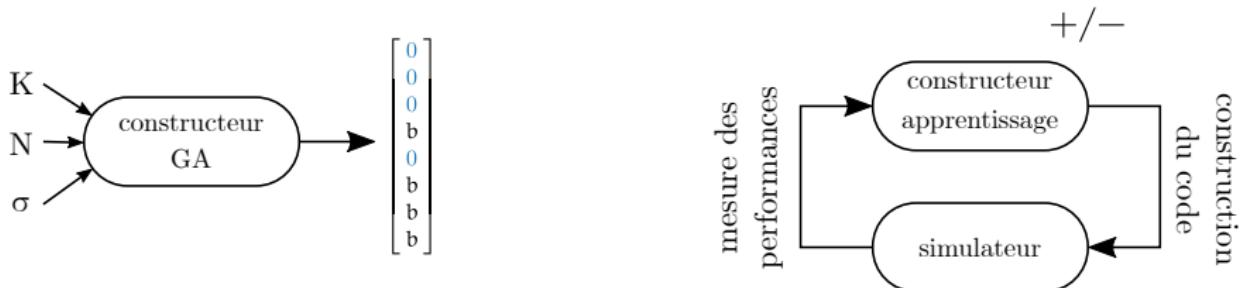
Codes Polaires	Décodeur Logiciel	ASIP
-------------------	----------------------	------

Doctorant

Enseignements	Chaîne Communications Logicielle
---------------	--

ATER

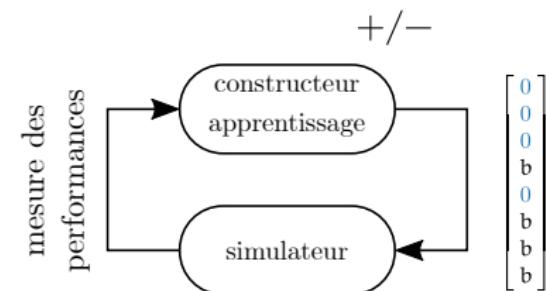
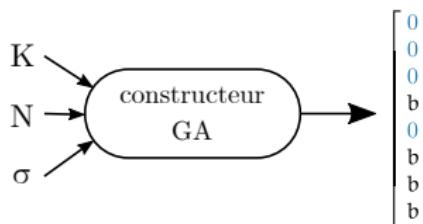
Axe de recherche 2 : IA pour la construction de codes



- (10) L. Huang, H. Zhang, R. Li, Y. Ge, and J. Wang, "AI coding: Learning to construct error correction codes," *CoRR*, 2019. (Online). Available: <http://arxiv.org/abs/1901.05719>.



Axe de recherche 2 : IA pour la construction de codes



VHDL	μ C	IHM
FPGA - ASIC	RTOS	Java

Ingénieur

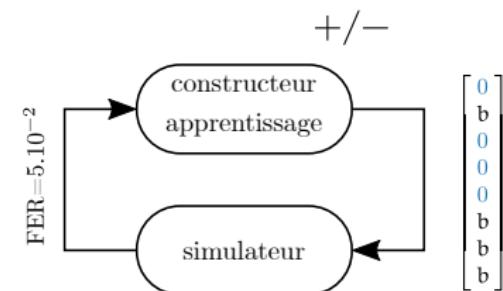
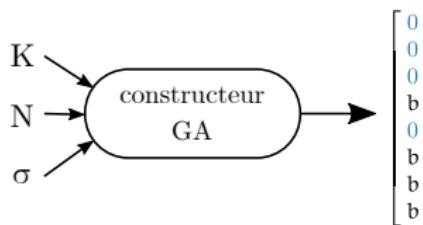
Codes Polaires	Décodeur Logiciel	ASIP
-------------------	----------------------	------

Doctorant

Enseignements	Chaîne Communications Logicielle
---------------	--

ATER

Axe de recherche 2 : IA pour la construction de codes



VHDL	μ C	IHM
FPGA - ASIC	RTOS	Java

Ingénieur

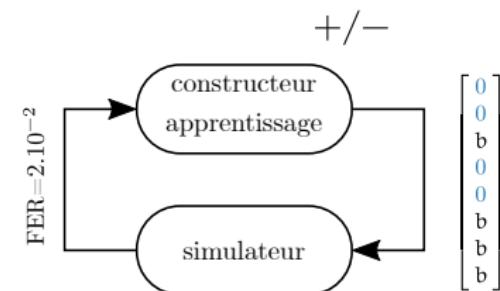
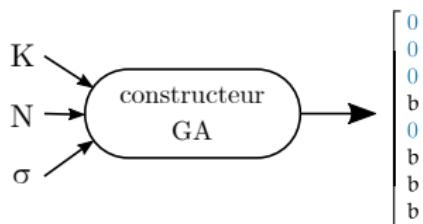
Codes Polaires	Décodeur Logiciel	ASIP
----------------	-------------------	------

Doctorant

Enseignements	Chaîne Communications Logicielle
---------------	----------------------------------

ATER

Axe de recherche 2 : IA pour la construction de codes



VHDL	μ C	IHM
FPGA - ASIC	RTOS	Java

Ingénieur

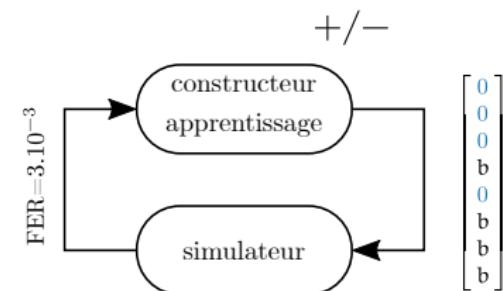
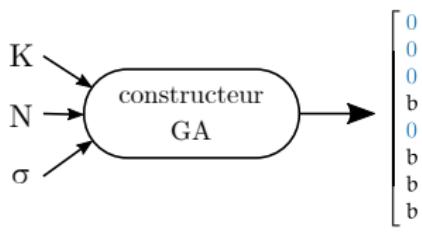
Codes Polaires	Décodeur Logiciel	ASIP
----------------	-------------------	------

Doctorant

Enseignements	Chaîne Communications Logicielle
---------------	----------------------------------

ATER

Axe de recherche 2 : IA pour la construction de codes



VHDL	μ C	IHM
FPGA - ASIC	RTOS	Java

Ingénieur

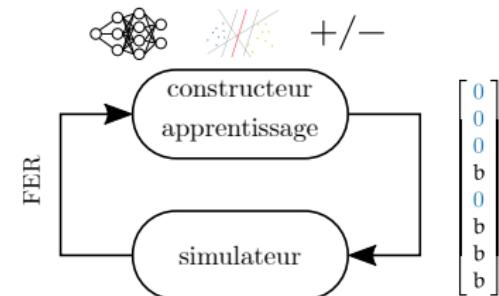
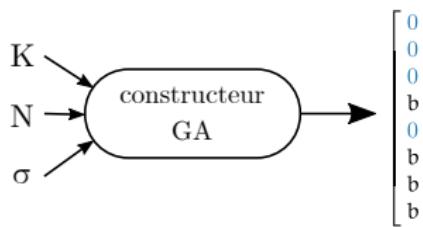
Codes Polaires	Décodeur Logiciel	ASIP
----------------	-------------------	------

Doctorant

Enseignements	Chaîne Communications Logicielle
---------------	----------------------------------

ATER

Axe de recherche 2 : IA pour la construction de codes



VHDL	μ C	IHM
FPGA - ASIC	RTOS	Java

Ingénieur

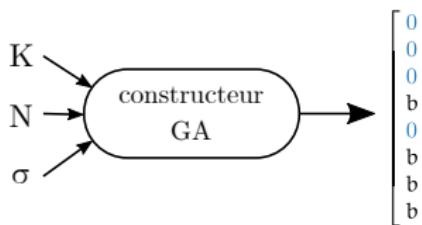
Codes Polaires	Décodeur Logiciel	ASIP
----------------	-------------------	------

Doctorant

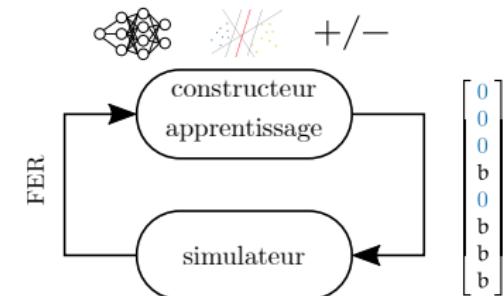
Enseignements	Chaîne Communications Logicielle
---------------	----------------------------------

ATER

Axe de recherche 2 : IA pour la construction de codes



+ **reproductible**



- **non reproductible**

VHDL	μ C	IHM
FPGA - ASIC	RTOS	Java

Ingénieur

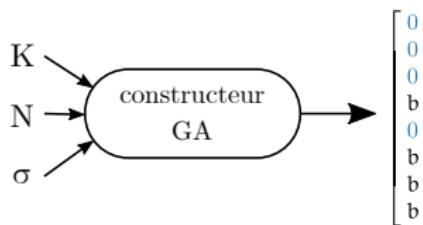
Codes Polaires	Décodeur Logiciel	ASIP
----------------	-------------------	------

Doctorant

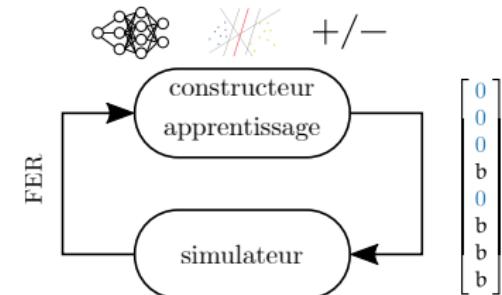
Enseignements	Chaîne Communications Logicielle
---------------	----------------------------------

ATER

Axe de recherche 2 : IA pour la construction de codes



- + **reproductible**
- + **faible complexité**



- **non reproductible**
- **forte complexité**

VHDL	μC	IHM
FPGA - ASIC	RTOS	Java

Ingénieur

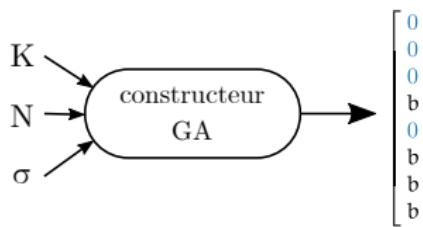
Codes Polaires	Décodeur Logiciel	ASIP
----------------	-------------------	------

Doctorant

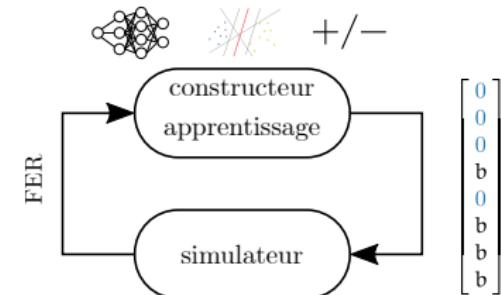
Enseignements	Chaîne Communications Logicielle
---------------	----------------------------------

ATER

Axe de recherche 2 : IA pour la construction de codes



- + **reproductible**
- + **faible complexité**
- **a priori : SC**
- **a priori : AWGN**
- **spécifique au code**



- **non reproductible**
- **forte complexité**
- + **s'adapte au décodeur**
- + **s'adapte au canal**
- + **méthode générique**

VHDL	μ C	IHM
FPGA - ASIC	RTOS	Java

Ingénieur

Codes Polaires	Décodeur Logiciel	ASIP
----------------	-------------------	------

Doctorant

Enseignements	Chaîne Communications Logicielle
---------------	----------------------------------

ATER

Axe de recherche 2 : IA pour la construction de codes

Un simulateur performant & générique : AFF3CT

— **forte complexité** → simulateur performant

VHDL	μC	IHM
FPGA - ASIC	RTOS	Java

Ingénieur

Codes Polaires	Décodeur Logiciel	ASIP
-------------------	----------------------	------

Doctorant

Enseignements	Chaîne Communications Logicielle
---------------	--

ATER

Axe de recherche 2 : IA pour la construction de codes

Un simulateur performant & générique : AFF3CT

- **forte complexité** → simulateur performant
- + **méthode générique** → nombreux codes

VHDL	μC	IHM
FPGA - ASIC	RTOS	Java

Ingénieur

Codes Polaires	Décodeur Logiciel	ASIP
-------------------	----------------------	------

Doctorant

Enseignements	Chaîne Communications Logicielle
---------------	--

ATER

Axe de recherche 2 : IA pour la construction de codes

Un simulateur performant & générique : AFF3CT

- **forte complexité** → simulateur performant
- + **méthode générique** → nombreux codes
- + **s'adapte au décodeur** → nombreux algorithmes

VHDL	μC	IHM
FPGA - ASIC	RTOS	Java

Ingénieur

Codes Polaires	Décodeur Logiciel	ASIP
-------------------	----------------------	------

Doctorant

Enseignements	Chaîne Communications Logicielle
---------------	--

ATER

Axe de recherche 2 : IA pour la construction de codes

Un simulateur performant & générique : AFF3CT

- **forte complexité** → simulateur performant
- + **méthode générique** → nombreux codes
- + **s'adapte au décodeur** → nombreux algorithmes
- + **s'adapte au canal** → nombreux modèles de canal

VHDL	μC	IHM
FPGA - ASIC	RTOS	Java

Ingénieur

Codes Polaires	Décodeur Logiciel	ASIP
----------------	-------------------	------

Doctorant

Enseignements	Chaîne Communications Logicielle
---------------	----------------------------------

ATER

Axe de recherche 2 : IA pour la construction de codes

Un simulateur performant & générique : AFF3CT

- **forte complexité** → simulateur performant
- + **méthode générique** → nombreux codes
- + **s'adapte au décodeur** → nombreux algorithmes
- + **s'adapte au canal** → nombreux modèles de canal
- + **s'adapte à l'implémentation** → décodeurs génériques et flexibles

VHDL	μC	IHM
FPGA - ASIC	RTOS	Java

Ingénieur

Codes Polaires	Décodeur Logiciel	ASIP
----------------	-------------------	------

Doctorant

Enseignements	Chaîne Communications Logicielle
---------------	----------------------------------

ATER

International collaborations

- Co-supervised thesis between University of Bordeaux and Polytechnique Montréal (Canada)
 - Yvon Savaria, director
 - Pierre Langlois, co-author



VHDL	μC	IHM
FPGA - ASIC	RTOS	Java

Ingénieur

Codes Polaires	Décodeur Logiciel	ASIP
-------------------	----------------------	------

Doctorant

Enseignements	Chaîne Communications Logicielle
---------------	--

ATER

International collaborations

- Co-supervised thesis between University of Bordeaux and Polytechnique Montréal (Canada)
 - Yvon Savaria, director
 - Pierre Langlois, co-author

→ Architecture-Algorithm Adequation



VHDL	μ C	IHM
FPGA - ASIC	RTOS	Java

Ingénieur

Codes Polaires	Décodeur Logiciel	ASIP
-------------------	----------------------	------

Doctorant

Enseignements	Chaîne Communications Logicielle
---------------	--

ATER

International collaborations

- Co-supervised thesis between University of Bordeaux and Polytechnique Montréal (Canada)



- Yvon Savaria, director
 - Pierre Langlois, co-author
- Architecture-Algorithm Adequation

- Thibaud Tonnellier, McGill University (Canada), co-author



VHDL	μ C	IHM
FPGA - ASIC	RTOS	Java

Ingénieur

Codes Polaires	Décodeur Logiciel	ASIP
----------------	-------------------	------

Doctorant

Enseignements	Chaîne Communications Logicielle
---------------	----------------------------------

ATER

International collaborations

- Co-supervised thesis between University of Bordeaux and Polytechnique Montréal (Canada)



- Yvon Savaria, director
 - Pierre Langlois, co-author
- Architecture-Algorithm Adequation

- Thibaud Tonnellier, McGill University (Canada), co-author



→ Polar Codes & AI

VHDL	μC	IHM
FPGA - ASIC	RTOS	Java

Ingénieur

Codes Polaires	Décodeur Logiciel	ASIP
----------------	-------------------	------

Doctorant

Enseignements	Chaîne Communications Logicielle
---------------	----------------------------------

ATER

International collaborations

- Pekka Jääskeläinen, TUT (Finland), co-author



VHDL	μ C	IHM
FPGA - ASIC	RTOS	Java

Ingénieur

Codes Polaires	Décodeur Logiciel	ASIP
-------------------	----------------------	------

Doctorant

Enseignements	Chaîne Communications Logicielle
---------------	--

ATER

International collaborations

- Pekka Jääskeläinen, TUT (Finland), co-author
→ ASIP



VHDL	μC	IHM
FPGA - ASIC	RTOS	Java

Ingénieur

Codes Polaires	Décodeur Logiciel	ASIP
-------------------	----------------------	------

Doctorant

Enseignements	Chaîne Communications Logicielle
---------------	--

ATER

International collaborations

- Pekka Jääskeläinen, TUT (Finland), co-author
→ ASIP
- Vyacheslav Klymentiev, Saint Petersburg Electrotechnical University (Russia)
- Peter Trifonov, Saint Petersburg Polytechnic University (Russia)
- Chen Shuang, Tsinghua University (China)



VHDL	μ C	IHM
FPGA - ASIC	RTOS	Java

Ingénieur

Codes Polaires	Décodeur Logiciel	ASIP
----------------	-------------------	------

Doctorant

Enseignements	Chaîne Communications Logicielle
---------------	----------------------------------

ATER

International collaborations

- Pekka Jääskeläinen, TUT (Finland), co-author
→ ASIP
- Vyacheslav Klymentiev, Saint Petersburg Electrotechnical University (Russia)
- Peter Trifonov, Saint Petersburg Polytechnic University (Russia)
- Chen Shuang, Tsinghua University (China)



VHDL	μ C	IHM
FPGA - ASIC	RTOS	Java

Ingénieur

Codes Polaires	Décodeur Logiciel	ASIP
----------------	-------------------	------

Doctorant

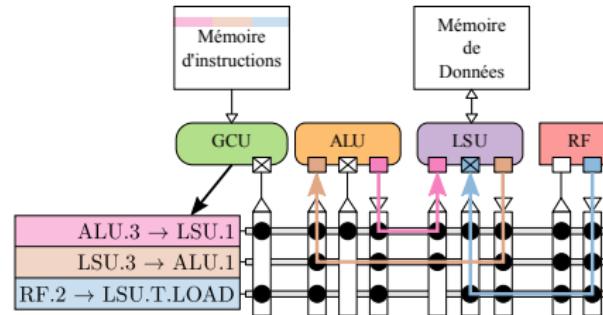
Enseignements	Chaîne Communications Logicielle
---------------	----------------------------------

ATER

Merci pour votre attention !

ASIP : Compromis Flexibilité performance.

- Une solution générique et pérenne de génération de DNN basse consommation,
- dimensionnement flexible : nombre de modules, interconnexion, multicœurs,
- évolutions après fabrication (programmabilité),
- pour l'équipe de recherche : capitalisation.



Plateformes hétérogènes pour l'IA

- De nombreuses plateformes potentielles (CPU, GPU, FPGA, TPU)

Plateformes hétérogènes pour l'IA

- De nombreuses plateformes potentielles (CPU, GPU, FPGA, TPU)
- ... et leurs combinaisons (architectures hétérogènes).

Plateformes hétérogènes pour l'IA

- De nombreuses plateformes potentielles (CPU, GPU, FPGA, TPU)
- ... et leurs combinaisons (architectures hétérogènes).
- Il est nécessaire d'en réaliser l'abstraction

Plateformes hétérogènes pour l'IA

- De nombreuses plateformes potentielles (CPU, GPU, FPGA, TPU)
- ... et leurs combinaisons (architectures hétérogènes).
- Il est nécessaire d'en réaliser l'abstraction
 - des bibliothèques logicielles pour calcul parallèle (C++ STL, SyCL),

Plateformes hétérogènes pour l'IA

- De nombreuses plateformes potentielles (CPU, GPU, FPGA, TPU)
- ... et leurs combinaisons (architectures hétérogènes).
- Il est nécessaire d'en réaliser l'abstraction
 - des bibliothèques logicielles pour calcul parallèle (C++ STL, SyCL),
 - des langages et compilateurs pour cibles parallèles (OpenCL, TCE),

Plateformes hétérogènes pour l'IA

- De nombreuses plateformes potentielles (CPU, GPU, FPGA, TPU)
- ... et leurs combinaisons (architectures hétérogènes).
- Il est nécessaire d'en réaliser l'abstraction
 - des bibliothèques logicielles pour calcul parallèle (C++ STL, SyCL),
 - des langages et compilateurs pour cibles parallèles (OpenCL, TCE),
 - des langages (SystemC, System Verilog) et outils de synthèse matérielle haut niveau (Vivado HLS, Intel HLS Compiler)

IA pour la construction de codes

