

Candidature au poste de Maître de conférence en électronique numérique

Mathieu Léonardon

14 Mai 2019



IMT Atlantique
Bretagne-Pays de la Loire
École Mines-Télécom

Plan

1 Cursus

Formation d'ingénieur
Doctorat
Poste ATER

2 Intégration

Enseignement
Recherche

Formation d'ingénieur - Cours

- Enseirb-Matmeca (Bordeaux)



Ingénieur

Mathieu Léonardon

Candidature au poste de Maître de conférence en électronique numérique

Doctorant

<https://mathieuleonardon.com>

ATER

mathieu.leonardon@ims-bordeaux.fr

Formation d'ingénieur - Cours

- Enseirb-Matmeca (Bordeaux)
- "Systèmes Electroniques Embarqués"



Ingénieur

Mathieu Léonardon

Doctorant

<https://mathieuleonardon.com>

ATER

mathieu.leonardon@ims-bordeaux.fr

Formation d'ingénieur - Cours

- Enseirb-Matmeca (Bordeaux)
- "Systèmes Electroniques Embarqués"
 - FPGA et ASIC (Langage VHDL)



VHDL
FPGA - ASIC

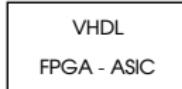
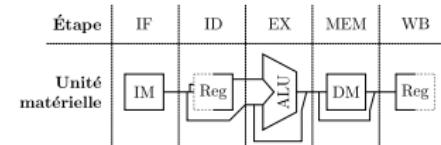
Ingénieur

Doctorant

ATER

Formation d'ingénieur - Cours

- Enseirb-Matmeca (Bordeaux)
- "Systèmes Electroniques Embarqués"
 - FPGA et ASIC (Langage VHDL)
 - Architecture des ordinateurs



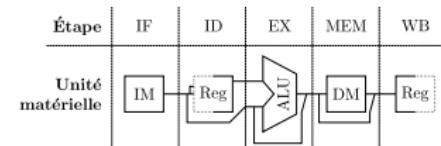
Ingénieur

Doctorant

ATER

Formation d'ingénieur - Cours

- Enseirb-Matmeca (Bordeaux)
- "Systèmes Electroniques Embarqués"
 - FPGA et ASIC (Langage VHDL)
 - Architecture des ordinateurs
 - Programmation uC



VHDL	μ C
FPGA - ASIC	RTOS

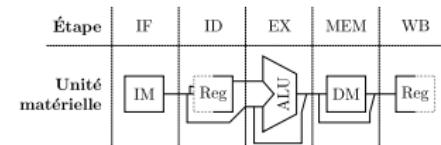
Ingénieur

Doctorant

ATER

Formation d'ingénieur - Cours

- Enseirb-Matmeca (Bordeaux)
- "Systèmes Electroniques Embarqués"
 - FPGA et ASIC (Langage VHDL)
 - Architecture des ordinateurs
 - Programmation uC
 - OS embarqués



VHDL	μ C
FPGA - ASIC	RTOS

Ingénieur

Doctorant

ATER

Formation d'ingénieur - Apprentissage

- Entreprise WorldCast Systems



VHDL	μ C
FPGA - ASIC	RTOS

Ingénieur

Doctorant

ATER

Formation d'ingénieur - Apprentissage

- Entreprise WorldCast Systems
- Broadcast



VHDL	μ C
FPGA - ASIC	RTOS

Ingénieur

Doctorant

ATER

Formation d'ingénieur - Apprentissage

- Entreprise WorldCast Systems
- Broadcast
- Équipe R&D émetteurs FM



VHDL	μ C
FPGA - ASIC	RTOS

Ingénieur

Doctorant

ATER

Formation d'ingénieur - Apprentissage

- Entreprise WorldCast Systems
- Broadcast
- Équipe R&D émetteurs FM
 - Conception de cartes électroniques



VHDL	μC
FPGA - ASIC	RTOS

Ingénieur

ATER

Formation d'ingénieur - Apprentissage

- Entreprise WorldCast Systems
- Broadcast
- Équipe R&D émetteurs FM
 - Conception de cartes électroniques
 - Programmation de uC



VHDL	μ C
FPGA - ASIC	RTOS

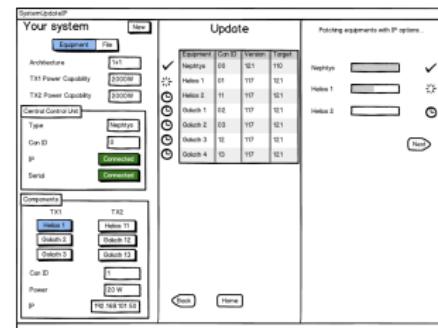
Ingénieur

Doctorant

ATER

Formation d'ingénieur - Apprentissage

- Entreprise WorldCast Systems
- Broadcast
- Équipe R&D émetteurs FM
 - Conception de cartes électroniques
 - Programmation de uC
 - Projet : IHM



VHDL	μ C	IHM
FPGA - ASIC	RTOS	Java

Ingénieur

Doctorant

ATER

Décodage de Codes Polaires

Décodage de codes polaires sur des architectures programmables

VHDL	μ C	IHM
FPGA - ASIC	RTOS	Java

Ingénieur

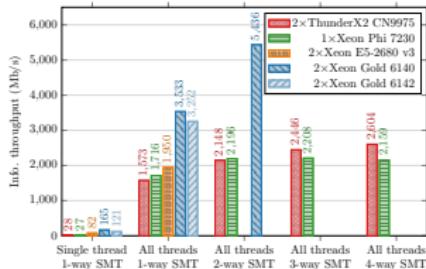
Codes
Polaires

Doctorant

ATER

Implémentation logicielle SC Liste

- Décodeurs logiciels - x86_64 & ARM



VHDL FPGA - ASIC	μ C RTOS	IHM Java
---------------------	-----------------	-------------

Codes Polaires	Décodeur Logiciel
-------------------	----------------------

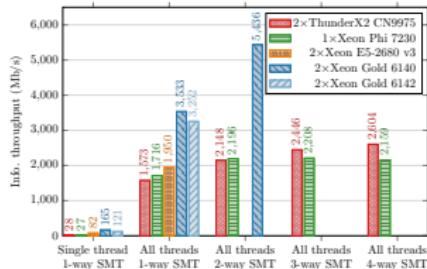
Ingénieur

Doctorant

ATER

Implémentation logicielle SC Liste

- Décodeurs logiciels - x86_64 & ARM
- Parallélisation
 - SIMD, multithreads, multinodes



VHDL	μ C	IHM
FPGA - ASIC	RTOS	Java

Codes Polaires	Décodeur Logiciel
----------------	-------------------

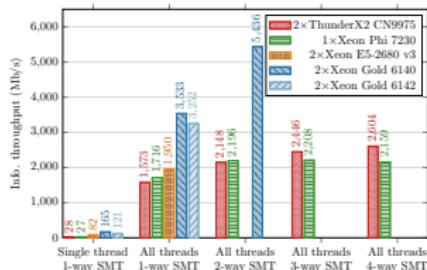
Ingénieur

Doctorant

ATER

Implémentation logicielle SC Liste

- Décodeurs logiciels - x86_64 & ARM
- Parallélisation
 - SIMD, multithreads, multinodes
- Implémentation flexible et générique



VHDL	μC	IHM
FPGA - ASIC	RTOS	Java

Ingénieur

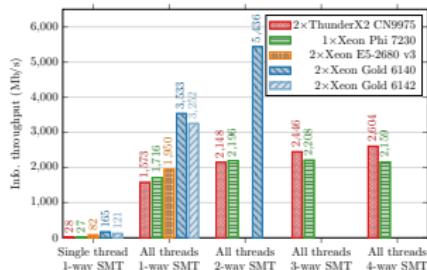
Codes	Décodeur
Polaires	Logiciel

Doctorant

ATER

Implémentation logicielle SC Liste

- Décodeurs logiciels - x86_64 & ARM
- Parallélisation
 - SIMD, multithreads, multinodes
- Implémentation flexible et générique
- Adaptatif le plus rapide à ce jour



VHDL	μ C	IHM
FPGA - ASIC	RTOS	Java

Ingénieur

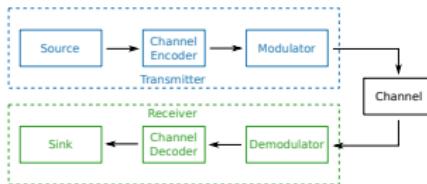
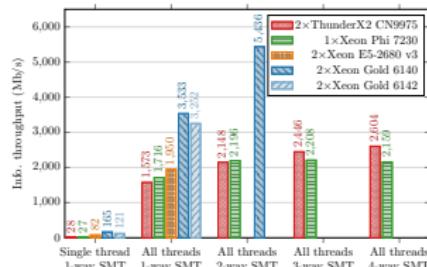
Codes	Décodeur
Polaires	Logiciel

Doctorant

ATER

Implémentation logicielle SC Liste

- Décodeurs logiciels - x86_64 & ARM
- Parallélisation
 - SIMD, multithreads, multinodes
- Implémentation flexible et générique
- Adaptatif le plus rapide à ce jour
- Intégré avec le projet AFF3CT
 - <https://aff3ct.github.io>



VHDL	μ C	IHM
FPGA - ASIC	RTOS	Java

Ingénieur

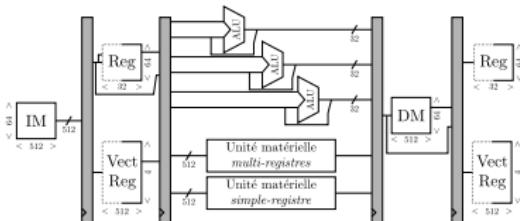
Codes Polaires	Décodeur Logiciel
----------------	-------------------

Doctorant

ATER

Architectures ASIP pour le décodage de codes polaires

- Architecture 1 - Tensilica
 - Collaboration Pierre Langlois
(Polytechnique Montréal)



VHDL	μ C	IHM
FPGA - ASIC	RTOS	Java

Ingénieur

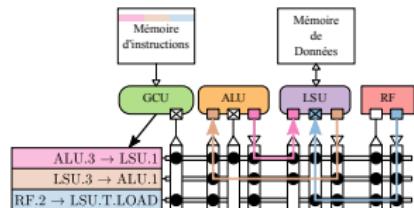
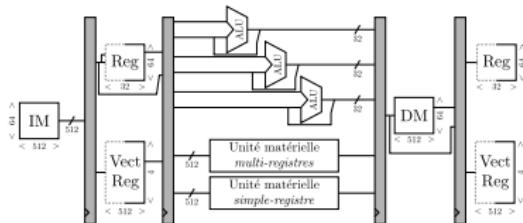
Codes Polaires	Décodeur Logiciel	ASIP
----------------	-------------------	------

Doctorant

ATER

Architectures ASIP pour le décodage de codes polaires

- Architecture 1 - Tensilica
 - Collaboration Pierre Langlois
(Polytechnique Montréal)
- Architecture 2 - TTA
 - Collaboration Pekka Jääskeläinen
(TUT)



VHDL	μ C	IHM
FPGA - ASIC	RTOS	Java

Codes Polaires	Décodeur Logiciel	ASIP
----------------	-------------------	------

Ingénieur

Doctorant

ATER

Publications

1 Implémentation logicielle de l'algorithme SCL

- (1) M. Léonardon, A. Cassagne, C. Leroux, C. Jégo, L.-P. Hamelin, and Y. Savaria, "Fast and Flexible Software Polar List Decoders," *Journal of Signal Processing Systems*, 2019.

Publications

① Implémentation logicielle de l'algorithme SCL

- (1) M. Léonardon, A. Cassagne, C. Leroux, C. Jégo, L.-P. Hamelin, and Y. Savaria, "Fast and Flexible Software Polar List Decoders," *Journal of Signal Processing Systems*, 2019.

② Spécialisation d'un processeur Tensilica

- (2) M. Léonardon, C. Leroux, D. Binet, J. M. P. Langlois, C. Jégo, and Y. Savaria, "Custom Low Power Processor for Polar Decoding," in *2018 IEEE ISCAS*.

Publications

① Implémentation logicielle de l'algorithme SCL

- (1) M. Léonardon, A. Cassagne, C. Leroux, C. Jégo, L.-P. Hamelin, and Y. Savaria, "Fast and Flexible Software Polar List Decoders," *Journal of Signal Processing Systems*, 2019.

② Spécialisation d'un processeur Tensilica

- (2) M. Léonardon, C. Leroux, D. Binet, J. M. P. Langlois, C. Jégo, and Y. Savaria, "Custom Low Power Processor for Polar Decoding," in *2018 IEEE ISCAS*.

③ Conception d'un processeur de type TTA

- (4) M. Léonardon, C. Leroux, P. Jääskeläinen, C. Jégo, and Y. Savaria, "Transport Triggered Polar Decoders," in *2018 IEEE ISTC*.

Publications

1 Implémentation du décodeur SCMA

- (3) A. Ghaffari, M. Léonardon, Y. Savaria, C. Jego, and C. Leroux, "Improving Performance of SCMA MPA Decoders Using Estimation of Conditional Probabilities," in *2017 IEEE NEWCAS*.
- (5) A. Ghaffari, M. Léonardon, A. Cassagne, C. Leroux, and Y. Savaria, "Toward high performance implementation of 5G SCMA algorithms," *IEEE Access*, 2018.

Publications

1 Implémentation du décodeur SCMA

- (3) A. Ghaffari, M. Léonardon, Y. Savaria, C. Jego, and C. Leroux, "Improving Performance of SCMA MPA Decoders Using Estimation of Conditional Probabilities," in *2017 IEEE NEWCAS*.
- (5) A. Ghaffari, M. Léonardon, A. Cassagne, C. Leroux, and Y. Savaria, "Toward high performance implementation of 5G SCMA algorithms," *IEEE Access*, 2018.

2 Contribution au projet AFF3CT

- (6) A. Cassagne, M. Léonardon, O. Hartmann, G. Delbergue, T. Tonnellier, R. Tajan, C. Leroux, C. Jego, B. Le Gal, O. Aumage, and D. Barthou, "Fast simulation and prototyping with AFF3CT," in *SIPS*, 2017.
- (7) A. Cassagne, M. Léonardon, O. Hartmann, T. Tonnellier, G. Delbergue, V. Giraud, C. Leroux, R. Tajan, B. Le Gal, C. Jégo, O. Aumage, and D. Barthou, "AFF3CT : Un Environnement de Simulation pour le Codage de Canal," in *GdR SoC2*, 2017.

Enseignement

- Electronique numérique
 - Projet de conception en électronique (50 HETD)
 - Architecture reconfigurable (20 HETD)
 - Électronique Numérique (25 HETD)
 - Logique combinatoire et logique séquentielle (32 HETD)

VHDL	μC	IHM
FPGA - ASIC	RTOS	Java

Ingénieur

Codes Polaires	Décodeur Logiciel	ASIP
----------------	-------------------	------

Doctorant

Enseignements

ATER

Enseignement

- Electronique numérique
 - Projet de conception en électronique (50 HETD)
 - Architecture reconfigurable (20 HETD)
 - Électronique Numérique (25 HETD)
 - Logique combinatoire et logique séquentielle (32 HETD)
- Informatique
 - Projet micro-processeur (36 HETD)
 - Architecture des ordinateurs (16 HETD)
 - Projet micro-informatique (42 HETD)
 - Programmation objet. Langage C++ (15 HETD)

VHDL	μC	IHM
FPGA - ASIC	RTOS	Java

Ingénieur

Codes Polaires	Décodeur Logiciel	ASIP
----------------	-------------------	------

Doctorant

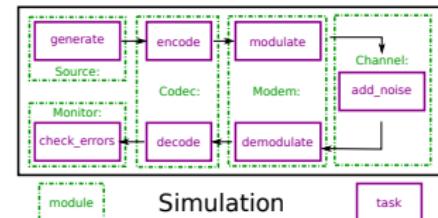
Enseignements

ATER

Travaux

- Projet industriel (Airbus Defense & Space)

- Radio logicielle
- Communications satellitaires



VHDL FPGA - ASIC	μC RTOS	IHM Java
---------------------	------------	-------------

Ingénieur

Codes Polaires	Décodeur Logiciel	ASIP
-------------------	----------------------	------

Doctorant

Enseignements	Chaîne Communications Logicielle
---------------	--

ATER

Plan

1 Cursus

Formation d'ingénieur

Doctorat

Poste ATER

2 Intégration

Enseignement

Recherche

Enseignements de première année

- Opérationnel sur l'enseignement d'électronique numérique,



VHDL	μC	IHM
FPGA - ASIC	RTOS	Java

Ingénieur

Codes Polaires	Décodeur Logiciel	ASIP
----------------	-------------------	------

Doctorant

Enseignements	Chaîne Communications Logicielle
---------------	----------------------------------

ATER

Enseignements de première année

- Opérationnel sur l'enseignement d'électronique numérique,
- Apte à encadrer les différents projets (FAIRE, SAR, CODEV).



VHDL	μC	IHM
FPGA - ASIC	RTOS	Java

Ingénieur

Codes Polaires	Décodeur Logiciel	ASIP
----------------	-------------------	------

Doctorant

Enseignements	Chaîne Communications Logicielle
---------------	----------------------------------

ATER

TAF Systèmes Embarqués Hétérogènes

" La double compétence logicielle et matérielle, indissociable des systèmes embarqués, est très recherchée. "

VHDL	μC	IHM
FPGA - ASIC	RTOS	Java

Ingénieur

Codes Polaires	Décodeur Logiciel	ASIP
----------------	-------------------	------

Doctorant

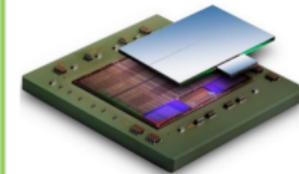
Enseignements	Chaîne Communications Logicielle
---------------	----------------------------------

ATER

UE Coeurs

- UEC1 : Circuits intégrés numériques et analogiques

UE1 : Circuits intégrés numériques et analogiques



Architectures et techniques de conception circuits numériques (VHDL) et analogiques (CMOS et ASIC full custom).

Modélisation, simulation, synthèse, prototypage FPGA.

VHDL	μ C	IHM
FPGA - ASIC	RTOS	Java

Ingénieur

Codes Polaires	Décodeur Logiciel	ASIP
----------------	-------------------	------

Doctorant

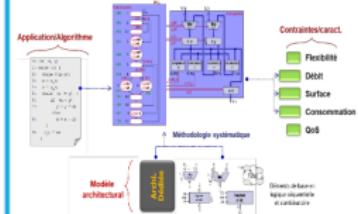
Enseignements	Chaîne Communications Logicielle
---------------	----------------------------------

ATER

UE Coeurs

- UEC1 : Circuits intégrés numériques et analogiques
- UEC2 : Méthodologies - de l'algorithme à la puce

UE2 : Méthodologies – de l'algorithme à la puce



Méthodologies de conception de circuits numériques ou analogiques performants à partir d'une description algorithmique et d'un ensemble de contraintes.

Mini-projet de conception, adéquation algorithme/architecture

VHDL	μ C	IHM
FPGA - ASIC	RTOS	Java

Ingénieur

Codes Polaires	Décodeur Logiciel	ASIP
----------------	-------------------	------

Doctorant

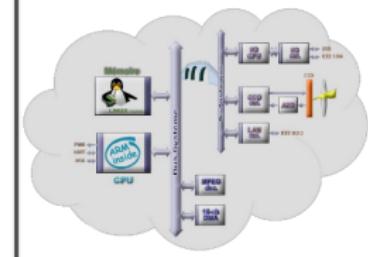
Enseignements	Chaîne Communications Logicielle
---------------	----------------------------------

ATER

UE Coeurs

- UEC1 : Circuits intégrés numériques et analogiques
- UEC2 : Méthodologies - de l'algorithme à la puce
- UEC3 : Systèmes embarqués

UE3 : Systèmes embarqués



Interaction entre logiciel et matériel dans les systèmes embarqués.

Processeurs, mémoires, bus, périphériques.

Linux embarqué, pilotes, tâches.

VHDL	μ C	IHM
FPGA - ASIC	RTOS	Java

Ingénieur

Codes Polaires	Décodeur Logiciel	ASIP
----------------	-------------------	------

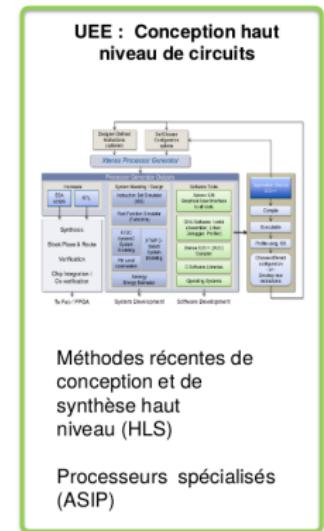
Doctorant

Enseignements	Chaîne Communications Logicielle
---------------	----------------------------------

ATER

UE Électives

- UEE : Conception haut niveau de circuits



VHDL	μ C	IHM
FPGA - ASIC	RTOS	Java

Ingénieur

Codes Polaires	Décodeur Logiciel	ASIP
----------------	-------------------	------

Doctorant

Enseignements	Chaîne Communications Logicielle
---------------	--

UE Électives

- UEE : Conception haut niveau de circuits
- UEE : IA Intro & IA Optimisation

UEE : IA – Introduction
UEE : IA – Optimisation



Introduction générale à l'IA et au DL (incluant les enjeux éthiques)

Optimisation des ressources (calcul et mémoire), projet long matériiel (FPGA, VHDL) ou logiciel (GPU, Pytorch)

VHDL	μ C	IHM
FPGA - ASIC	RTOS	Java

Ingénieur

Codes Polaires	Décodeur Logiciel	ASIP
----------------	-------------------	------

Doctorant

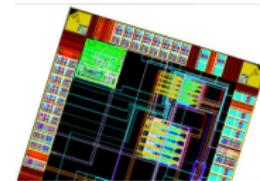
Enseignements	Chaîne Communications Logicielle
---------------	----------------------------------

ATER

UE Électives

- UEE : Conception haut niveau de circuits
- UEE : IA Intro & IA Optimisation
- UEE : Workshop à Grenoble - recherche et industrie des micro et nanotechnologies

UEE : Workshop à Grenoble – recherche et industrie des micro et nanotechnologies



Nanotechnologies, architectures asynchrones, capteurs CMOS, IoT, sécurité et test des circuits intégrés, visite d'une salle blanche

Déplacement de 2 semaines à **Grenoble** en janvier.

VHDL	μ C	IHM
FPGA - ASIC	RTOS	Java

Ingénieur

Codes Polaires	Décodeur Logiciel	ASIP
----------------	-------------------	------

Doctorant

Enseignements	Chaîne Communications Logicielle
---------------	----------------------------------

ATER

UE Électives

- UEE : Conception haut niveau de circuits
- UEE : IA Intro & IA Optimisation
- UEE : Workshop à Grenoble - recherche et industrie des micro et nanotechnologies
- UEE : Calcul parallèle

UEE : Calcul parallèle

(ouverture de cette UEE en 2019 à confirmer)



Développement logiciel sur matériel spécialisé
Processeurs vectoriels (GPU, DSP)
Calcul distribué

VHDL	μC	IHM
FPGA - ASIC	RTOS	Java

Ingénieur

Codes Polaires	Décodeur Logiciel	ASIP
----------------	-------------------	------

Doctorant

Enseignements	Chaîne Communications Logicielle
---------------	----------------------------------

ATER

TAF CoOC

- Conception centrée utilisateur

VHDL	μC	IHM
FPGA - ASIC	RTOS	Java

Ingénieur

Codes Polaires	Décodeur Logiciel	ASIP
----------------	-------------------	------

Doctorant

Enseignements	Chaîne Communications Logicielle
---------------	----------------------------------

ATER

TAF CoOC

- Conception centrée utilisateur
- Prototypage rapide et développement agile

VHDL	μ C	IHM
FPGA - ASIC	RTOS	Java

Ingénieur

Codes Polaires	Décodeur Logiciel	ASIP
----------------	-------------------	------

Doctorant

Enseignements	Chaîne Communications Logicielle
---------------	----------------------------------

ATER

TAF CoOC

- Conception centrée utilisateur
- Prototypage rapide et développement agile
- L'objet dans son environnement

VHDL	μ C	IHM
FPGA - ASIC	RTOS	Java

Ingénieur

Codes Polaires	Décodeur Logiciel	ASIP
----------------	-------------------	------

Doctorant

Enseignements	Chaîne Communications Logicielle
---------------	----------------------------------

ATER

TAF CoOC

- Conception centrée utilisateur
- Prototypage rapide et développement agile
- L'objet dans son environnement
- Projet fil rouge

VHDL	μC	IHM
FPGA - ASIC	RTOS	Java

Ingénieur

Codes Polaires	Décodeur Logiciel	ASIP
----------------	-------------------	------

Doctorant

Enseignements	Chaîne Communications Logicielle
---------------	----------------------------------

ATER

TAF CoOC

- Conception centrée utilisateur
- Prototypage rapide et développement agile
- L'objet dans son environnement
- Projet fil rouge
 - Maquettage

VHDL	μ C	IHM
FPGA - ASIC	RTOS	Java

Ingénieur

Codes Polaires	Décodeur Logiciel	ASIP
----------------	-------------------	------

Doctorant

Enseignements	Chaîne Communications Logicielle
---------------	----------------------------------

ATER

TAF CoOC

- Conception centrée utilisateur
- Prototypage rapide et développement agile
- L'objet dans son environnement
- Projet fil rouge
 - Maquettage
 - Étude des utilisateurs

VHDL	μC	IHM
FPGA - ASIC	RTOS	Java

Ingénieur

Codes Polaires	Décodeur Logiciel	ASIP
----------------	-------------------	------

Doctorant

Enseignements	Chaîne Communications Logicielle
---------------	----------------------------------

ATER

TAF CoOC

- Conception centrée utilisateur
- Prototypage rapide et développement agile
- L'objet dans son environnement
- Projet fil rouge
 - Maquettage
 - Étude des utilisateurs
 - Rédaction cahier des charges

VHDL	μC	IHM
FPGA - ASIC	RTOS	Java

Ingénieur

Codes Polaires	Décodeur Logiciel	ASIP
----------------	-------------------	------

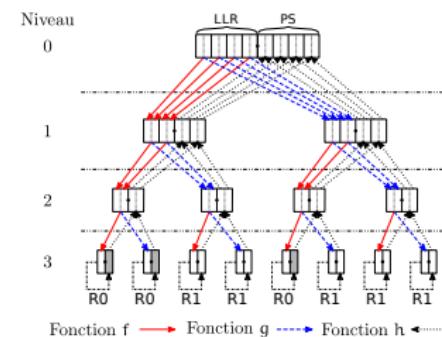
Doctorant

Enseignements	Chaîne Communications Logicielle
---------------	----------------------------------

ATER

Codes Polaires

- Expertise développée au cours de ma thèse



VHDL	μ C	IHM
FPGA - ASIC	RTOS	Java

Ingénieur

Codes Polaires	Décodeur Logiciel	ASIP
----------------	-------------------	------

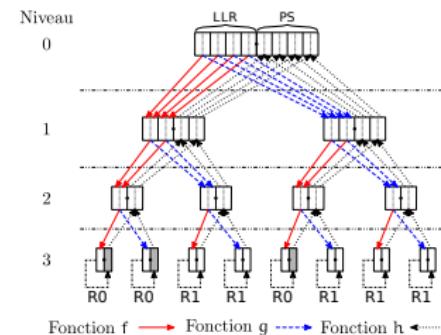
Doctorant

Enseignements	Chaîne Communications Logicielle
---------------	----------------------------------

ATER

Codes Polaires

- Expertise développée au cours de ma thèse
 - Construction
 - Algorithmes de décodage
 - Architectures matérielles
 - Décodage logiciel



VHDL	μ C	IHM
FPGA - ASIC	RTOS	Java

Ingénieur

Codes Polaires	Décodeur Logiciel	ASIP
----------------	-------------------	------

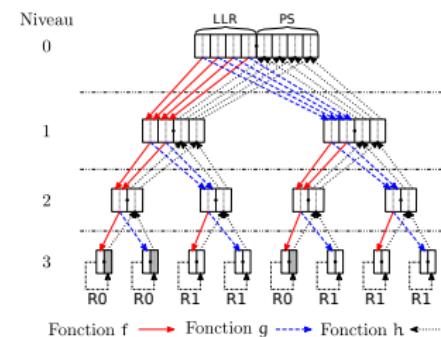
Doctorant

Enseignements	Chaîne Communications Logicielle
---------------	----------------------------------

ATER

Codes Polaires

- Expertise développée au cours de ma thèse
 - Construction
 - Algorithmes de décodage
 - Architectures matérielles
 - Décodage logiciel
- Thèse en cours à l'IMT sur l'implémentation du SC Liste



VHDL	μ C	IHM
FPGA - ASIC	RTOS	Java

Ingénieur

Codes Polaires	Décodeur Logiciel	ASIP
----------------	-------------------	------

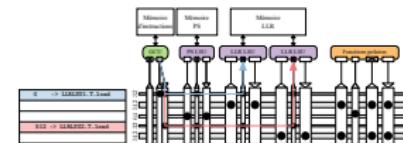
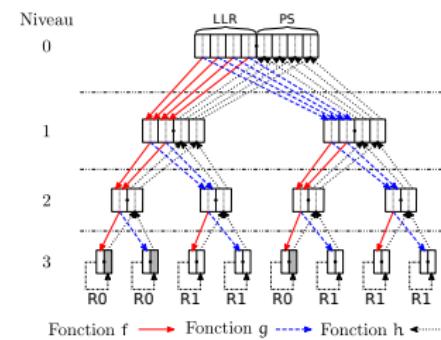
Doctorant

Enseignements	Chaîne Communications Logicielle
---------------	----------------------------------

ATER

Codes Polaires

- Expertise développée au cours de ma thèse
 - Construction
 - Algorithmes de décodage
 - Architectures matérielles
 - Décodage logiciel
- Thèse en cours à l'IMT sur l'implémentation du SC Liste
- Multinoyaux



VHDL	μC	IHM
FPGA - ASIC	RTOS	Java

Ingénieur

Codes Polaires	Décodeur Logiciel	ASIP
----------------	-------------------	------

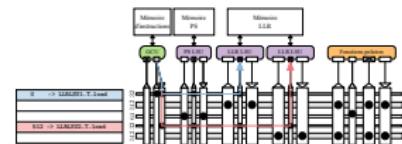
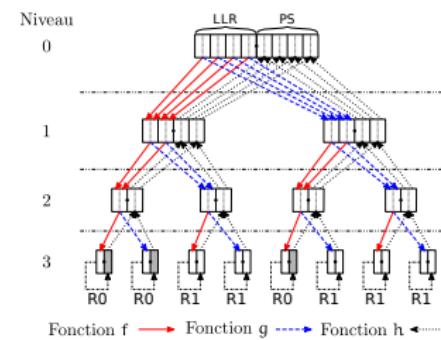
Doctorant

Enseignements	Chaîne Communications Logicielle
---------------	----------------------------------

ATER

Codes Polaires

- Expertise développée au cours de ma thèse
 - Construction
 - Algorithmes de décodage
 - Architectures matérielles
 - Décodage logiciel
- Thèse en cours à l'IMT sur l'implémentation du SC Liste
- Multinoyaux
- Algorithmes à sortie souple



VHDL	μC	IHM
FPGA - ASIC	RTOS	Java

Ingénieur

Codes Polaires	Décodeur Logiciel	ASIP
----------------	-------------------	------

Doctorant

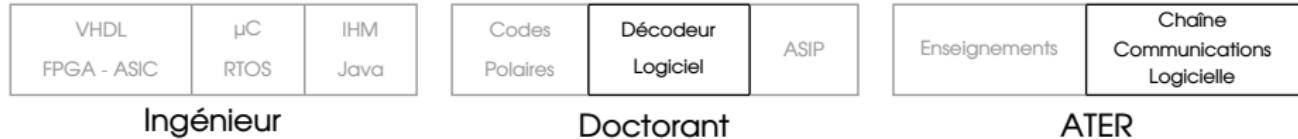
Enseignements	Chaîne Communications Logicielle
---------------	----------------------------------

ATER

Simulation haut débit de chaînes de communications

- Expertise dans les simulations haut débits
(AFF3CT)

AFF3CT



Simulation haut débit de chaînes de communications

- Expertise dans les simulations haut débits (AFF3CT)
- Réalisation des démonstrateurs (USRP)

AFF3CT



VHDL	μ C	IHM
FPGA - ASIC	RTOS	Java

Ingénieur

Codes Polaires	Décodeur Logiciel	ASIP
----------------	-------------------	------

Doctorant

Enseignements	Chaîne Communications Logicielle
---------------	----------------------------------

ATER

Simulation haut débit de chaînes de communications

- Expertise dans les simulations haut débits (AFF3CT)
- Réalisation des démonstrateurs (USRP)

AFF3CT



- Modulation (FBMC/OQAM)
- Entrelaceurs de turbo-codes
- Modulation codée

VHDL	μ C	IHM Java
FPGA - ASIC	RTOS	

Ingénieur

Codes Polaires	Décodeur Logiciel	ASIP
-------------------	----------------------	------

Doctorant

Enseignements	Chaîne Communications Logicielle
---------------	--

ATER

ASIP

- Nombreux travaux sur architectures ASIP (DecASIP)

- (8) M. Rizk, A. Baghdadi, M. Jézéquel, Y. Mohanna, and Y. Atat, "Flexible and efficient architecture design for MIMO MMSE-IC linear turbo-equalization," in *2013 ICCIT*.
- (9) ——, "NISC-based Soft-Input-Soft-Output Demapper," *IEEE T-CAS II*, 2015.
- (10) V. Lapotre, P. Murugappa, G. Gogniat, A. Baghdadi, J. Diguet, J. Bazin, and M. Hübner, "A reconfigurable multi-standard ASIP-based turbo decoder for an efficient dynamic reconfiguration in a multi-ASIP context," in *2013 ISVLSI*.
- (11) P. Murugappa, V. Lapotre, A. Baghdadi, and M. Jezequel, "Rapid design and prototyping of a reconfigurable decoder architecture for QC-LDPC codes," in *2013 RSP*.
- (12) V. Lapotre, P. Murugappa, G. Gogniat, A. Baghdadi, J. Diguet, J. Bazin, and M. Hübner, "Optimizations for an efficient reconfiguration of an ASIP-based turbo decoder," in *2013 ISCAS*.
- (13) V. Lapotre, P. Murugappa, G. Gogniat, A. Baghdadi, M. Hübner, and J. Diguet, "A Dynamically Reconfigurable multi-ASIP Architecture for Multistandard and Multimode Turbo Decoding," *IEEE VLSI*, 2016.

VHDL	μ C	IHM
FPGA - ASIC	RTOS	Java

Ingénieur

Codes Polaires	Décodeur Logiciel	ASIP
----------------	-------------------	------

Doctorant

Enseignements	Chaîne Communications Logicielle
---------------	----------------------------------

ATER

ASIP

- Nombreux travaux sur architectures ASIP (DecASIP)
- Intégration : compétent sur les différents langages ASIP (incl. LISA + Synopsys)

VHDL	μC	IHM
FPGA - ASIC	RTOS	Java

Ingénieur

Codes Polaires	Décodeur Logiciel	ASIP
----------------	-------------------	------

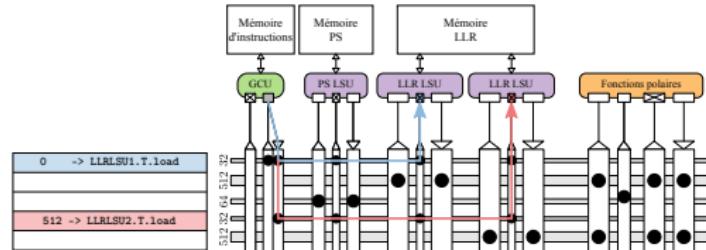
Doctorant

Enseignements	Chaîne Communications Logicielle
---------------	----------------------------------

ATER

ASIP

- Nombreux travaux sur architectures ASIP (DecASIP)
- Intégration : compétent sur les différents langages ASIP (incl. LISA + Synopsys)
- Intégration : intérêt des architectures TTA



VHDL	μ C	IHM
FPGA - ASIC	RTOS	Java

Ingénieur

Codes Polaires	Décodeur Logiciel	ASIP
----------------	-------------------	------

Doctorant

Enseignements	Chaîne Communications Logicielle
---------------	----------------------------------

ATER

Collaborations internationales

- Thèse en cotutelle avec Polytechnique Montréal
 - Yvon Savaria, Directeur de thèse
 - Pierre Langlois, Co-auteur



VHDL	μ C	IHM
FPGA - ASIC	RTOS	Java

Ingénieur

Codes Polaires	Décodeur Logiciel	ASIP
----------------	-------------------	------

Doctorant

Enseignements	Chaîne Communications Logicielle
---------------	----------------------------------

ATER

Collaborations internationales

- Thèse en cotutelle avec Polytechnique Montréal
 - Yvon Savaria, Directeur de thèse
 - Pierre Langlois, Co-auteur
- Thibaud Tonnellier, McGill University (Canada), Co-auteur



VHDL	μ C	IHM
FPGA - ASIC	RTOS	Java

Ingénieur

Codes Polaires	Décodeur Logiciel	ASIP
----------------	-------------------	------

Doctorant

Enseignements	Chaîne Communications Logicielle
---------------	----------------------------------

ATER

Collaborations internationales

- Thèse en cotutelle avec Polytechnique Montréal
 - Yvon Savaria, Directeur de thèse
 - Pierre Langlois, Co-auteur
- Thibaud Tonnellier, McGill University (Canada), Co-auteur
- Pekka Jääskeläinen, TUT (Finlande), Co-auteur



VHDL	μ C	IHM
FPGA - ASIC	RTOS	Java

Ingénieur

Codes Polaires	Décodeur Logiciel	ASIP
----------------	-------------------	------

Doctorant

Enseignements	Chaîne Communications Logicielle
---------------	----------------------------------

ATER