INF1600

Devoir 4

Mon nom de famille est : \_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_

Mon prénom est : \_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_

Mon matricule est : \_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_

J'affirme sur mon honneur avoir

Option 1 : fait ce devoir sans l'aide de personne.

Option 2 : travaillé sur ce devoir avec l’aide d’autres personnes ; néanmoins, les réponses que je soumets sont les miennes, écrites de main, et reflètent ma compréhension.

Réécrivez la phrase avec l’option qui s’applique à vous :

**Exercice 1 :**

Donnez l’encodage hexadécimal de l’instruction R[23] ← M[52] s’exécutant sur le processeur à un bus. On supposera que le opcode vaut 15.

**Exercice 2 :**

Donnez le CPI de l’instruction suivante si elle s’exécute sur le processeur à 1 bus du livre de Heuring.

ldr (:=op=2): R[ra] ← M[PC + c2];

**Exercice 3 :**

Donnez les changements qu’il faut apporter à l’architecture IA-32 simplifié de la **Figure 1** pour permettre l’exécution de l’instruction :

jmp: EIP ← R[ra]

**Exercice 4 :**

Donnez les signaux de contrôle permettant d’exécuter sur l’architecture l’IA-32 simplifiée de la **Figure 1**, l’instruction x86 suivante :

push %eax

Aidez-vous de la table fournie à la page suivante. Toutes les lignes ne doivent pas nécessairement être remplies. Incluez les cycles de recherche de l’instruction.

|  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
|  | **UAL** | **A** | **B** | **C** | **D** | **E** | **F** | **G** | **wIR** | **wEIP** | **wT** | **wMA** | **wRegistres** | **wMemoire2** |
| **Cycle 1** |  |  |  |  |  |  |  |  |  |  |  |  |  |  |
| **Cycle 2** |  |  |  |  |  |  |  |  |  |  |  |  |  |  |
| **Cycle 3** |  |  |  |  |  |  |  |  |  |  |  |  |  |  |
| **Cycle 4** |  |  |  |  |  |  |  |  |  |  |  |  |  |  |
| **Cycle 5** |  |  |  |  |  |  |  |  |  |  |  |  |  |  |
| **Cycle 6** |  |  |  |  |  |  |  |  |  |  |  |  |  |  |
| **Cycle 7** |  |  |  |  |  |  |  |  |  |  |  |  |  |  |
| **Cycle 8** |  |  |  |  |  |  |  |  |  |  |  |  |  |  |



**Figure 1** Architecture du processeur x86 IA-32 simplifié