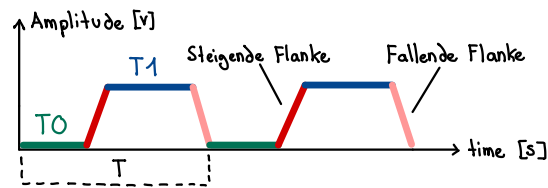


# Sequentielle Logik

Hat gegenüber der Kombinatorischen Logik mehrere Zustände und enthält Speicher.

## Clock Signal

Ein Verfahren, den richtigen zeitlichen Ablauf beim Betrieb einer elektronischen Schaltung sicherzustellen.



Periode  $T = T_0 + T_1$  [s] → Zeit in der sich das Signal beginnt zu wiederholen

Frequenz  $f = 1/T$  [Hz] → Je grösser die Periode desto tiefer die Frequenz (und umgekehrt)

Duty-Cycle =  $T_1/T$  → Verhältnis zwischen der Impulsdauer zur Periodendauer

## Notationen

Zähler (Counters) : Zustand vom Ausgang hängt vom internen Zustand ab.

Schieberegister (Shift-Register) : Mehrere in Reihe geschaltene FFs

Zustandsautomaten (Finite State Machine FSM): Ausgang ist abhängig vom internen Zustand und dem Input.

FF Ausgangswert entspricht dem Zustand des Automaten.

157 in binär : 1 0 0 1 1 1 0 1 1 0 Most Significant Bit (MSB), 0 Least Significant Bit (LSB)

## D-Flip-Flop

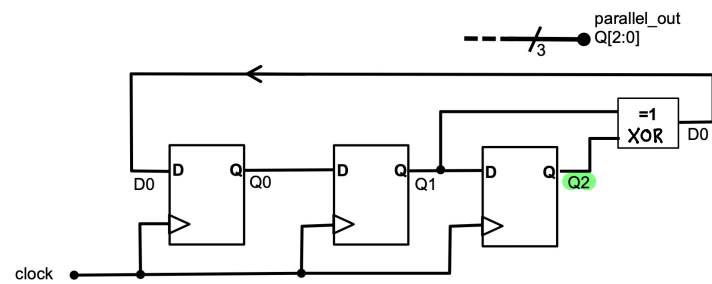
Flanken-getriggertes 1-Bit Speicher-Element (Basis-Element). Bei jedem steigendem Takt-Signal wird der Speicher aktualisiert.

1 Flip-Flop kann 2 Zustände annehmen. n Flip-Flops können  $2^n$  Zustände annehmen. z.B. 4 Flip-Flops →  $2^4 = 16$  Zustände

Beispiel:

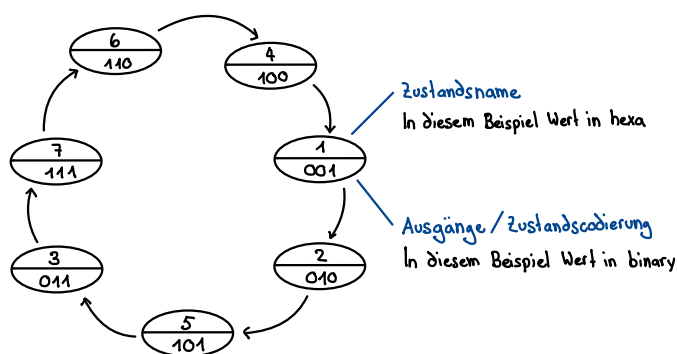
Rückgekoppelte Synchronschaltung mittels D-Flip-Flops und EXOR Gatter

MSB Q2 wird mit 1 initialisiert



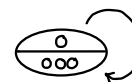
Zustandsdiagramm:

Q0	Q1	Q2	D0
0	0	1	1
1	0	0	0
0	1	0	1
1	0	1	1
1	1	0	1
1	1	1	0
0	1	1	1



Was passiert, wenn alle 3 Flip-Flops mit 0 initialisiert werden?

Q0	Q1	Q2	D0
0	0	0	0
0	0	0	0



System bleibt im Zustand 0