

# 臺中健康暨管理學院

電腦與通訊學系

碩 士 論 文

以 ARM-Based 為主的無硬碟電腦系統設計

**The Design of ARM-Based NonHD  
Computer System**

研 究 生：馬銘男

指導教授：黃秀園 博士

中 華 民 國 九 十 四 年 六 月

臺中健康暨管理學院碩士論文  
指導教授推薦書

電腦與通訊學系 研究所 馬銘男 君所提之論文  
以 ARM-Based 為主的無硬碟電腦系統設計 (題目)

係由本人指導撰述，同意提付審查。

此致

所長

指導教授：黃秀園 (簽名)

94年5月30日

# 臺中健康暨管理學院碩士論文



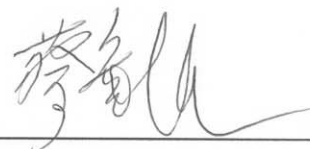
## 口試委員會審定書

電腦與通訊學系 研究所 馬銘男 君所提之論文

以 ARM-Based 為主的無硬碟電腦系統設計 (題目)

符合碩士資格標準，業經本委員會審議認可。

口試委員：

_____	_____ 
_____ 	_____ 

指導教授：\_\_\_\_\_ 

系所主任：\_\_\_\_\_ 

# 博碩士論文電子檔案上網授權書

(提供授權人裝訂於紙本論文書名頁之次頁用)

本授權書所授權之論文為授權人在 臺中健康暨管理學院 電腦與通訊學系碩士班 \_\_\_\_\_組 93 學年度第 二 學期取得 碩士 學位之論文。

論文題目：以ARM-Based為主的無硬碟電腦系統設計

指導教授：黃秀園 博士

茲同意將授權人擁有著作權之上列論文全文（含摘要），非專屬、無償授權國家圖書館及本人畢業學校圖書館，不限地域、時間與次數，以微縮、光碟或其他各種數位化方式將上列論文重製，並得將數位化之上列論文及論文電子檔以上載網路方式，提供讀者基於個人非營利性質之線上檢索、閱覽、下載或列印。

- 讀者基非營利性質之線上檢索、閱覽、下載或列印上列論文，應依著作權法相關規定辦理。

授權人：馬銘男

簽 名：馬銘男

中華民國 94 年 08 月 09 日

## 臺中健康暨管理學院博碩士論文授權書

本授權書所授權之論文，為本人在臺中健康暨管理學院所取得之博/碩士學位論文。茲（以下請擇一勾選）

☒ 同意立即開放

☐ 同意於\_\_\_\_年\_\_\_\_月\_\_\_\_日起開放，原因是：\_\_\_\_\_

☐ 不同意開放，原因是：\_\_\_\_\_

以非專屬、無償授權臺中健康暨管理學院與國家圖書館，基於推動「資源共享、學術交流」之理念，回饋社會與促進學術研究之目的，得不限地域、時間與次數，以紙本、光碟、網路或其它各種方法重製與發行，或再授權非營利機構以各種方法重製與利用，提供個人基於非營利性質之線上檢索、閱覽、下載或列印。上述授權方式，若未擇一勾選，視同「同意立即開放」。

論文名稱：以 ARM-Based 為主的多工處理平台之設計與實作

指導教授姓名：黃秀園

系所：電腦與通訊學系 ☐ 博士班 ☒ 碩士班

學號：92254009

研究生簽名：馬銘男

日期：民國94年6月28日

備註：

1. 本授權書請正楷填寫並親筆簽名後，裝訂於各紙本論文封面後之次頁。
2. 請加印一份單張之授權書，填寫並親筆簽名後，於辦理離校時交圖書館。所謂非專屬授權是指被授權人所取得的權利並非獨占性的使用權，授權人尚可將相同的權利重複授權給他人使用；反之即為專屬授權。如果您已簽署專屬授權書予其他法人或自然人，請勿簽署本授權書。著作人日後不可以主張終止本授權書，但您仍可授權其他法人或自然人上述的行為。

## 中文摘要

近年來隨著嵌入式系統(Embedded System)廣泛運用，高度整合的系統單晶片(System on Chip ,SOC)所開發出來的產品應用漸漸的深入每一個人的生活中，本文中以無硬碟電腦系統的可行性，做為本文研究的動機、將通用型嵌入式系統的功能發展到接近桌上型個人電腦的功能於一身，如液晶彩色顯示螢幕、觸控面板、乙太網路(Ethetnet)、萬用串列匯流排(USB、可接 Mouse、Key Board、Print、隨身碟...)、RS-232 等等。低耗電是嵌入式處理器(MCU)的特性，但也與其週邊主被動元件、被動元件如何配置的問題也會影響整個嵌入式系統的消耗功率，且隨著採用不同的顯示面板都會產生不同的耗電量、所以在電源管理部份需要將核心處理的工作電壓與週邊裝置不同的工作電壓加以區隔，這也是本文中希望以實現通用型嵌入式設計與實作的過程，來實現以 ARM-Based 為主的無硬碟電腦系統，所以在這次的設計與實作中會將以中型尺寸的液晶彩色顯示面版做整合，然後經由嵌入式系統的設計與實作，加上嵌入式作業系統，得到一個可應用於不同發展用途的無硬碟電腦系統。

關鍵詞：嵌入式系統、系統單晶片、液晶彩色顯示螢幕、觸控面板、

乙太網路(Ethetnet)、萬用串列匯流排(USB)



## Abstract

With the comprehensive utilization of Embedded System, the application to the products originating from the highly Integrated SOC (System on Chip) has by degrees affected everyone in daily life. As the motivation of this study, the possibility of NonHD computer system will be developed as similar as Mix Box, with the function of Color LCM, touch panel, Ethernet, RS-232, and Universal Serial Bus (USB) which applies to Mouse, Keyboard, Printer, flash card and etc..The Power conversion efficiency from embedded MCU will be affected by its active device and passive device, also the different display panel will produce the varied power consumption. In consideration of the characteristic of higher process efficiency and lower power consumption for Embedded MCU System, the power management collocation of the voltage for peripheral active and passive device and for the core process will be studied and examined in the process of integration. With a view to accomplishing the ARM-Based NonHD computer system, the integration of Arm-based multiprocessor and mid-sized LCD panel will be carried out with the embedded Operation system. Finally, with the design and practice, an all-round multiprocessor platform for NonHD computer system is achievable.

Key Word : Embedded System 、 SOC(System on Chip) 、 Color LCM 、  
Touch Panel 、 Ethernet 、 USB

# 目錄

中文摘要.....	V
Abstract.....	VI
第一章 緒論.....	1
1.1、研究動機.....	1
1.2、研究目的.....	2
1.3、系統架構簡介.....	3
1.4、研究方法.....	6
1.5、研究架構.....	8
第二章 研究背景及相關文獻回顧.....	10
2.1、嵌入式系統的技術發展型態.....	11
2.2、嵌入式系統的技術發展過程.....	14
2.2.1、系統重心從微處理器中心轉換成匯流排中心.....	14
2.2.2、微處理器整合功能強化.....	15
2.2.3、中央處理單元發展成多核心.....	15
2.3、嵌入式作業系統的發展型態.....	16
2.4、嵌入式應用的趨勢過程.....	20
第三章 ARM 920T 處理器之介紹.....	22
3.1、ARM 920T概要.....	22



3.2、S3C2410 處理器的優點.....	24
3.3、AMBA簡介.....	26
3.4、S3C2410功能簡介.....	29
第四章 嵌入式作業系統開發及模擬.....	31
4.1、Windows CE.NET 4.2簡介.....	31
4.2、建立開發環境.....	33
4.2.1、配置(Configure) .....	36
4.2.2、建立(Build) .....	42
4.3、顯示驅動程式的修改.....	45
4.4、RTC問題修正.....	50
4.5、發展平台上的嵌入式作業系統模擬.....	54
第五章 嵌入式電路的實作.....	57
5.1、SMDK2410開發平台簡介.....	57
5.2、設計區塊描述.....	59
5.2.1 記憶體介面設計.....	60
5.2.2 網路控制設計.....	64
5.2.3 音源電路設計.....	65
5.2.4 顯示面板電路設計.....	66
5.2.5 觸控面板電路設計.....	69

5.3、硬體整合.....	71
5.4、基本量測動作及相關知識.....	73
第六章 系統整合.....	75
6.1 透過USB下載直接開啟Windows CE做測試.....	76
6.2 將 Windows CE 寫入 NAND Flash.....	79
第七章 結論與未來發展方向.....	90
參考文獻.....	92

## 圖目錄

圖 1.1 以 ARM-Based 為主的無硬碟電腦系統架構圖[6] .....	4
圖 1.2 嵌入式軟體架構圖.....	5
圖 1.3 無硬碟電腦系統設計與實作研究方法流程圖.....	7
圖 1.4 本論文的研究架構.....	9
圖 2.1 一般電腦系統的功能區塊.....	11
圖 2.2 嵌入式系統可能的四個組成區塊.....	12
圖 2.3 嵌入式微處理器發展過程.....	13
圖 2.4 2003-2008 年整合型手持裝置市場預測.....	17
圖 2.5 嵌入式作業系統採用比例發展趨勢.....	17

圖 2.6 嵌入式應用發展趨勢.....	20
圖 3.1、ARM 920T 功能方塊圖.....	23
圖 3.2 S3C2410 方塊圖.....	25
圖 3.1 AMBA 架構方塊圖[3] .....	27
圖 3.2. S3C2410 概要示意圖[13] .....	30
圖 4.1 選用微處理器類的安裝畫面.....	33
圖 4.2 Platform Builder 開啟畫面.....	34
圖 4.3 選擇 New Platform 配置所需要的設定.....	36
圖 4.4 選擇所需要的 BSP 類型.....	37
圖 4.5 建立平台的命名及選擇配置類型.....	39
圖 4.6 關於應用與影音媒體的選擇.....	40
圖 4.7 網路通訊協定的設置選擇.....	40
圖 4.8 Platform Builder 進入編譯、添加或刪除功能的畫面...41	
圖 4.9 更改後的建立選項.....	42
圖 4.10 選擇作業系統所要用的語言介面.....	43
圖 4.11 點選 Bulid Platform 開始編譯嵌入式作業系統.....	43
圖 4.12 已做好影像檔的顯示畫面.....	44
圖 4.13 Platform Builder 畫面顯示驅動程式的修改的畫面....45	
圖 4.14 選擇 EMULATOR：X86 的 BSP 類型.....	54

圖 4.15 選擇下載影像檔到目標.....	55
圖 4.16 Windows CE 的模擬視窗(640x480 模式) .....	55
圖 4.17.1 Windows CE 的模擬視窗(320x240 模式) .....	56
圖 4.17.2 Windows CE 的模擬視窗(320x240 模式) .....	56
圖 5.1 SMDK2410 開發平台.....	57
圖 5.2 嵌入式系統功能區塊圖.....	59
圖 5.3 啟動位置選擇跳線線路圖.....	60
圖 5.4 NAND Flash 線路圖.....	61
圖 5.5 Word Mode 線路圖.....	62
圖 5.6 SDRAM 線路圖.....	63
圖 5.7 CS8900 Ethernet Controller 參考電路圖[17] .....	64
圖 5.8 UDA1341TS 參考線路.....	65
圖 5.9 南亞 5.7” 彩色顯示面板方塊圖.....	66
圖 5.10 LCBFBTB61M23 彩色顯示面板偏壓供給參考線路圖.....	67
圖 5.11 LCBFBTB61M23 彩色顯示面板連接線訊號表示圖.....	67
圖 5.12 LCBFBTB61M23 彩色顯示面板轉接座線路圖.....	68
圖 5.13 電阻式觸控面板動作原理.....	69
圖 5.14 電阻式動作原理.....	70
圖 5.15 觸控面版線路參考圖.....	70

圖 5.16 硬體整合流程圖.....	72
圖 5.17 安捷倫的 34401A 數位電錶產品.....	73
圖 5.18 安捷倫的 6000 系列的產品.....	74
圖 5.19 安捷倫的 1680AD 單機式邏輯分析儀.....	74
圖 6.1 DNW 接收到正常啟動訊號及直接下載的寫入位置設定..	76
圖 6.2 點選 NK.nb0 準備載入直接執行.....	77
圖 6.3 正在載入目標過程的提示.....	77
圖 6.4 載入後正常啟動的狀況.....	78
圖 6.5 已正常啟動的訊息.....	79
圖 6.6 輸入位置後等待下載資料.....	80
圖 6.7 下載完成等待啟動載入程式.....	80
圖 6.8 2410test.bin 的測試選項.....	81
圖 6.9 寫入完成後的動作.....	81
圖 6.10 DNW 接收到正常啟動訊號及寫入 NAND Flash 位置設定	82
圖 6.11 透過 Ethernet 載入前的設定.....	82
圖 6.12 低階格式化畫面.....	83
圖 6.13 下載中的畫面.....	83
圖 6.14 啟動成功的訊息.....	84
圖 6.15 開啟後的 Windows CE.....	85



圖 6.16 執行瀏覽器軟體-1.....	85
圖 6.17 執行瀏覽器軟體-2.....	86
圖 6.18 執行 Excel 試算表軟體.....	86
圖 6.19 開啟觀看 PDF 電子檔.....	87
圖 6.20 開啟 Power point 簡報檔.....	87
圖 6.21 開啟 Word Doc 檔.....	88
圖 6.22 使用影像軟體進行撥放影片-1.....	88
圖 6.23 使用影像軟體進行撥放影片-2.....	89



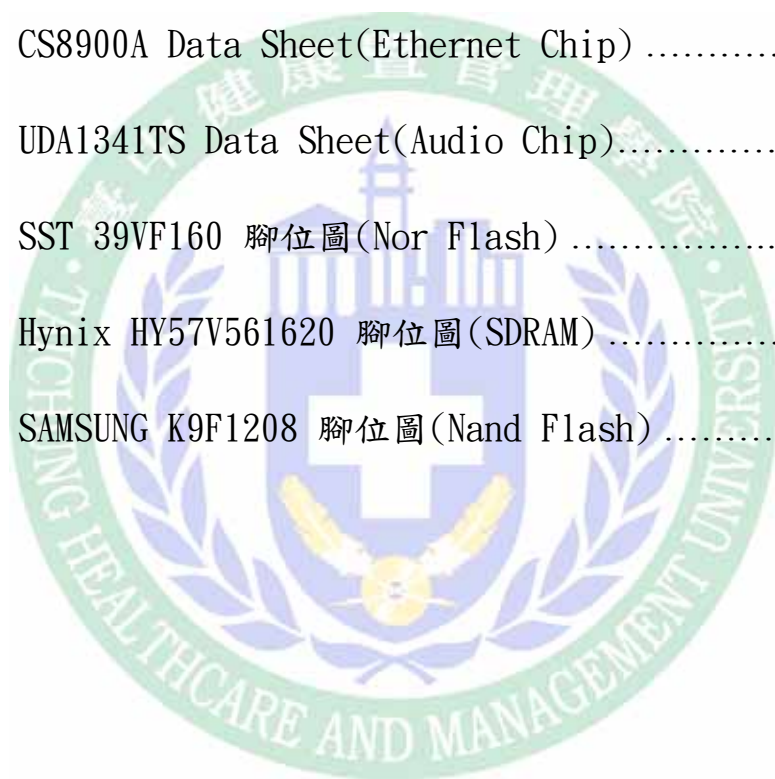


## 表目錄

表2.1 主要手持式裝置作業系統之技術特性[7] .....	18
表2.2 主要手持式裝置作業系統的特性[7] .....	19
表3.1 AHB及APB匯流排之比較.....	28



附錄 A S3C2410各腳位定義名稱.....	96
附錄 B S3C2410各腳位信號描述.....	100
附錄 C SMDK2410電路圖.....	105
附錄 D Touch Panel 機構圖.....	117
附錄 E LCBFBTB61M23 5.7 Color F-STN 機構圖.....	118
附錄 F CS8900A Data Sheet(Ethernet Chip) .....	119
附錄 G UDA1341TS Data Sheet(Audio Chip).....	120
附錄 H SST 39VF160 腳位圖(Nor Flash) .....	122
附錄 I Hynix HY57V561620 腳位圖(SDRAM) .....	123
附錄 J SAMSUNG K9F1208 腳位圖(Nand Flash) .....	124



# 第一章 緒論

## 1.1、研究動機

因為科技的發展，快閃記憶體(Flash)不論在速度及儲存容量上都進步很多，因此、Disk on Chip(DOC)的概念也衍生出來，在目前我們已知資料的儲存上是存放在機械式的硬碟內，硬碟容易因震動導致讀寫頭和碟盤撞擊，造成讀寫頭故障或磁盤壞軌的問題，因此、由記憶晶片(Memory Chip)取代硬碟是一個很好的解決方式，也可以讓整個電腦系統因為主要的元件微小化後，達到體積越來越小的地步。

由於要實現無硬碟的電腦系統，本文是用嵌入式的通用型微處理器用來當作是系統心臟的最佳選擇，也就是說以個人電腦的構想來發展多功能應用型嵌入式系統，且充份利用嵌入式系統整合液晶顯示面板、訊號的輸入及輸出的裝置，以此讓無硬碟電腦系統設計的概念可以實現。

## 1.2、研究目的

本文以 ARM-Based 為主的無硬碟電腦系統設計中並不考慮整合小尺寸的顯示面板，以區隔個人手持式行動裝置(Mobile Handheld)與本次設計的構想不同，所以並不會把如何降低系統整體的消耗功率考慮在內，而是以 ARM-Based 為主的系統如何經由設計與實作中，加上 Windows CE 作業系統，得到一個可應用於不同發展用途的無硬碟電腦系統，以驗證無硬碟資料儲存的構想。

在本篇設計與實作中選擇整合中型尺寸顯示面板，這個目的是因為較大的可視區域，對於閱覽顯示資料上，感覺會比較滿足視覺上的需求，而整合的最終目的就是要做出以通用型嵌入式系統、搭配中型尺寸的顯示面板及以觸控面板為輸入用，並以外加固定電源為供應此通用型嵌入式系統工作所用，最後以 Microsoft 所推出用於編譯嵌入式作業系統的 Platform Builder 4.2 的軟體，為此無硬碟電腦系統量身訂作 Windows CE .NET 4.2 作業系統。

在本文最後是以無硬碟電腦系統的功能展現為目地，所以會驗證其在 Ethernet、USB、UART(RS-232)、觸控面板是否能運作正常，做為這次設計與實作完整運作的證明，並配合測試運行在 Windows CE .NET 4.2 的應用軟體做為展現，以說明整個系統在動作上可正確的運作，且是以無硬碟環境下進行的。

### 1.3、系統架構簡介

在設計架構方面，本次設計的嵌入式系統目標是要和一般的個人電腦一樣，也包括了五大部份：處理器、記憶體、輸出/輸入、作業系統和應用軟體，所以就本次嵌入式多工處理平台與個人電腦的系統架構來說是一樣的，因此大部份個人電腦上的優點，在這次的設計與實作後的目標上也看的到，最主要的優點如應用層的應用程式移植性較高，作業系統自行管理資源等等。所以可以想像這個多工處理平台是一部個人電腦的縮小及精簡的版本，但嵌入式系統相較於一般個人電腦的優點如下[5]：

- 成本較低
- 抗震動能力高
- 體積小
- 消耗功率低

當在要進行整合多工處理平台時，要判斷所需要的各種功能是否能夠實現，所以也需要先把規格先定義好，在此次設計與實作中所要整合的目標為：S3C2410、64Mb SDRAM、32Mb NAND Flash(Storage)、7.5 吋的彩色液晶面板、觸控面板、USB、Ethernet、UTRA(RS-232)，定義好的多工處理平台其架構圖如圖 1.1 所示：



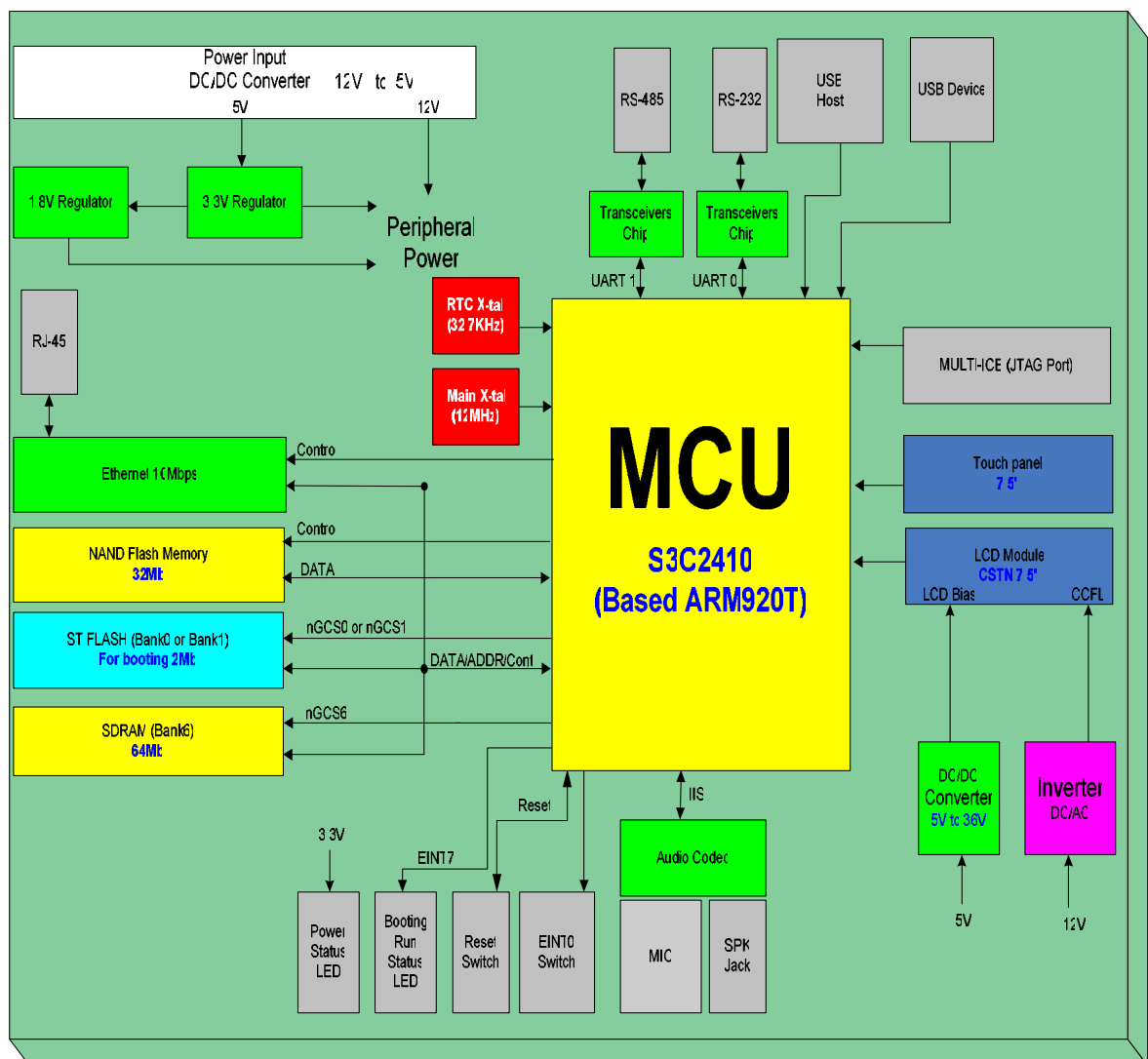


圖 1.1 以 ARM-Based 為主的無硬碟電腦系統架構圖[6]

在嵌入式作業系統方面是選擇以微軟的 Platform Builder 4.2 來發展嵌入式作業系統，並充分利用此發展軟體上所提供的功能可以事先模擬出將來所想要的作業系統的雛型，甚至是先把應用軟體先運行於此模擬出的嵌入式作業系統之內。

在嵌入式作業系統方面，因為採用了 Windows CE .NET 4.2 是具有多工能力，且具有系統資源管理的功能，在管理軟體方面會利用硬



體虛擬層(HAL)，讓應用軟體可以存取到不同模組所提供的服務、如 Ethernet 提供聯網能力、USB 提供連接其它裝置功能.. 等等，且嵌入式作業系統提供了多工處理的工作排程能力，所以許多的應用程式都能夠同時在這個嵌入式平台上同時執行，嵌入式作業系統的架構圖如圖 1.2 所示：

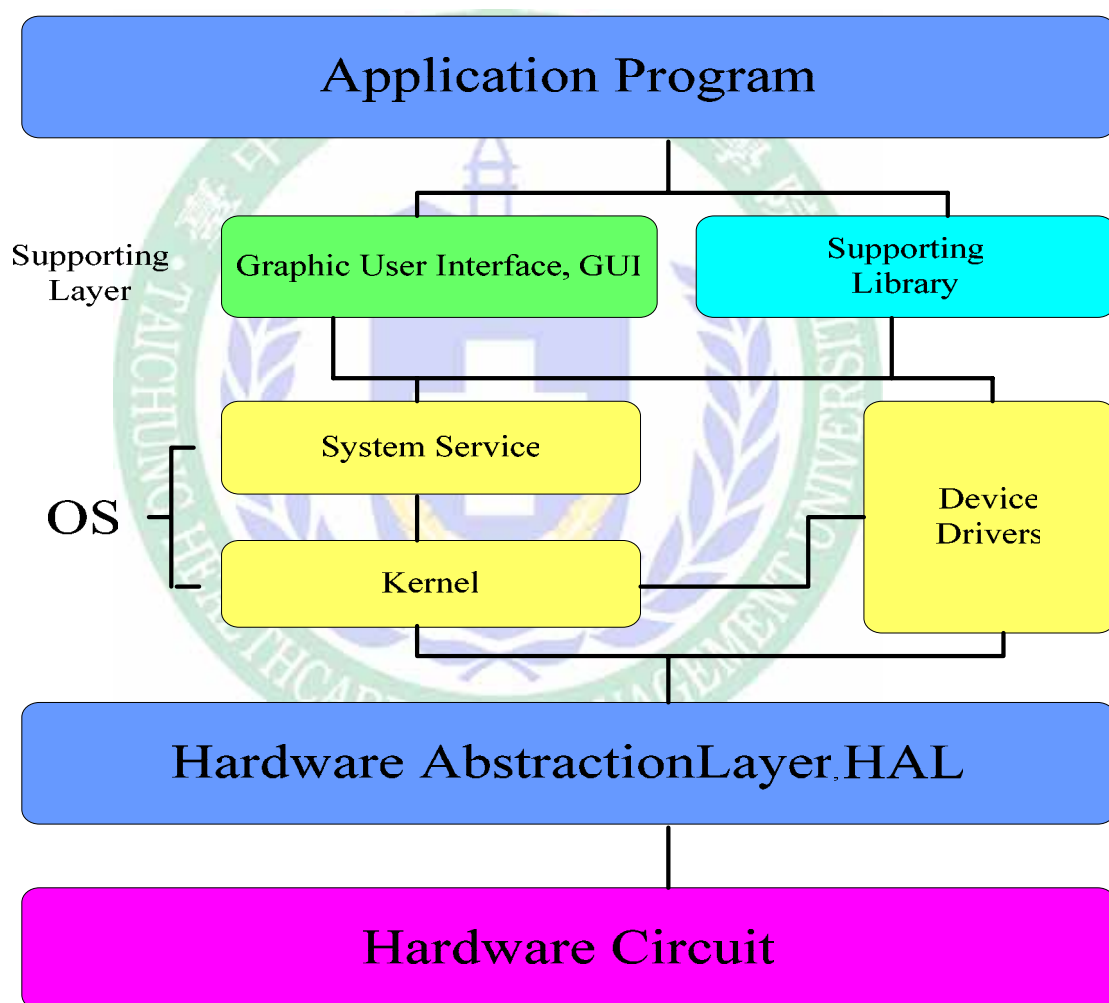


圖 1.2 嵌入式軟體架構圖

## 1.4、研究方法

在本次設計與實作中，首先必須評估此嵌入式系統的目標，並考慮到微處理器的功能性，是否能夠達成多工處理平台對於多個裝置匹配的問題。

對於硬體設計開始之前，必需瞭解各部份主動元件所需要的規格，並考慮是否有匹配上的問題，再選擇此次設計與實作所需要的主動元件，並依照硬體架構，先在個人電腦上先用軟體完成電子電路的設計，再以線路圖佈建軟體來完成整塊精簡電路上的佈局。

在完成嵌入式系統的主機板後，確定線路在運作是否正常，並以測試軟體在嵌入式系統電路上執行，並在問題方面上區分為軟體問題及硬體問題分別做排除。

確定系統運作正常後，會開始進行制作嵌入式作業系統，因為嵌入式系統可以隨著開發者要如何搭配其它裝置，所以在嵌入式作業系統方面也需要自行編寫及編譯，編寫及編譯的環境中以在 PC 的制作及模擬為主。

在嵌入式電路及作業系統完成後，需要進行的是系統整合來確定硬體實作是否可以完全運作，以做為系統開發進行到系統實作的驗證，因為在這個階段的整合通常會浮現許多問題，在找出問題後再回到上個階段進行修改後，在一次進行整合的動作。

最後階段則是驗證應用軟體可以在嵌入式多工處理平台上運作，以影音多媒體、網路通訊、瀏覽網頁、查閱文書做為內部整合設備和可外接設備可完全運作的最後驗證。

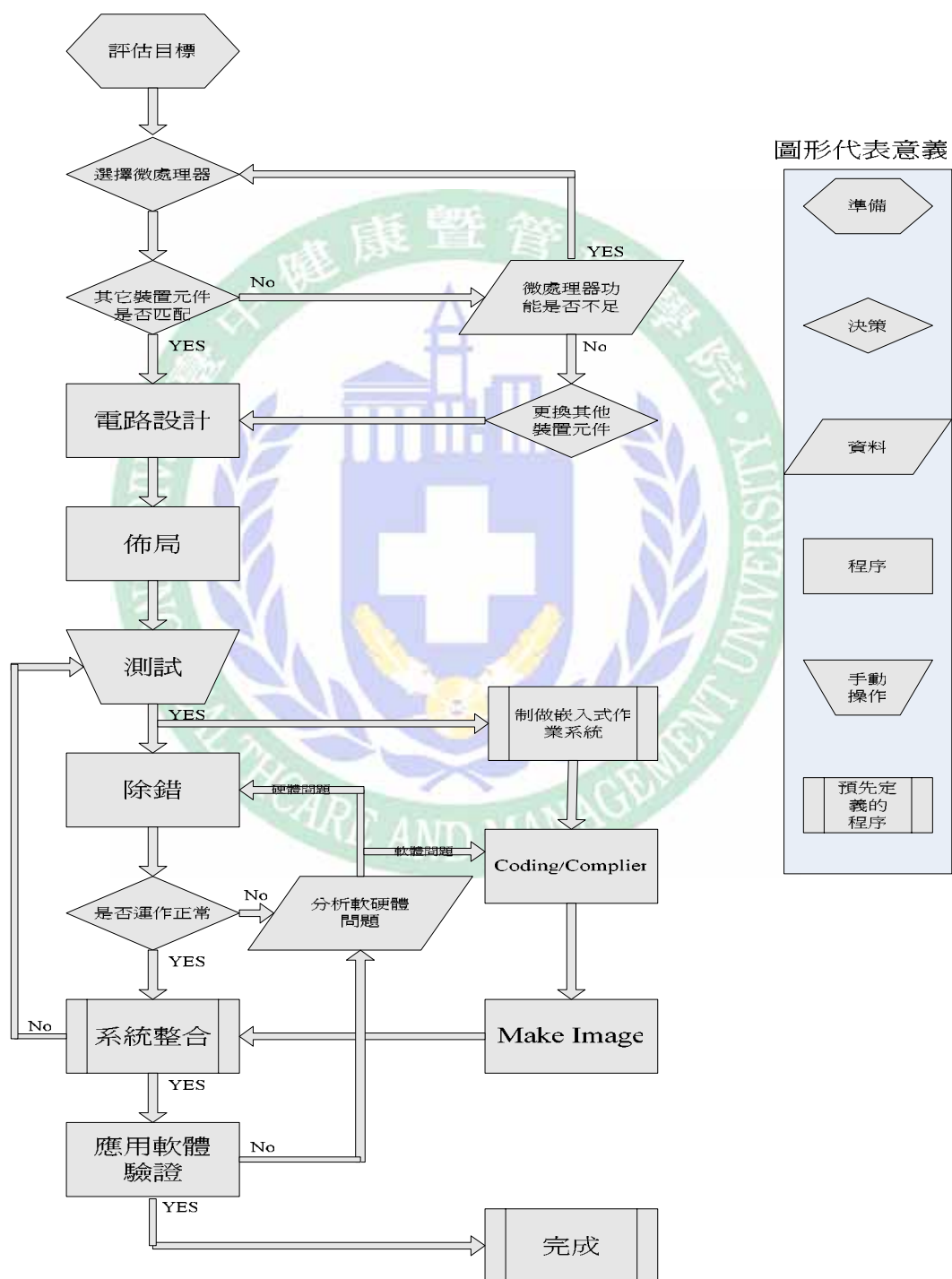


圖 1.3 無硬碟電腦系統設計與實作研究方法流程圖

## 1.5、研究架構

本論文在研究架構方面如圖1.4所示，主要分為七大章節：第一章為緒論主要在介紹研究動機、目地、系統架構簡介、研究方法、架構；第二章將說明研究背景及相關文獻回顧，這部分的章節主要在介紹對於嵌入式系統的發展型態及過程的相關敘述；第三章將會介紹ARM 處理器與嵌入式系統，主要是對嵌入式處理器與硬體的基本探討及ARM處理器的優點作敘述；第四章則是進入嵌入式作業系統開發及模擬的階段，在這裡會對於環境的建立及相關議題作說明；第五章會描述對於嵌入式電路的實作過程，對硬體各元件的整合，基本量測動作會在這邊做探討；第六章則是說明系統整合的結果，並展示研究成果，以相關的應用軟體搭配作為展示。第七章則是為此次無硬碟電腦系統的設計與實作做總結及未來嵌入式發展方向探討的說明。

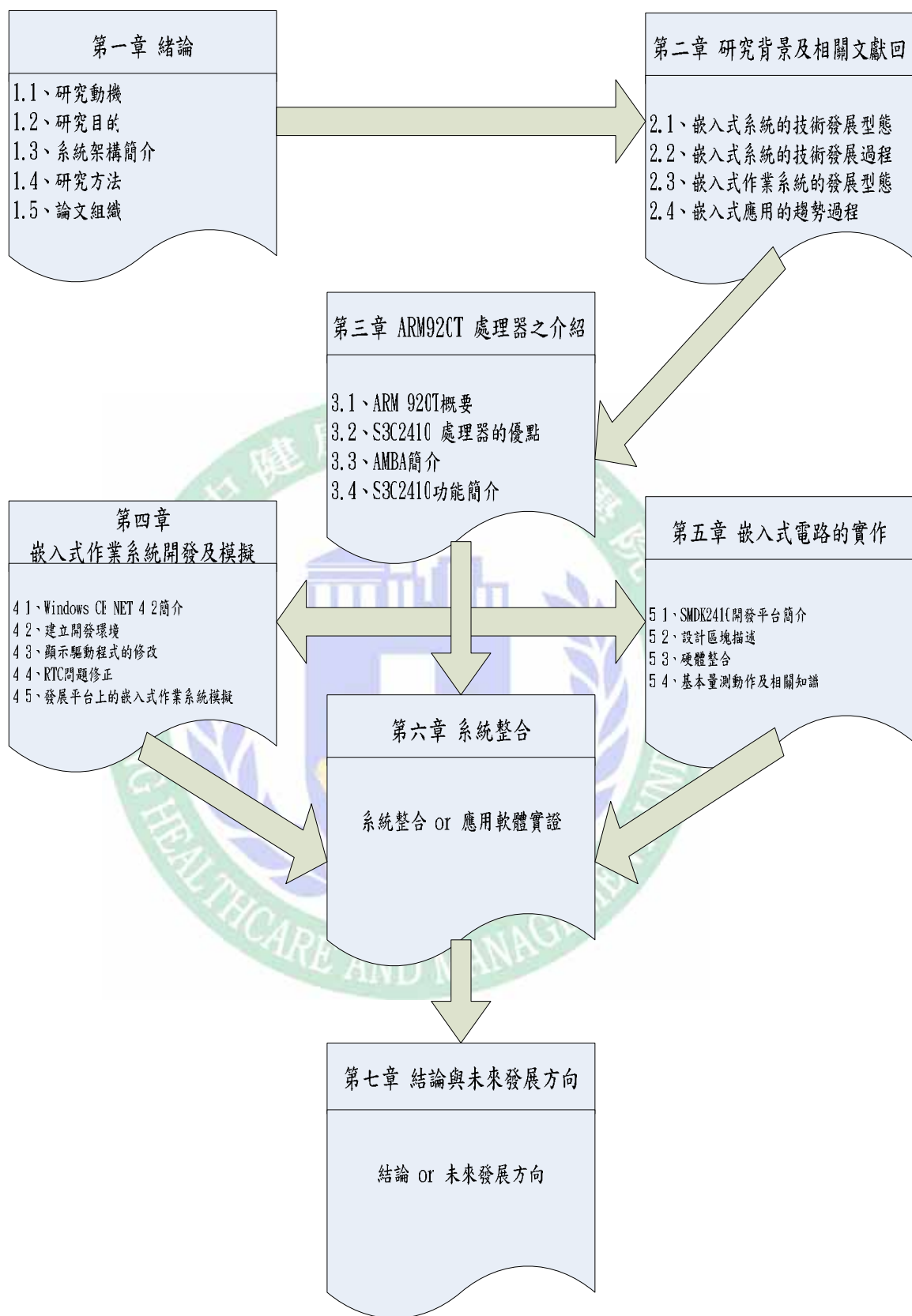


圖1.4 本論文的研究架構

## 第二章 研究背景及相關文獻回顧

根據英國電機工程師協會的定義：「嵌入式系統為控制、監視或輔助設備、機器或甚至工廠運作的裝置」，它可能是一套大型設備當中的一個部份，也可能是以軟體或韌體的方式存在，也就是說嵌入式系統是由電腦軟體和硬體綜合在一起的裝置，在嵌入式系統早期在應用方面特別強調「量身訂作」的原則；為了某種特定用途的裝置，可以開發出不同的嵌入式系統。

但因為科技的發展，嵌入式系統的微處理器已走向整合 SOC 的地步，目前已有眾多整合型的微處理器在市場上被應用，而本文所使用的微處理器即屬於通用型的微處理器。

在本章就嵌入式系統的設計概念、微處理器產品、嵌入式作業系統等三個部份來進行相關文獻回顧。



## 2.1、嵌入式系統的技術發展型態

個人電腦推出的目的是為了滿足通用功能的需求，所以系統設計則是以軟體來實現，功能固定的則是以硬體(ASIC)來取代，但在初期的嵌入式系統並不是設計用來執行通用功能，而是只要求可以執行某些特定功能即可[7]。因此嵌入式系統的組成單元只要如圖2-1中的某些單元即可，至於可能組成的型態請參考圖2-2中四個型態的圖示。

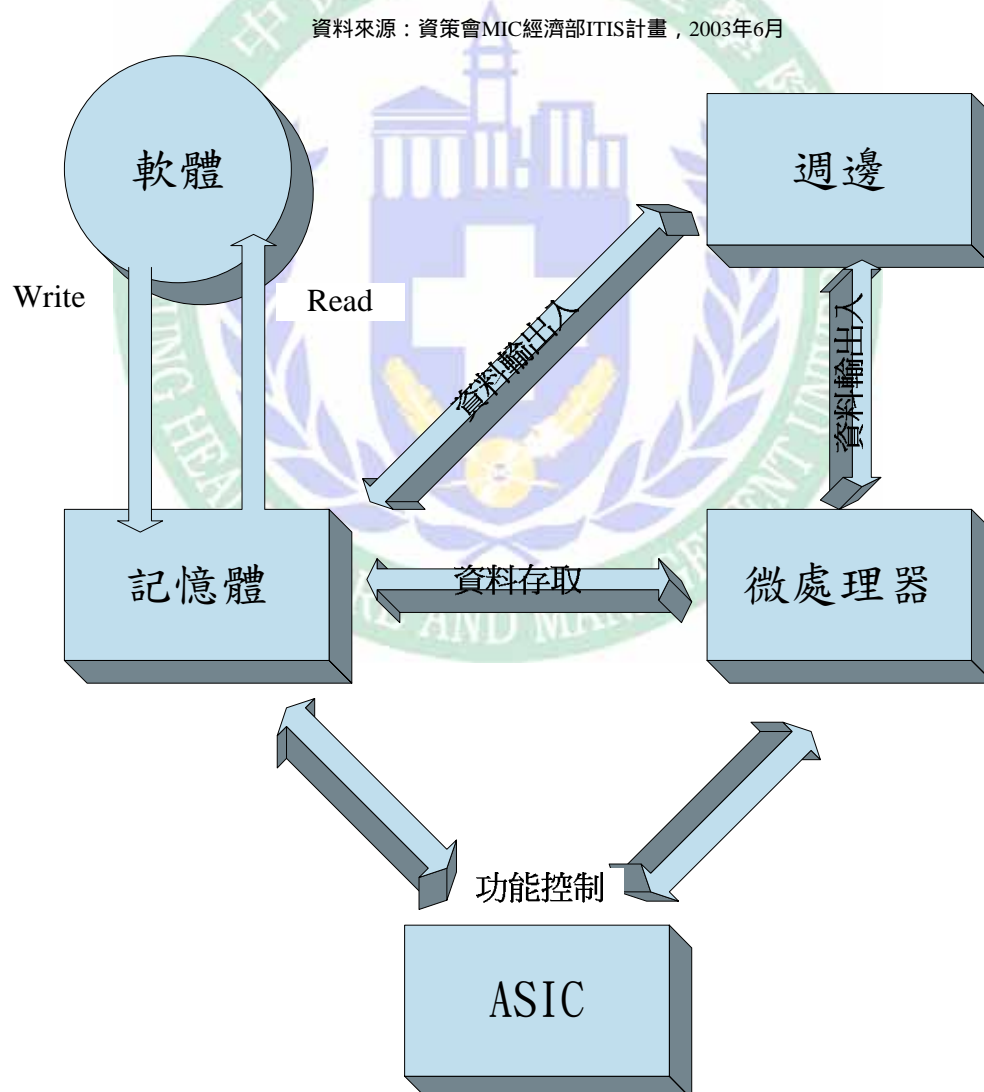


圖 2.1 一般電腦系統的功能區塊

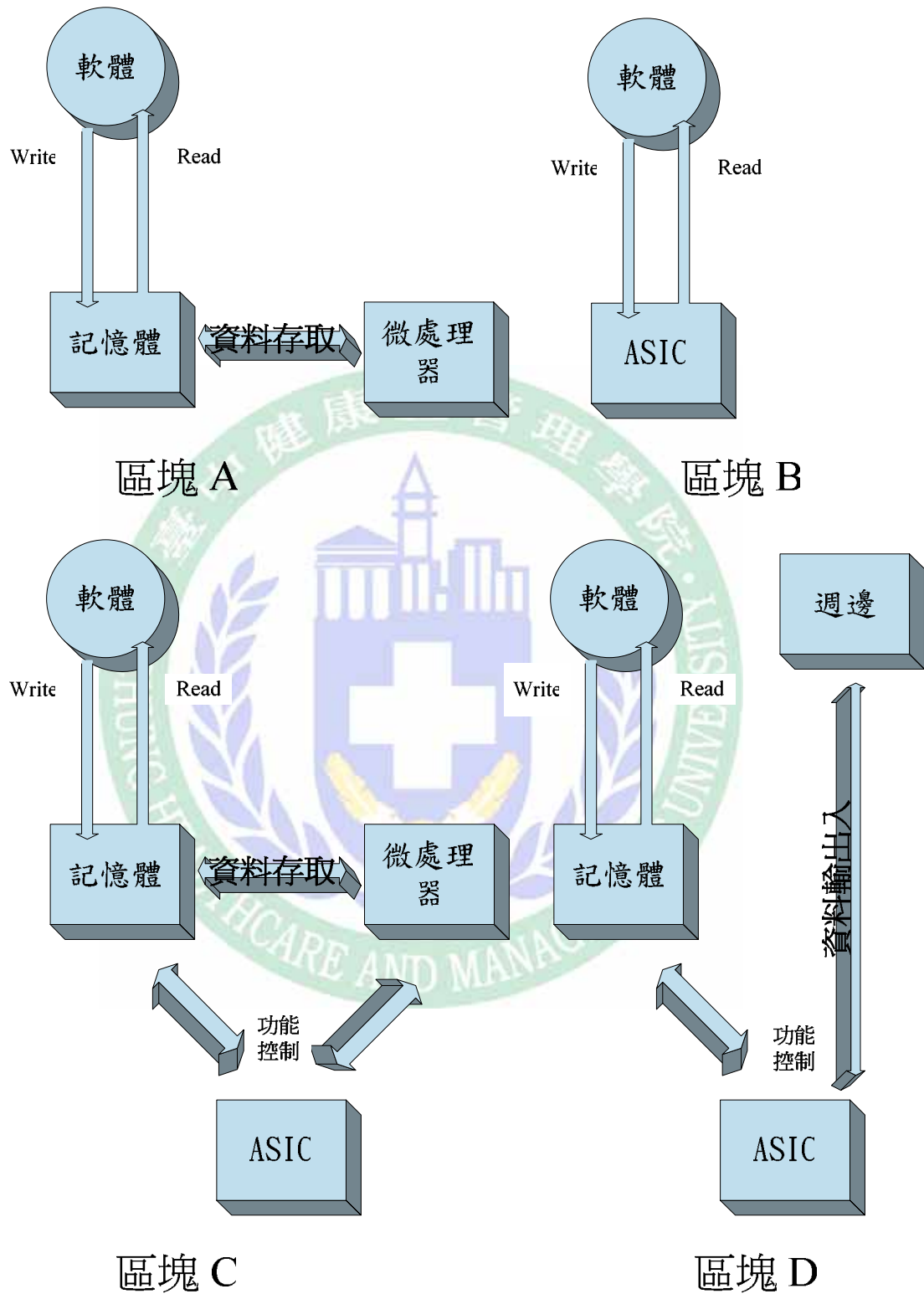
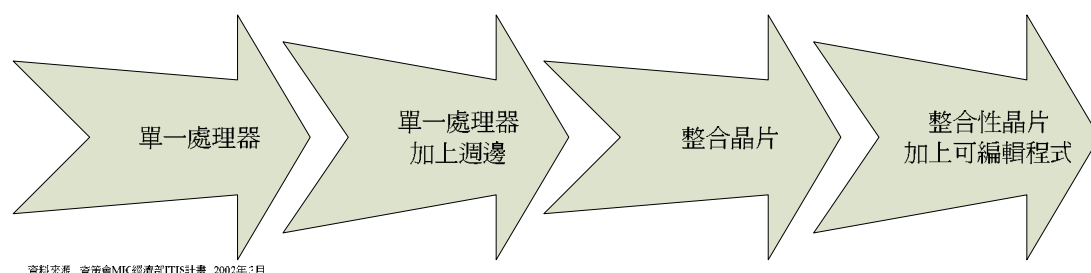


圖 2.2 嵌入式系統可能的四個組成區塊

嵌入式系統的可能組成的架構以圖 2.2 來說，型態 A 是最簡單的設計方式，由單一微處理器來執行嵌入式軟體，系統功能由嵌入式軟體的設計所決定。型態 B 是針對功能較固定的系統所設計，大部分的功能由特殊應用 ASIC 所執行，嵌入式軟體的部份則是負責其餘部份的功能。至於較複雜的嵌入式系統大都經由應用程式控制執行特殊功能或是以韌體方式存在，而應用程式所使用的硬體可以是一個微處理器、如型態 C，或是直接控制 ASIC、如型態 D。

現在的微處理器在發展上已經漸漸的包含了許多功能，所以微處理器或特殊功能的 ASIC 已經漸漸被整合成功能強大的微處理器，所能發展出的嵌入式系統也有完全符合圖 2.1 一樣功能區塊的系統組態，但是這樣的嵌入式系統在設計上已經不是以執行特定功能為主了，而是可以執行很多應用程式、嵌入式系統在設計組成方面，它的型態必須看要被應用在何種領域，再來決定要如何設計一個適合的型態[7]。



資料來源：資策會MIC經濟部ITIS計畫 2002年3月

圖 2.3 嵌入式微處理器發展過程

## 2.2、嵌入式系統的技術發展過程

在上述嵌入式系統對於組成型態的介紹，在這章節中所要介紹的是微處理器的發展過程：

### 2.2.1、系統重心從微處理器中心轉換成匯流排中心

早期的計算機系統，都是以中央處理單元(CPU)為運作核心，所有特定裝置或週邊電路都是以特定的或是共同的輸出/入介面來與中央處理單元做連接，再由軟體來對特定裝置或週邊電路發出執行指令的動作，這樣的方式已經不符合現在的系統需求了。

現在的發展最重視的是效能，因為所有的工作以微處理器來做分配，會使的系統效能大幅降低，所以針對某些經常性屬於週邊輸出/入與記憶體資料傳送工作，轉交專門運作的區塊來執行即可，另一部份屬於運算單元的功能交給獨立的邏輯區塊會更好。

目前嵌入式系統主要以匯流排為設計重心，我們目前所了解的就有在CISC上使用的PCI或RISC上的AMBA等等，再加上標準的I/O匯流排或介面，如IIC、USB等等。各連接裝置只要符合標準匯流排的通訊協定，就可以與系統相結合，而各裝置間的通訊就不用再經由中央處理單元來做交換，這樣的運作方式大幅提升了系統的執行效能。

## 2.2.2、微處理器整合功能強化

如上圖2.3中我們可以知道嵌入式系統開始的發展是由一顆微處理器，逐漸發展到將週邊裝置整合進微處理器中，所以生產及製造微處理器的生產商為了強化競爭力，都會將微處理器加上不同的功能加以整合，如DSP及專用於某一用途的微處理器，也就是說在要設計這類微處理器時，會以固定電路來取代指令集，以此來提升主要功能訴求的效能。

## 2.2.3、中央處理單元發展成多核心

現今的嵌入式系統要處理的運算量已經是非常龐大了，因此能不能提供足夠的運算能力相對重要，使的強調具有多核心的運算處理方式相對重要，如 CPU 加 DSP 或兩個 CPU，目前已有強調雙核心的微處理器，強調的就是能夠因應龐大的數學運算，以此來提供更好的效能，或者是某種應用於特殊處理功能的微處理器再加上一個微處理器，如 GPS 接收模組或 RF 模組加上一個中央處理單元，以ARM來說，常見的多核心產品類型有ARM + DSP、ARM + FPGA、ARM + ARM等結構[12]。



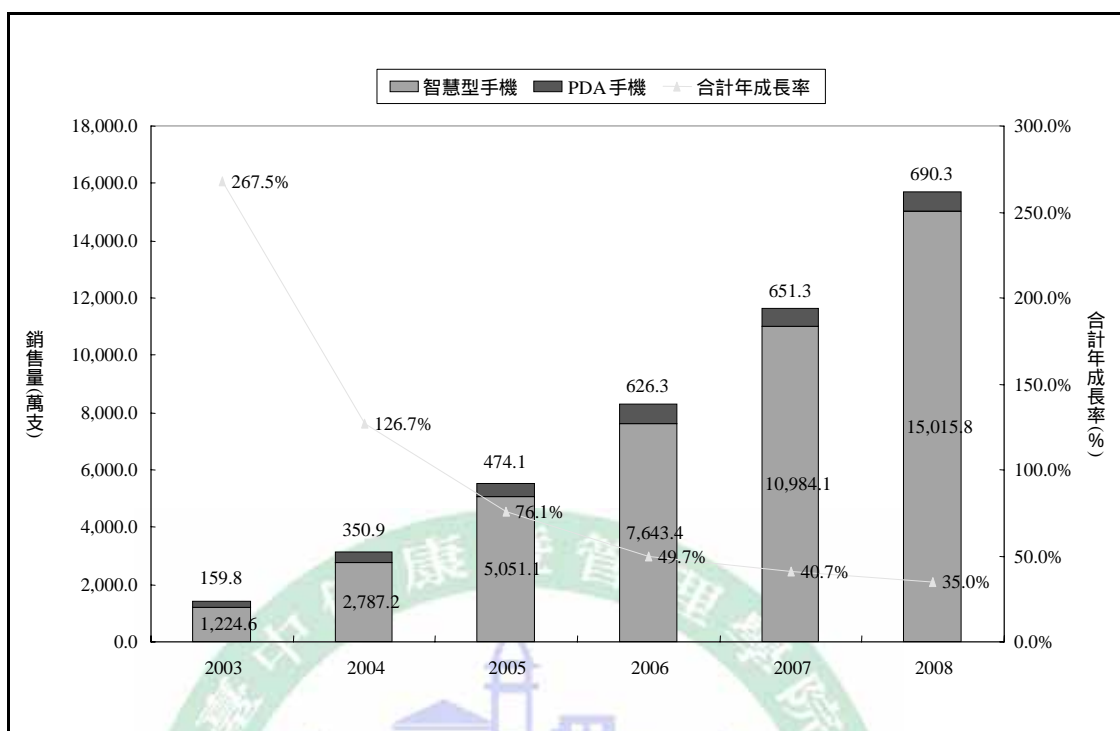
## 2.3、嵌入式作業系統的發展型態

完整的嵌入式作業系統包裝了硬體架構、作業系統、韌體、應用軟體等，由一般定義來看，嵌入式系統是一個存放在非揮發性記憶體中的小程序，但因科技的發展，有了延伸的定義，也就是說內建資訊、通訊或消費性電子產品的應用軟體，有專用的驅動程式或操作介面，且是為了某一用途的裝置不可缺少的[8]。

由於嵌入式的應用已經是遍及了家電、通訊、資訊等領域，但是最關鍵的部份仍在於作業系統如何與微處理器做搭配，以下對於嵌入式作業系統的技術與比較圖表來做說明。

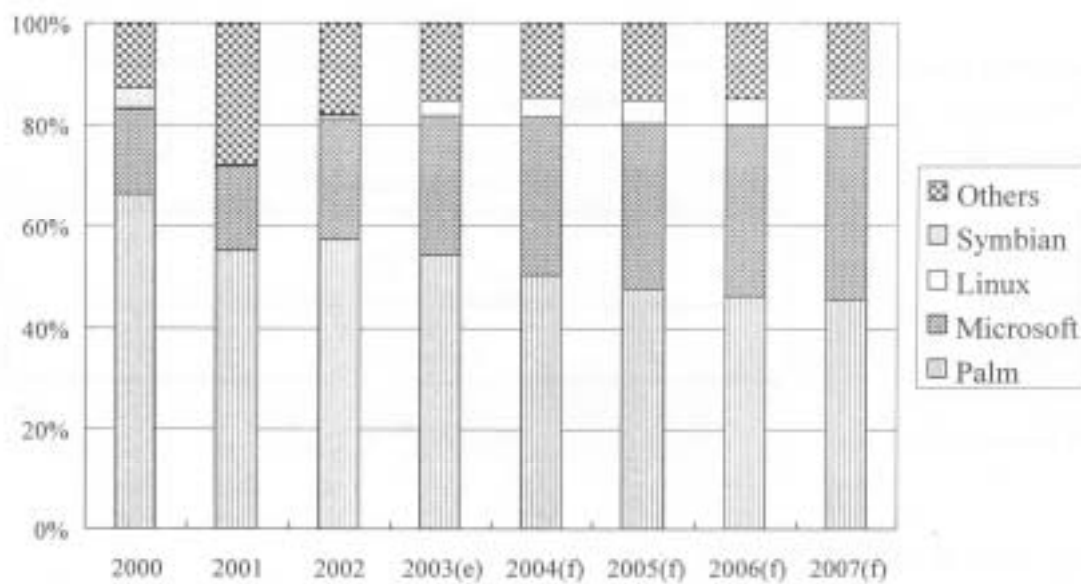
目前以結合智慧型的手持式裝置發展最為成熟，因為其強調通訊功能，上網與多媒體影音娛樂等等。在手持式裝置的作業系統，目前有三家較大的公司在做發展，分別為Microsoft、Palm、Symbian等三家，但是其核心的原始碼並不公開，其中的技術特性及作業系統特性請分別參考表2.1及表2.2。至於Embedded Linux因為強調是Free的核心，且沒有廠商是居於領導地位的狀況下，不同家公司所發展出來的應用軟體並不一定能在不同的Embedded Linux中運作執行。





資料來源：工研院 IEK-ITIS 計畫

圖2.4 2003-2008年整合型手持裝置市場預測



資料來源：IDC，資策會 MIC 經濟部 ITIS 計畫整理，2003 年 9 月

圖2.5 嵌入式作業系統採用比例發展趨勢

表2.1 主要手持式裝置作業系統之技術特性[7]

		Palm OS 5.0	Microsoft WinCE base (PocketPC, Smartphone)	Symbian 7.0
記憶體需求		基本需求：2MB，依應用程式大小可至 16 MB	基本需求：8MB	6MB (Kernel 與內建的應用程式)
硬體架構		ARM base，包括 Intel XScale base PXA 系列，StrongARM base 系列；Motorola MX1 系列與 TI OMAP 系列 Motorola 68000 base，Dragonball 系列	ARM base，包括 Intel XScale base PXA 系列，StrongARM base 系列；Motorola MX1 系列、TI OMAP 系列、Samasung MPU，MIPS, SHx and X86 processors	ARM base，包括 Intel XScale base PXA 系列，StrongARM base 系列；Motorola MX1 系列、TI OMAP 系列
通訊功能支援	WiFi	Yes	Yes	Yes
	Bluetooth	Yes	yes	yes
	GPRS	Yes	yes	yes
Java Runtime		JavaScript 1.5	Supported by third-party virtual machine	J2ME PersonalJava
與電腦同步連線		HotSync	ActiveSync	SyncML, DataSync
特點		1.PIM 2.應用軟體多 3.使用介面與 Palm 相同	1.多媒體能力 2.與 Windows 介面相近 3.支援所有擴充槽標準 4.開發工具與 PC 相近	1.支援封包網路 2.通訊能力較強 3.使用者介面佳 4.無線網路安全

資料來源：資策會 MIC 經濟部 ITIS 計畫，2003 年 8 月

表2.2 主要手持式裝置作業系統的特性[7]

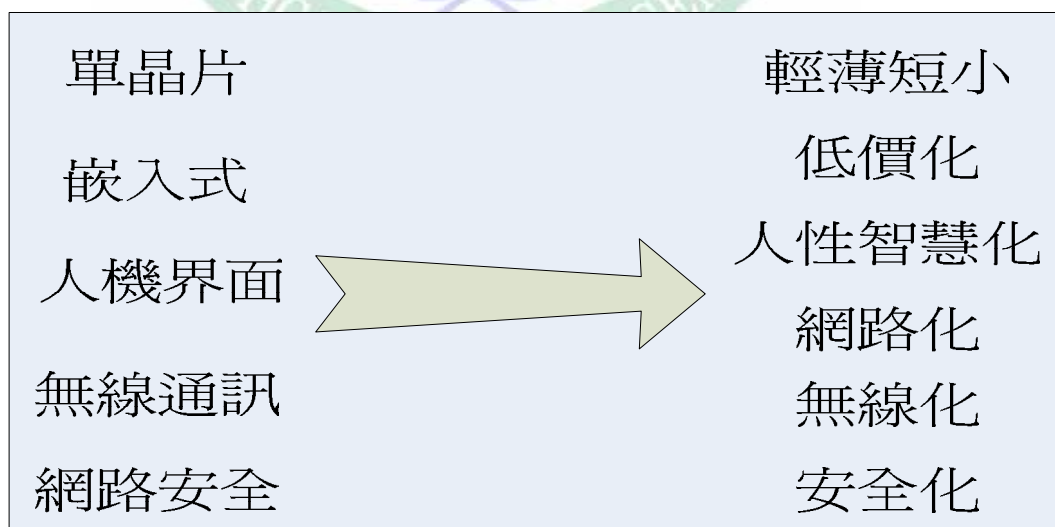
	Palm OS 5.0	Microsoft WinCE base	Symbian 7.0
說明	<p>與 PalmOne 一分為二後，由 Palm Source 繼續軟體開發與授權事業</p> <p>目前市佔率最高的手持式裝置作業系統</p> <p>以簡單易用的 PIM 功能著稱</p> <p>以 Palm OS 為 base 的手持式裝置，依不同設計與功能，價格由\$99~\$700 美元</p>	<p>與所有建構 Windows OS 開發環境的裝置相通，包括應用程式、開發工具、messaging 及網路應用。</p> <p>多媒體、連網與娛樂功能強</p>	<p>由主要手機廠商聯盟組成</p> <p>訴求開放的平台，可以以 third-party 的使用者介面創造產品的差異化</p>
合作 伙伴 品牌 廠商 與系 統業 者	<p>1. Mobile Phone Vendor: Samsung, Kyocera</p> <p>2. PDA Vendor: Handspring</p> <p>3. 系統業者：Sprint PCS</p>	<p>1. Mobile Phone Vendor: Mitsubishi, Samaung, HTC</p> <p>2. PDA vendors: HTC, Toshiba, DELL</p> <p>3. 系統業者：NTT, AT&amp;T, Vodafone, mmO2, T-Mobile, Orange, Telefonica Moviles, Cingular, Verizon, Telstra</p>	<p>1. Mobile Phone Vendor: Nokia, Motorola, NEC, Sendo, Sony Ericsson, Sharp, Siemens-Fujitsu, Samsung, Toshiba, Mitsubishi, Matsushita</p> <p>2. 系統業者：Vodafone, Telefonica Moviles, Telstra, T-Mobile, Cingular, mmO2, NTT, ATT</p>
市面 上已 發表 之產 品	<p>Palm Tungsten, Zire families, Handspring, Treo, Kyocera 7135 smartphone, Samsung MIT SGH-i500 smartphone, Sony Clie</p>	<p>Dell Axim X5, HP iPAQ Pocket PC, T-Mobile Pocket PC Phone, Toshiba e550G</p> <p>Smartphone：Orange SPV</p>	<p>Siemens SX1, Sony Ericsson P800 Smartphone, Nokia (3650, 7650, 9290), N-Gage, Samsung SGH-D700, BenQ P30</p>

資料來源：資策會 MIC 經濟部 ITIS 計畫整理，2003 年 8 月

## 2.4、嵌入式應用的趨勢過程

美國的軟體公司Diba首先推出IA(Information Appliances)的概念，同時有另一家公司推出了EID(Embedded Internet Devices)的名詞。所謂的EID是包括Smart Phone、Network Computer、Web-Enabled Instrument，甚至是Machine、Printer、醫療器材、量測儀器等均可以搭配在Internet的架構上，至於發展趨勢請參考圖2.6。搭配在EID的嵌入式軟體大致上需有以下基本功能[8]：

1. 必需內建HTTP傳輸協定
2. 能夠上網瀏覽資訊
3. 支援Java或跨平台的能力
4. 具有圖形化使用者介面
5. 必需具有一些特定硬體設備的趨動程式



資料來源 工研院經資中心 IT IS 計畫 2000年10月

圖2.6 嵌入式應用發展趨勢

所以嵌入式在傳統的應用上面，除了大量的專用及特殊用途外的需求，也漸漸的走向日常的生活應用的3C整合(Computer，Communication，Consumer)，也就是因為結合日異強大的資訊處理能力，提供更多樣化、功能更強大的服務，因此軟體設計的複雜度也越來越高，變的無法單獨設計，且需要系統軟體的支援。

在嵌入式應用在消費性電子領域上持續的發展下，開發嵌入式軟體工作量有可能超過一般電腦系統的開發的工作量，而嵌入式作業系統也承接了一般電腦的資源管理模式，日漸複雜的功能加上嚴苛的系統資源，省電管理的要求及多樣化的設計需求，也就是說：以嵌入式系統輕薄短小的優勢，經過嵌入式系統的搭載，將使的嵌入式應用更能符合以人為中心的需求。

## 第三章 ARM 920T 處理器之介紹

由於在本次設計與時作中所選用的微處理器為 SAMSUNG 生產的 S3C2410 型號的微處理器，所以對其應用核心 ARM 920T 做概要介紹，並說明其優點，再以針對連接各IP功能的前瞻微處理器匯流排架構(AMBA)做介紹，最後再將S3C2410的功能做簡介。

### 3.1、ARM 920T概要

ARM920T是屬於ARM9TDMI Family中用於一般用途的微控制器核心，其方塊圖請參考圖3.1，而ARM 920T只是在ARM9TDMI Family中配備有不同的硬體線路設計，其硬體設計為(ARM 920T Core+16KB指令Cache+16KB資料Cache+MMU)，而ARM9TDMI中的TDMI各有其代表的意義，其意義如下所述[9]：

#### T(Thumb)：支持Thumb指令集

由於嵌入式系統必需要求以最少程式碼來達成精簡的目的，因此Thumb模式採用16位元的編碼方法來達到32位元的指令功能，以此方法來將程式碼來進行壓縮。

#### D(Debugger)：除錯器

ARM9中提供了除錯器，用於在個人工作站上以軟體來協助在程式



設計上進行除錯的工作。除錯器模式包含了中斷跟單步除錯，當程式進入中斷點或單步錯點，可利用抓到的條件進入除錯模式，並介由除錯介面來解讀整個嵌入式裝置的狀態資訊。

### M(Multiplier)快速乘法器

在ARM9 Core中表示增加一組快速整數乘法器，與早期處理器內用的Booth乘法器相比，具有更高的性能，也就是說除了原來32位元乘以32位元得32位元的乘法運算外，更加上了32位元乘以32位元產生64全位元的結果，也就是說在早期Booth乘法器在每一個Cycle僅能產生2位元的乘積，但快速乘法器的Cycle卻高達8位元的乘積產生出來。

### I(Embedded ICE Logic)：嵌入式ICE硬體

Embedded ICE(用於線路模擬)是可以讓使用者方便的除錯器的內容的電路設計方式，提供了MCU Chip上中斷和除錯的功能。

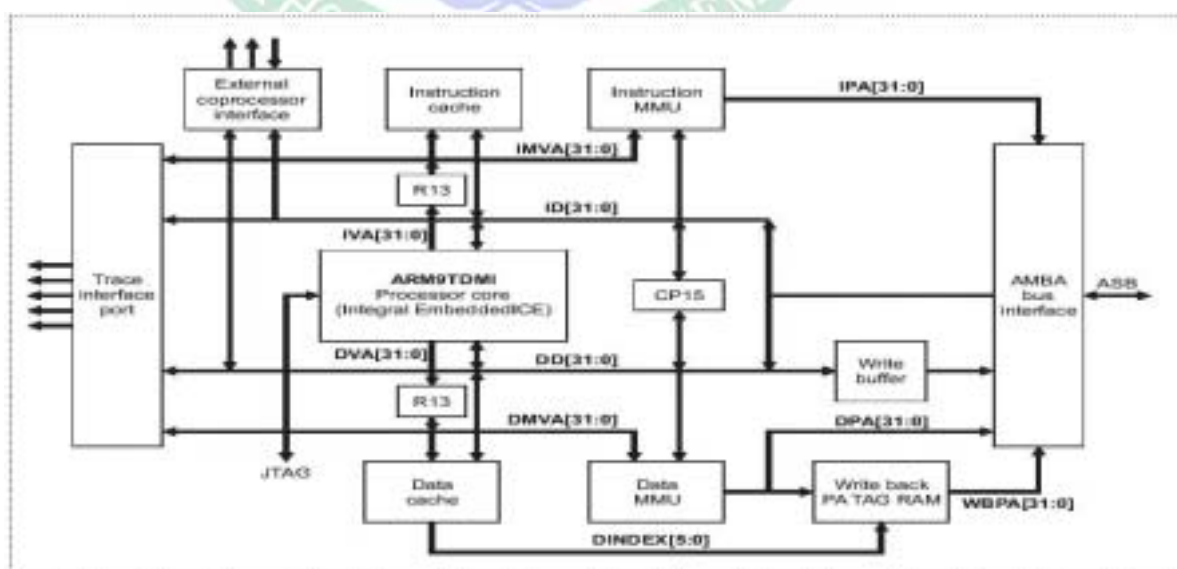


圖3.1、ARM 920T功能方塊圖

### 3.2、S3C2410 處理器的優點

ARM9TDMI Family主要成功的因素在於很容易放上嵌入式作業系統，如Linux/uClinux，WindowsCE、Palm OS、Symbian OS 等等，也加速了被廣泛的用在行動式的消費市場中，也漸漸開始32位元嵌入式應用的發展，以ARM為主的處理器優點主要有以下幾個方面：

1. 高性能、低功率、低價格
2. 多種形式的產品可供選擇
3. 大量技術支援的廠商
4. 完整的產品線和發展規畫

對於嵌入式系統在軟體方面，由於不同的嵌入式處理器的差異性很大，對於不同的應用需求，就有不同的軟體設計方式及不同的開發平台及工具，由於 ARM Core 的市場佔有率很高[10]，對於技術支援的工具相當多，對於不同處理器的差異性的進入門檻，相對可以減低很多。

由於S3C2410是一個包含 ARM 920T的核心，加上許多功能所整合出來的一個SOC，它已經內含了USB、UART、IIC、IIS、LCD等等，適合用來發展做為通用型的嵌入式應用，下圖3.2表示了S3C2410的方塊圖。

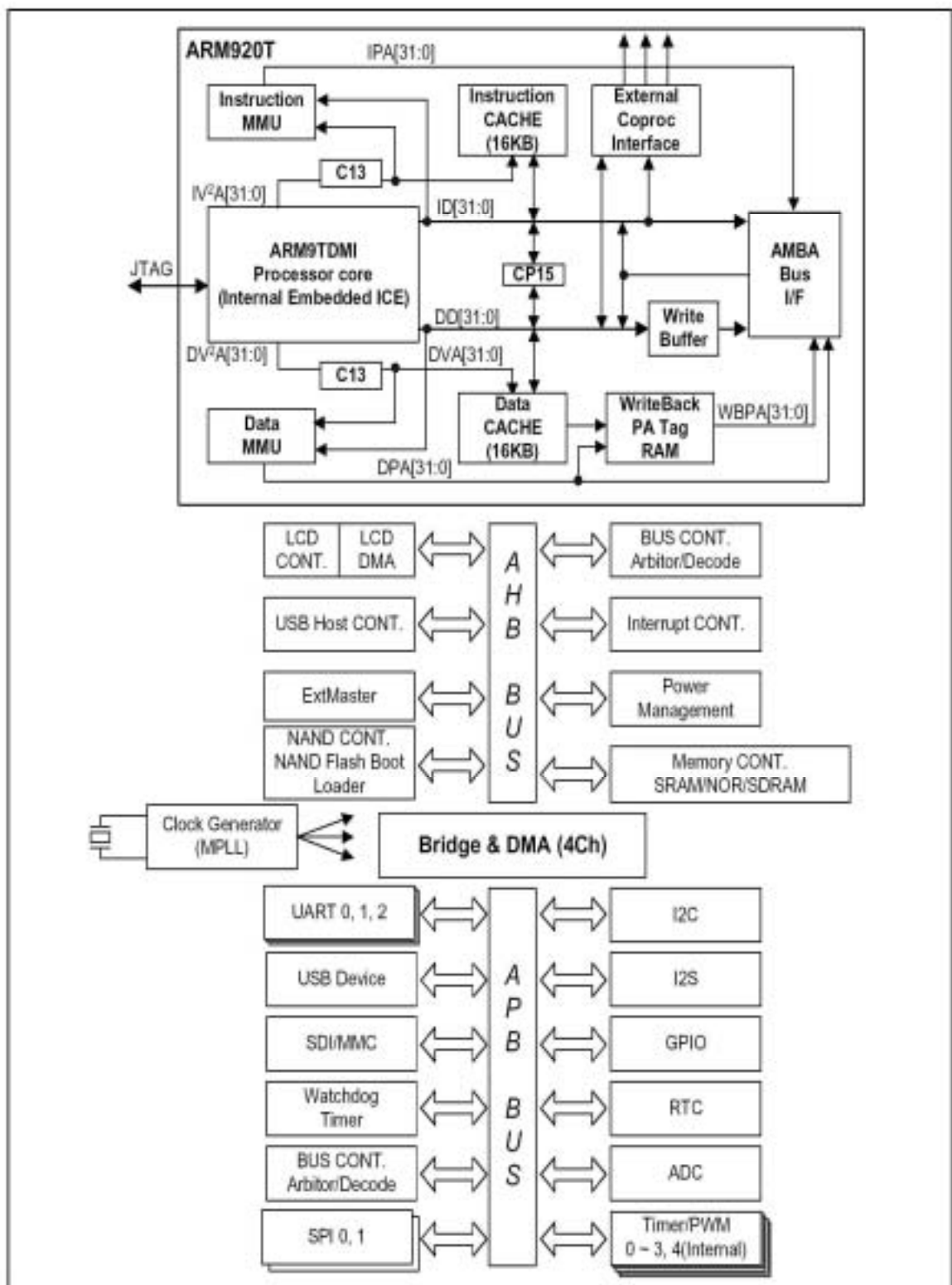


圖3.2 S3C2410方塊圖

### 3.3、AMBA簡介

AMBA 是由 ARM 公司所提出的一種前瞻微處理器匯流排架構 (Advanced Microprocessor Bus Architecture)，及以 AMBA 匯流排為基礎的 SOC 平台的一個開放性標準。未來的 SOC 都是由不同功能 IP (矽智產 Silicon Intellectual Property，簡稱 IP ) 所組成。

根據 Dataquest 對系統單晶片 (System-on-a-Chip; SoC) 的定義是具備系統級整合 (System-Level Integration; SLI) 晶片，也就是一供應特定用途的 IC，其中需包含運算功能 (如微處理器核心、數位訊號處理核心、MPEG 核心或繪圖核心)，以及記憶體與邏輯電路於單一晶片上。整合原本分散在印刷電路基板 (Printed Circuit Board; PCB) 上的各個 IC 進入單一個晶片後，將帶給系統產品更輕薄短小、更高性能以及更省電的優點 [1]。

如何建立及使用這些 IP 之間共同的溝通界面，讓這些 IP 的提供者和 IP 的使用者都能夠有標準介面可依循，那麼將可加速系統單晶片的整合實現。而 AMBA 就是負擔著這個可供依循的標準介面，一般以 AMBA 為架構的 SOC 包含了高效能匯流排 (ARM high performance system Bus, AHB)，APB (ARM low power peripheral bus) 兩種。

圖 3.1 為一標準的 AMBA 系統架構圖，包含了二個主要的匯流排：— 高效能匯流排 (AHB) 和 週邊匯流排 (APB)。 [3]

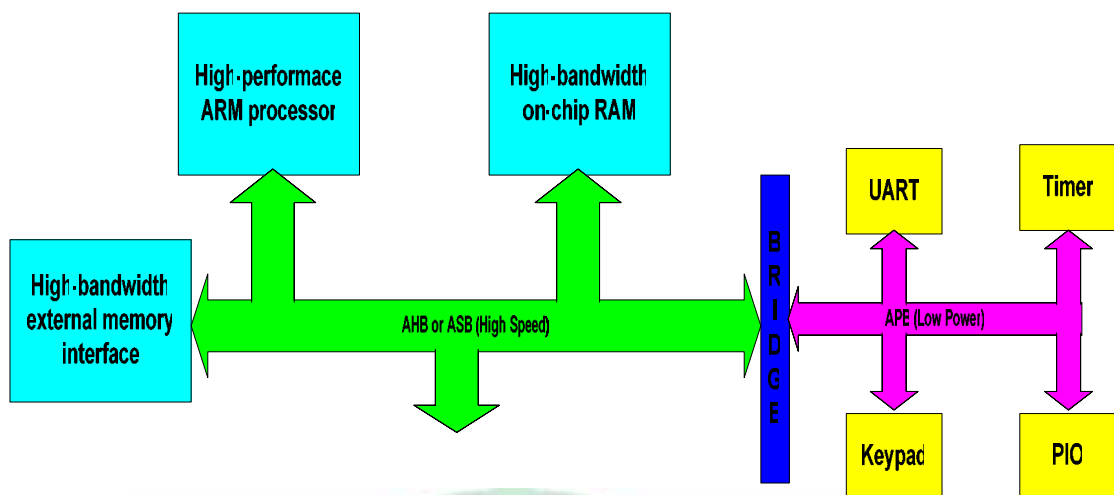


圖3.1 AMBA架構方塊圖[3]

AHB主要是針對高效率、高頻寬及快速系統模組所設計的匯流排，它可以連接如微處理器、晶片上或晶片外的記憶體模組和直接記憶體存取機制等高效率模組及其他快速介面或是需要較為高速頻寬的元件，此匯流排特別適合用於可合成和自動測試技術上的設計流程中[2]。

APB 匯流排主要用在低速且低功率消耗的週邊，如 I/O、UART、KeyBoard等等的週邊，且可針對週邊作功率消耗及複雜介面的最佳化。在APB匯流排中，唯一的Host端為APB bridge，主要負責匯流排資料的擷取、解碼及傳送，以此來減少系統匯流排的負擔，其它一些低速和低功率的週邊皆為Client端。因此APB匯流排不需要有一個像AHB一樣的仲裁者及其它複雜的線路，也就是說APB匯流排的整個架構較AHB簡單許多。[2]



表 3.1 AHB 及 APB 匯流排之比較

	APB	AHB
支援頻寬(位元)	32	$2^n$ ( $n=3\sim10$ )
最高頻寬(每週期)	4 位元組	128 位元組
適用模組特性	低速、低功率	高速、高效能
時序準則	時序圖	時序圖
時脈同步	是(正緣)	是(正緣)
資料匯流排實現	多工器	多工器
中斷	否	否
分離式資料傳輸	否	是
仲裁者	否	是
連續筆資料傳輸	否	是





### 3.4、S3C2410功能簡介

在上述圖3.2的方塊圖中已經表示了這顆微處理器已經包含了許多功能，也知道了這些擁有許多週邊功能的整合，使的S3C2410的成本大幅度的降低了許多，也同時減少了搭配其他組成的主動元件的成本，以下是摘錄S3C2410產品的規範書中敘述所有的功能：

- S3C2410X01: 16/32-bit RISC microcontroller
- X-tal operation or oscillator
- Boot ROM: AMD 8M bit 1EA (support halfword size boot ROM) , Intel StrataFlash 16Mbyte x 3 (halfword: 16Mbyte x 1 EA, word: 16Mbyte x 2 EA): Unload (Option)  
SAMSUNG NAND flash 64Mbytes 1EA (smart media card).
- SDRAM: 64Mbytes (32Mbytes x 2)
- TFT/STN LCD and touch panel interface
- Three-channel UART (including IrDA)
- Two-port USB
- SD host (MMC) interface
- Smart media card
- JTAG port (OPENice32-A900/ MULTI-ICE interface)
- RTC X-tal input logic
- IIC with KS24C080
- ADC interface
- SPI Interface
- IIS interface (sound CODEC audio input/output)
- EINT interface
- IrDA interface
- 64 keyboard
- Ethernet interface
- PCMCIA interface
- Extension connector 34P \* 3 EA
- LED display (debugging)

# S3C2410, At a Glance

Core	ARM920T / ARMV4T
Speed	Core : 200/266MHz ; Memory : 100/133MHz
Power consumption	1.1 mW / MHz @WinCE3.0, MPEG play
Voltage	Core : 1.8V(200MHz), 2.0V(266MHz) / Memory : 2.5 or 3.3V / IO : 3.3V
Package	272 FBGA / 14 body
Supported OS	WinCE / Symbian OS / Palm OS / Linux

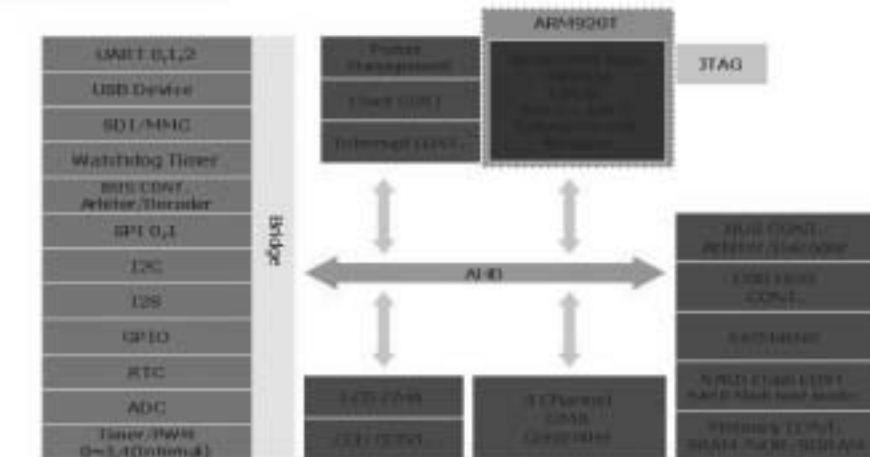


圖3.2. S3C2410概要示意圖[13]



## 第四章 嵌入式作業系統開發及模擬

### 4.1、Windows CE.NET 4.2簡介

Windows CE .NET是一種模組化、可升級的作業系統[15]，可支援多種設備的嵌入式作業系統開發平台，它提供了即時作業系統，可以幫助開發人員快速開發出具備網路通訊、影音多媒體與瀏覽器等功能的嵌入式裝置。

Windows CE .NET 所支援的設備驅動程式有兩種：內部整合設備和可外接設備。內部整合建設備是指整合進平台的設備，其中包括顯示、觸控面板、音頻、串列埠、LED、電池和儲存介面插座等等。這些設備所需要的的驅動程式是 CE 平台開發過程中由 OEM (Original Equipment Manufacturer) 開發的，它們儲存在 ROM 或快閃記憶體內，只要是 Windows CE .NET 有支援的設備會完全整合進開發的軟體平台中。

可外接設備是指可與平台連接和分離的第三方周邊設備，可由用戶隨時安裝和移除。例如，滑鼠及鍵盤或是網路攝影機可以藉由USB、介面插座或內建串列埠相連的線纜與Windows CE .NET的設備連接在一起，至於設備驅動程式由設備供應商自己提供，可隨時安裝在不會因為斷電導致記憶體資料會消失的目標儲存著。

Windows CE .NET 的發展環境目前已發展到為 Windows CE .NET Platform Builder 4.2的版本，裡面含有用來建立目標（Target）平台上的作業系統組態，透過系統組態選擇CPU和其他週邊套件內建軟體，組出來的系統影像檔傳送到目標上去執行，如果需要偵錯的話則可以透過串列埠或網路卡連線。另外在發展應用軟體方面是使用 Microsoft eMbedded Visual Tools 用來發展應用程式，可以在我們所熟識使用的一般Windows系列的電腦平台上面安裝後進程式上的編寫，目前有支援Windows CE .NET的程式語言有eMbedded Visual Basic 4.0 和eMbedded Visual C++ 4.0 SP2目前都可以直接到微軟的網站去下載，連同Windows CE .NET Platform Builder 的發展軟體都有提供120天的試用版本，因此發展工具取得相當的便利，有利於嵌入式應用的發展[14]。

## 4.2、建立開發環境

在本小章節中，要說明用來做Windows CE .NET作業系統的影像檔的工具軟體的建立，這個工具軟體的名稱是Platform Builder，因為Platform Builder支援多種含有記憶體管理單元(Memory Management Unit, MMU)功能的微處理器，所以在安裝上，只需要安裝所選用的微處理器類別即可(見圖4.1)。

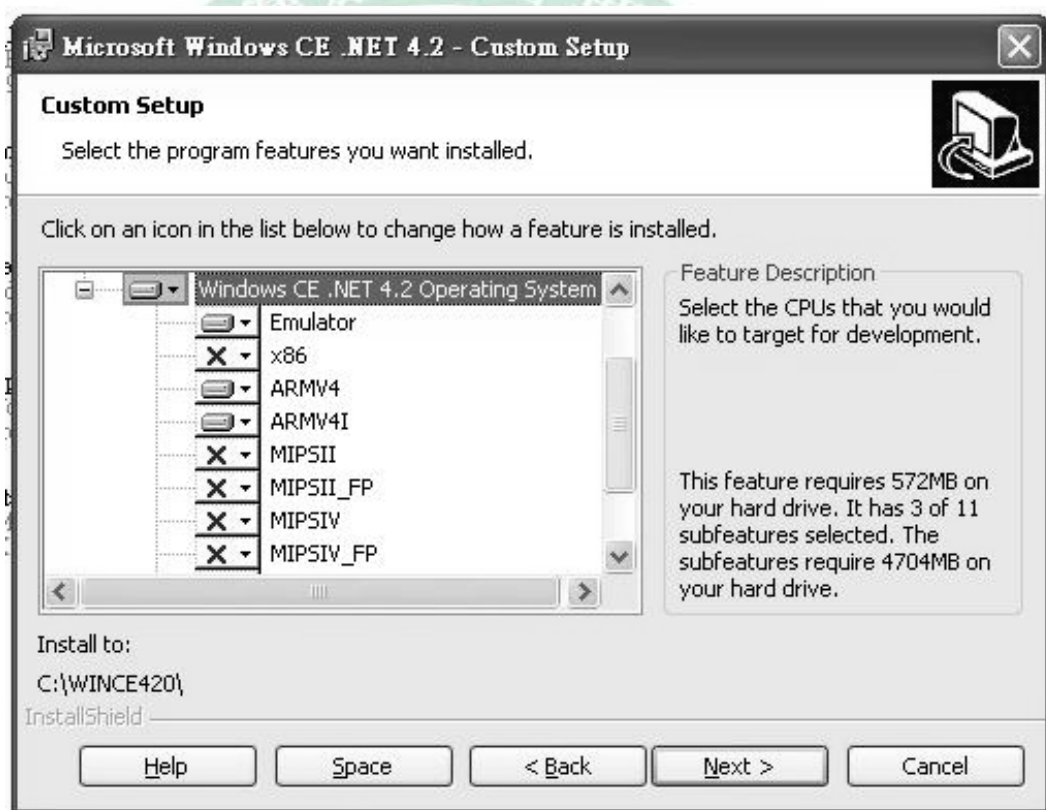


圖4.1 選用微處理器類的安裝畫面

安裝好的Platform Builder並不一定能夠使用，因為內建的BSP(Board Support Packages)跟微處理器製造商釋出的BSP會隨著Platform Builder推出的時間的不同，會有更新的版本，至於為何不



由Platform Builder本身軟體開發商更新，這則是屬於商業上的問題，不在本文討論的範疇。一個嵌入式作業系統針對不同的CPU，會有不同的BSP，即使同一種CPU，由於設計上的一點差別（如外部擴展SDRAM的大小，像是32Mb改64Mb，其他裝置類型改變，如 Ethernet Chip的CS8900型號更改到RTL8139型號），BSP相對應的部分也不一樣，為了使嵌入式作業系統能夠在指定的微處理器上讓開發者的硬體上更容易執行，在 BSP 中包含了製造商所推薦使用的其他裝置，如 Ethernet Chip、Audio Chip 等等。每個 BSP 提供的模組包裝含有微處理器製造商釋出的裝置驅動程式碼，及每一個特別的硬體裝置所需要的原始系統函式。

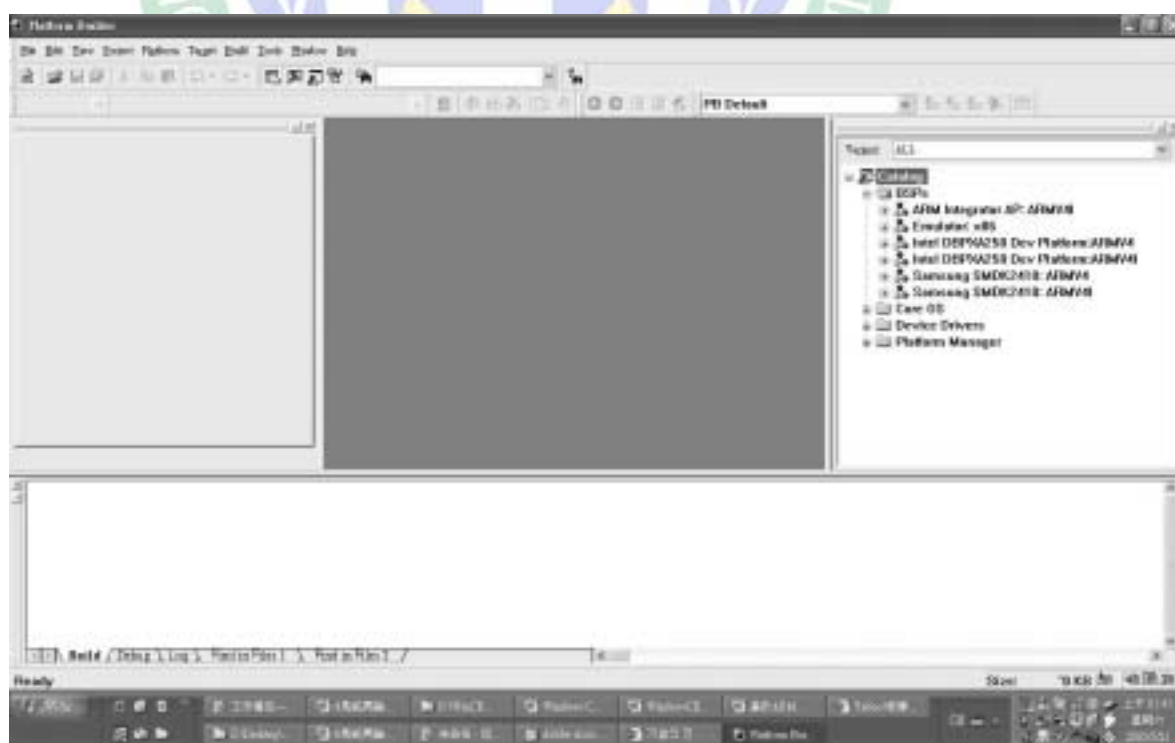


圖4.2 Platform Builder開啟畫面



目前BSP取得的來源有從微處理器製造商的網站上下載或由代理商提供，由於微處理器製造商的不同，有的BSP是需要收費的，目前本文使用的 S3C2410 的 BSP 都是由微處理器製造商所免費提供的。在我們取得 S3C2410 WinCE.NET 4.20 BSP 後，需要安裝在 Platform Builder 中，在安裝中必須先移除已安裝的S3C2410的BSP，再將微處理器製造商所提供的BSP加入Platform Builder 中。

經過上面的過程後，就可以開始展開Windows CE嵌入式作業系統影像檔的製作了，製作 Windows CE 的過程可以區分為三個不同的步驟[16]：

- 配置(Configure)
- 建立(Build)
- 下載(Download)

下面的章結將說明配置與建立影像檔的過程，作業系統與嵌入式硬體的整合將於第六章說明系統整合的過程。

#### 4.2.1、配置(Configure)

開啟Platform Builder後點選New Platform會出現一個引導視窗、如圖4.3、圖4.4，接下來這個引導視窗會讓開發者用選擇不同的設定，用來建立所使用類型的嵌入式作業系統的影響檔，第一步就開始選擇所需要的BSP類型，在這邊是選擇SAMSUNG SMDK2410：ARMV4I、如圖4.4。



圖4.3 選擇New Platform配置所需要的設定

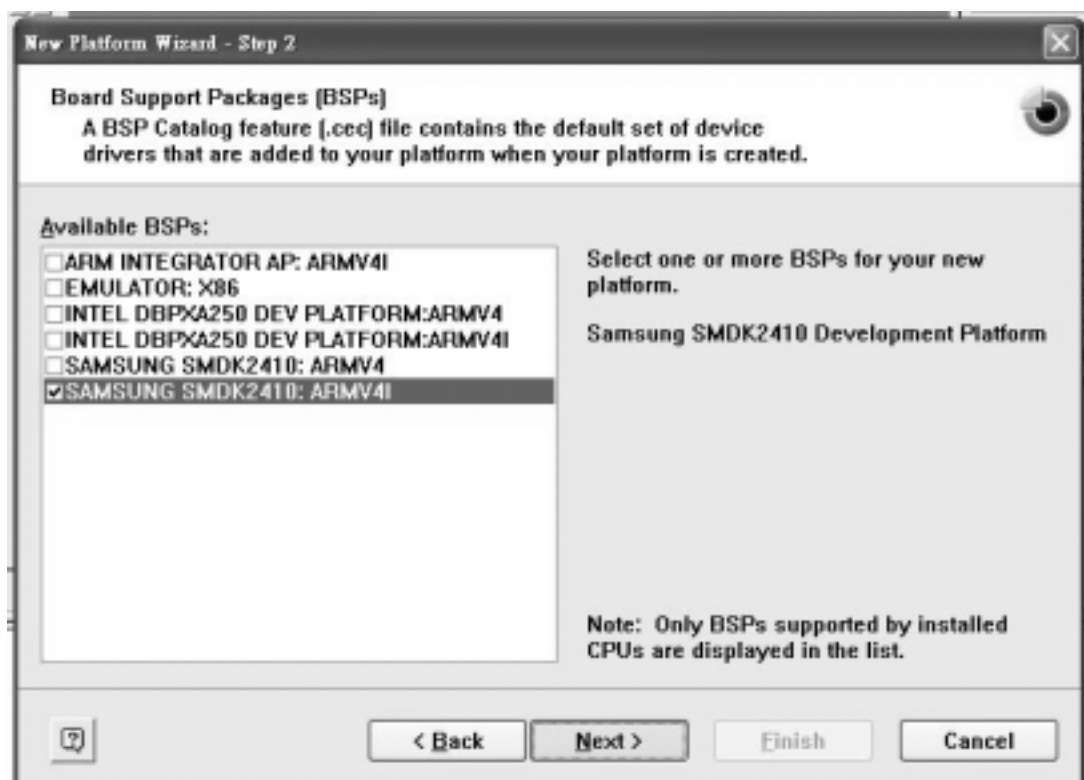


圖4.4 選擇所需要的BSP類型



第二步則是建立平台的命名及選擇所想使用的嵌入式配置類型、如圖4.5，為了有助於加快開發過程，引導視窗除了可以自訂配置外，也有針對常用的裝置類型提供了 12 種預先設定的平台：

- 數位媒體接收器
- 企業終端機
- 企業 Web Pad
- 閘道器
- 工業用控制器
- 網際網路應用裝置
- 網際網路通訊協定 (IP) 電話
- 行動手提裝置
- 行動電話
- 視訊轉換器
- 微核心 (Tiny Kernels)
- Windows 精簡型用戶端

在本文的設計中是包含了可以上網的硬體裝置，所以在這個步驟選用了網際網路應用裝置(Internet Appliance)，並將名稱選擇為 THMUCCMH，工作目錄將會放在C:\WINCE420\PUBLIC\THMUCCMH的目錄中，已經選擇的配置隨後可以在目錄中編譯或添加、刪除功能。

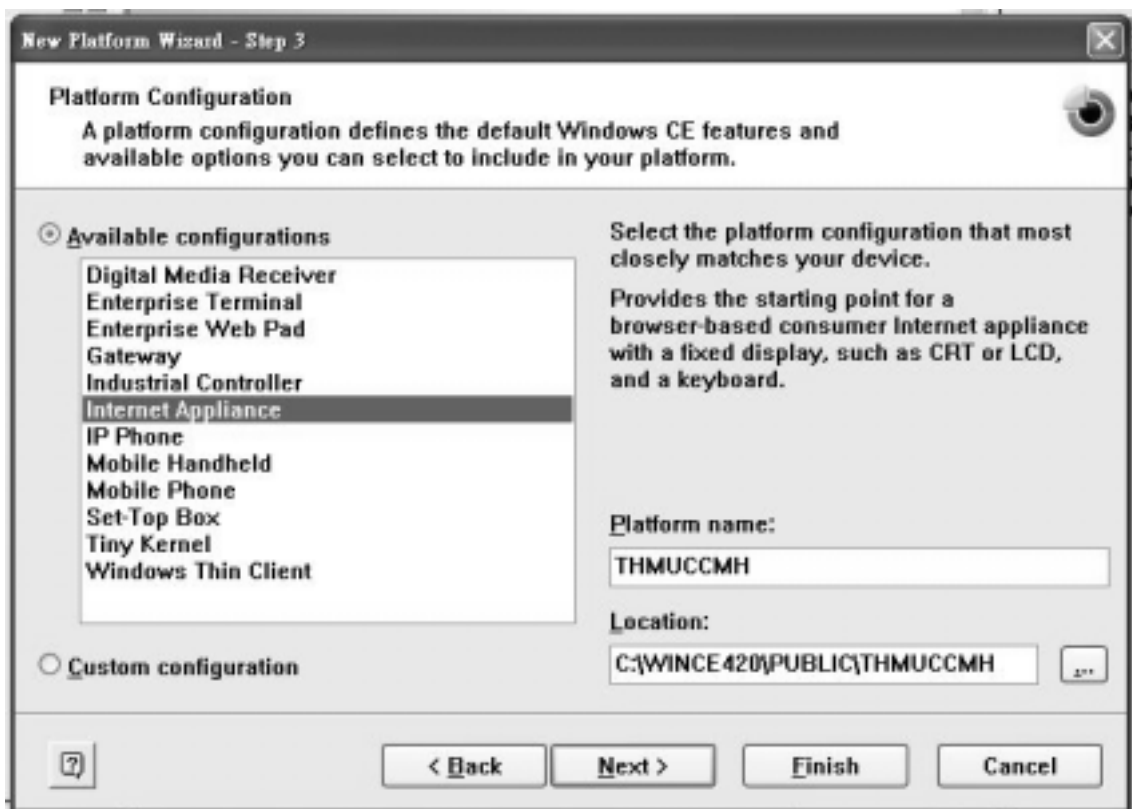


圖4.5 建立平台的命名及選擇配置類型

第三步則是應用與媒體的選項，在這邊可以決定做好的嵌入式作業系統可以整合進關於應用與影音媒體的應用軟體、如圖4.6，這些可以在嵌入式硬體及嵌入式作業系統完成系統整合後做平台執行應用軟體的是否可順利運作的驗證，第四步則是設定網路通訊協定的選項，從圖4.7我們可以知道Platform Builder在網路通訊協定方面已經整合大部份一般電腦有在用的網路通訊協定，因為整合在嵌入式系統中可以自行考量需求做選擇，所以對記憶體空間的節省有很大的發揮空間，因此這個嵌入式多工處理平台的設計與實作的最後成品，除了使用記憶容量小之外，還是個具備網路影音多媒體功能的平台。



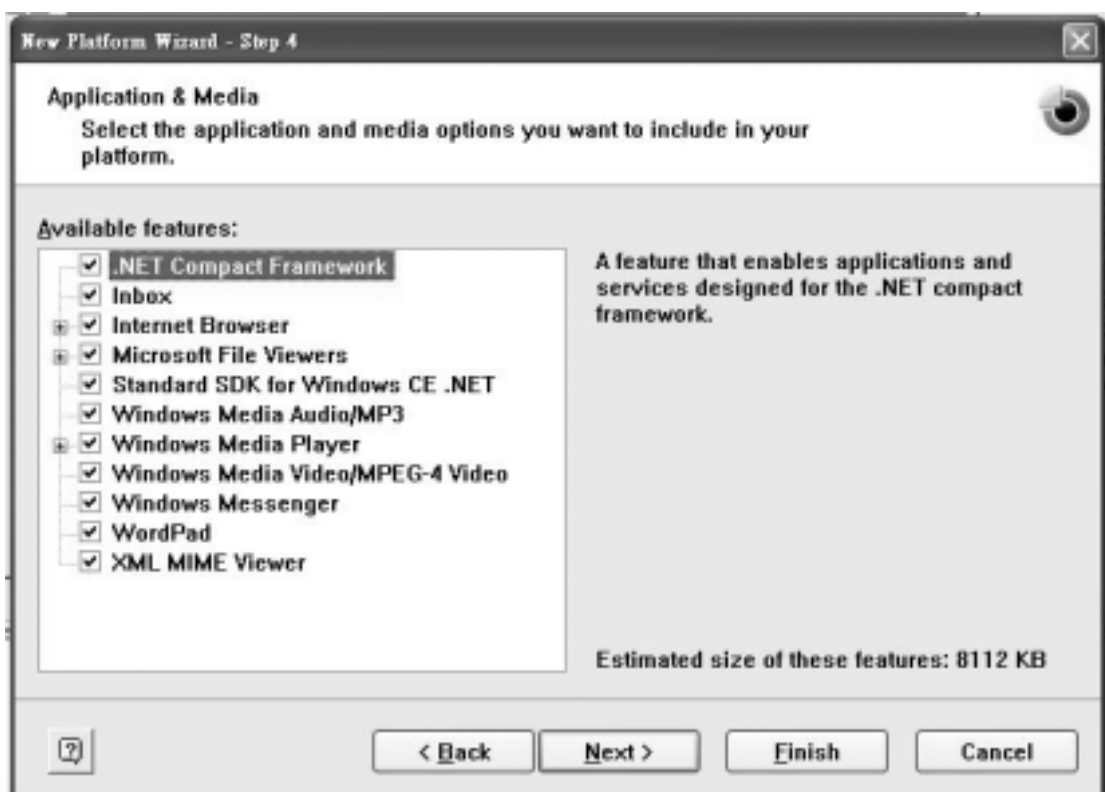


圖4.6 關於應用與影音媒體的選擇

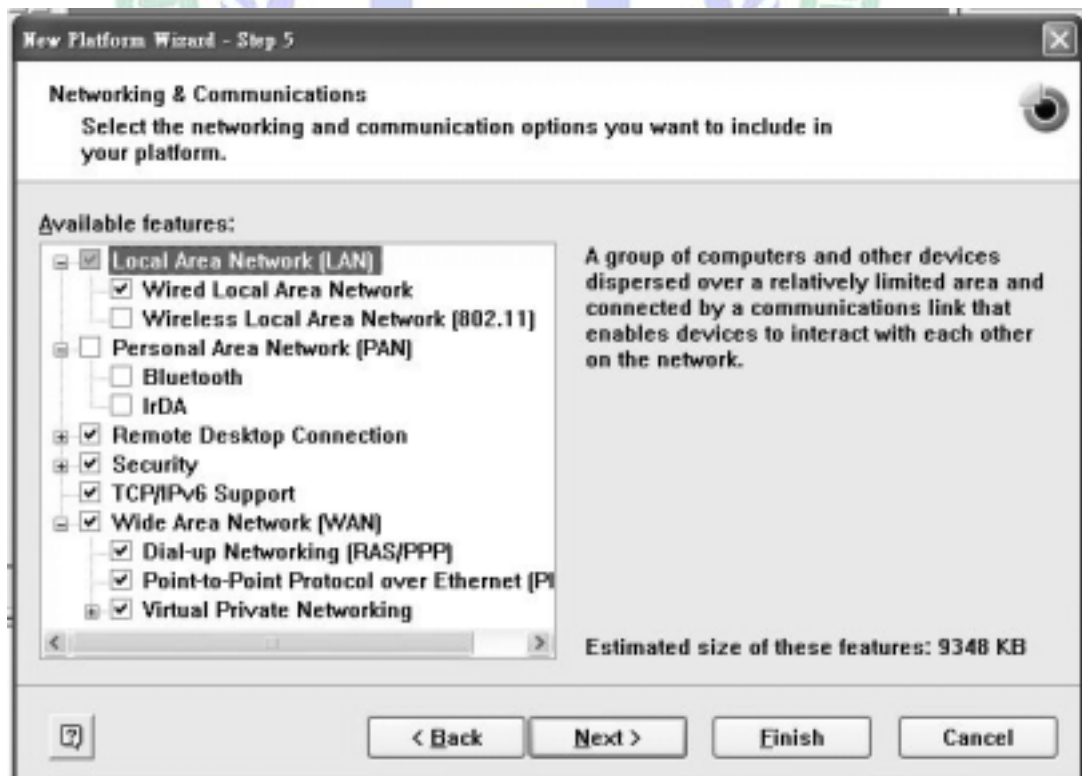


圖4.7 網路通訊協定的設置選擇

藉由導引視窗完成所要使用類型的嵌入式作業系統後，就進入此次嵌入式作業系統的細部修正的流程，在這開發的畫面中，可以編譯、添加或刪除功能(請參考圖4.8)。

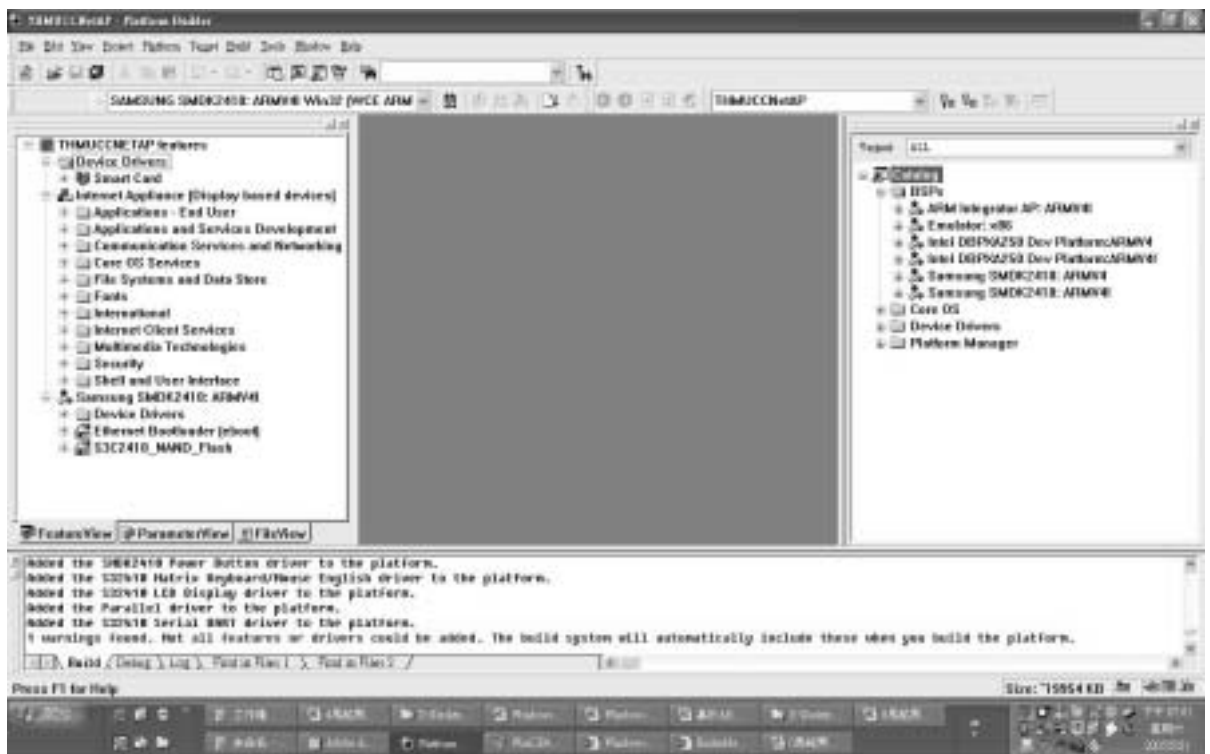


圖4.8 Platform Builder進入編譯、添加或刪除功能的畫面

Platform Builder預先設定好的平台，只是讓開發者快速的進入到可以進行到建立影像檔的步驟，不過在本文的週邊裝置並不是Platform Builder預先設定好的可支援硬體平台類型，所以刪除了硬體沒有設計的部份，如在Device Drivers下的Cirrus Logic CL-PD6710 PCMCIA的裝置，當確定好整個嵌入式作業系統所要的功能後，若無程式編譯修改的問題，接著就進入建立影像檔的階段，至於修改驅動程式的部份會在後面的章結另外介紹。

## 4.2.2、建立(Build)

在建立影像檔之前，需要先點選Platform ->settings來設定THMUCCNETAP features，在Bulid Options必須取消勾選Enable KITL(Kernel Independent Transport Layer)及Enable CE Target Control Support 的選項、如圖4.9，這是取消裝置不使用在開發平台和實際平台之間相互通信及對實際平台的控制，可以執行 CESH 命令的功能。

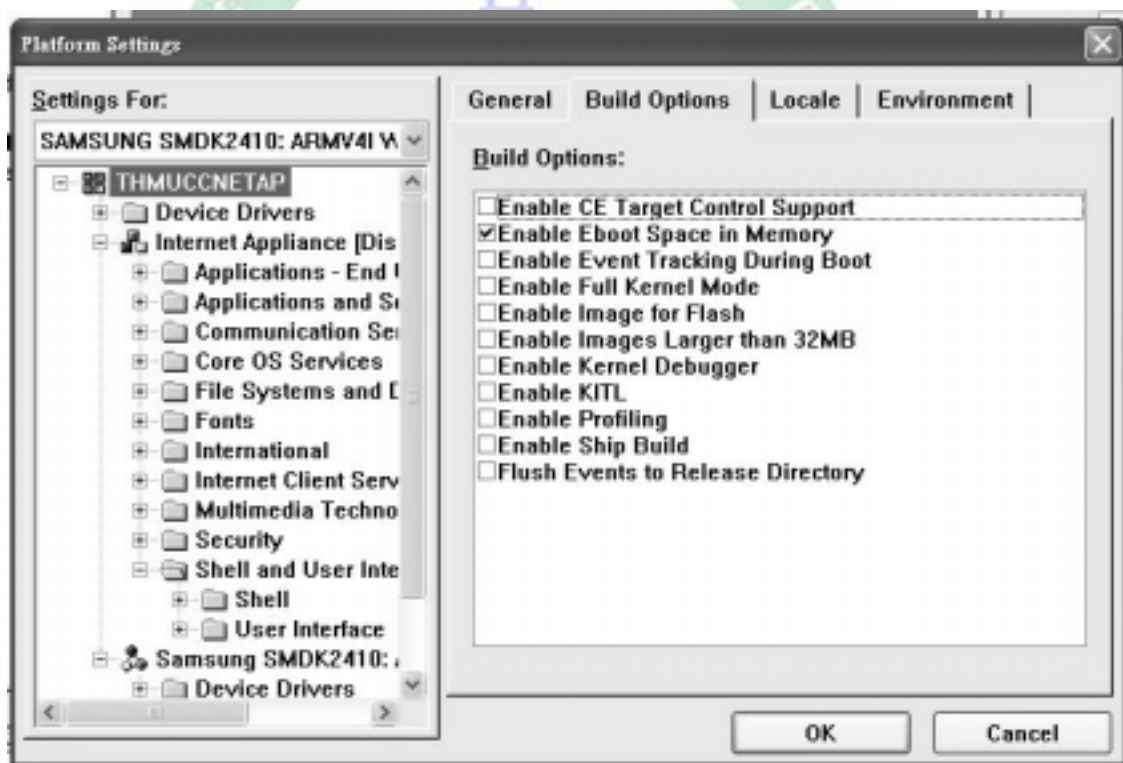


圖4.9 更改後的建立選項

在上面的步驟完成後就可以開始進行建立專屬於嵌入式裝置所要用的作業系統了，如圖4.10點選 Bulid Platform 開始建立嵌入式作業系統的影響檔。



圖4.10 選擇作業系統所要用的語言介面



圖4.11 點選Build Platform開始編譯嵌入式作業系統

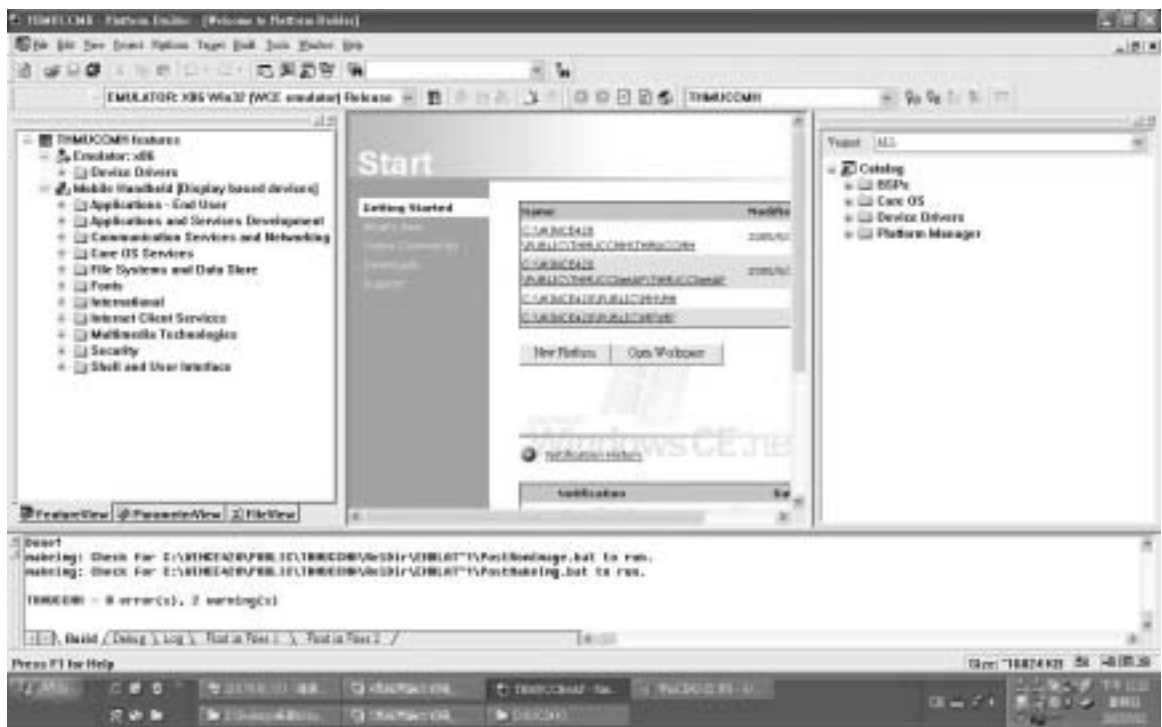


圖4.12 已做好影像檔的顯示畫面

製作完成的影像檔分別為NK.bin、NK.nb0、Eboot.nb0，NK.bin為日後寫入NAND Flash 為Windows CE作業系統主程式的存放區，在仔入過程中需要Eboot.nb0來引導載入。NK.nb0用於透過USB下載到Address 0x30200000後即可馬上開啟Windows CE作業系統，並不需要再載入Eboot.bin做為引導，開啟後可做為開發時期，確定是否為所要的作業系統內容。Eboot.nbo為用來導入NK.bin用，其存在形式可存在於外部做導入NK.bin，或存於NAND Flash的起始位置中，間接對NK.bin做Windows CE作業系統的啟動用。



## 4.3、顯示驅動程式的修改

驅動程式的修改可由Platform Builder開啟中的畫面，針對相關要修改的裝置直接在編譯的視窗做修改，修改後可直接製作適用於嵌入式硬體的作業系統，顯示驅動程式的修改的畫面、如圖4.12。

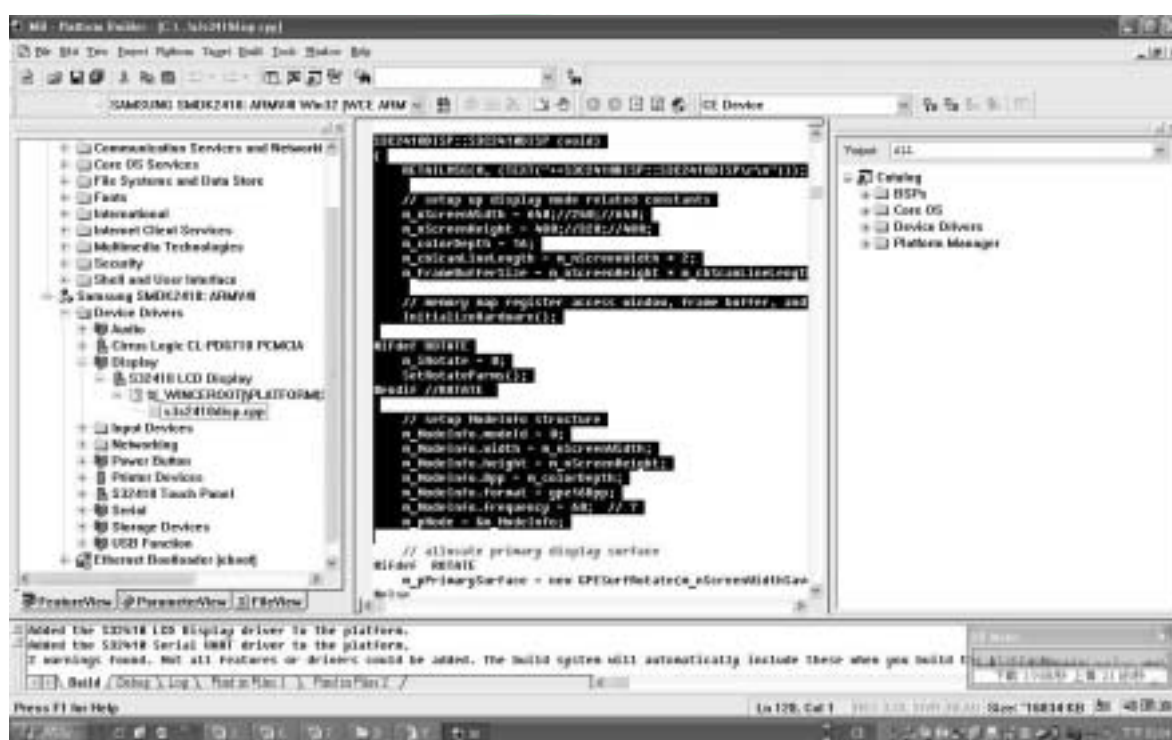


圖4.13 Platform Builder畫面中顯示驅動程式的修改的畫面

在SMDK2410的BSP(Board Support Packages)中，只能驅動240X320 TFT 3.8吋的顯示螢幕，其主要參數為寬度240、長度320，顯示顏色是65536色，也就是說是由16條線路的高低電位所組成65536種不同的訊號來決定65536色不同顏色的顯示，由於液晶顯示的頻率通常都是60Hz，所以這部份在這邊是不需要修改的，其

中關於這部份的程式碼為：

```
S3C2410DISP::S3C2410DISP (void)

{

    RETAILMSG(0, (TEXT("++S3C2410DISP::S3C2410DISP\r\n")));

    // setup up display mode related constants

    m_nScreenWidth = 240;

    m_nScreenHeight = 320;

    m_colorDepth = 16;

    m_cbScanLineLength = m_nScreenWidth * 2;

    m_FrameBufferSize = m_nScreenHeight * m_cbScanLineLength;

    // memory map register access window, frame buffer, and
program LCD controller

    InitializeHardware();

#ifdef ROTATE

    m_iRotate = 0;

    SetRotateParms();
```

```
#endif //ROTATE
```

```
// setup ModeInfo structure
```

```
m_ModeInfo.modelId = 0;
```

```
m_ModeInfo.width = m_nScreenWidth;
```

```
m_ModeInfo.height = m_nScreenHeight;
```

```
m_ModeInfo.Bpp = m_colorDepth;
```

```
m_ModeInfo.format = gp16Bpp;
```

```
m_ModeInfo.frequency = 60; // ?
```

```
m_pMode = &m_ModeInfo;
```

由於本文中所採用的顯示面板LCBFBTB61M23其規格為320x240的F-STN：256 Color STN Module，由於256色是由2的次方所表示，也就是說八條線路的高低電位所組成256種不同的訊號來決定256色不同顏色的顯示，因此最主要修改的參數在長度320、寬度240、顯示顏色是256色，液晶顯示的頻率通常都是60Hz，所以這部份不需要修改，因此這部份修改後的程式碼為：

```
S3C2410DISP::S3C2410DISP (void)
```

```
{
```

```
    RETAILMSG(0, (TEXT("++S3C2410DISP::S3C2410DISP\r\n")));
```

```
// setup up display mode related constants

m_nScreenWidth = 320;

m_nScreenHeight = 240;

m_colorDepth = 8;

m_cbScanLineLength = m_nScreenWidth * 2;

m_FrameBufferSize = m_nScreenHeight * m_cbScanLineLength;

// memory map register access window, frame buffer, and
program LCD controller

InitializeHardware();

#ifdef ROTATE

    m_iRotate = 0;

    SetRotateParms();

#endif //ROTATE


// setup ModeInfo structure

m_ModeInfo.modeId = 0;
```

```
m_ModeInfo.width = m_nScreenWidth;  
  
m_ModeInfo.height = m_nScreenHeight;  
  
m_ModeInfo.Bpp = m_colorDepth;  
  
m_ModeInfo.format = gpe8Bpp;  
  
m_ModeInfo.frequency = 60; // ?  
  
m_pMode = &m_ModeInfo;
```





## 4.4、RTC問題修正

RTC 是電腦時鐘資訊的最原始來源。RTC 靠主機板上的電池維持運作，無論電腦正在使用中或被關掉電源都會一直運作。市面上含有 RTC 功能的晶片多以 BCD (Binary Coded Decimal) 方式來儲存日期與時間。由於微處理器製造商釋出的 BSP，所產生出的影像檔，在重新開機時會將時間設定回復到系統設定值，所以需要修改原始碼後再進行編譯，由於 Windows CE 一開機，執行到抓取時間設定時，因為原始碼編寫的方式是重新啟動載入原始設定的時間，所以對於電腦系統會造成每次都要設定的困擾，RTC 修正 Source Code 過程如下：

動作一

找到BSP的OEMIOCTL.C

目錄為\WINCE420\PLATFORM\SMDK2410\KERNEL\HAL

修改前的BSP OEMIOCTL.C的Source Code 中OEMSetRealTime的設定

```
case IOCTL_HAL_INIT_RTC:
```

```
// The kernel has detected a cold-boot. We probably need to reset  
our Real Time Clock
```

```
if( nInBufSize >= sizeof(SYSTEMTIME) )
```

```
return OEMSetRealTime( (LPSYSTEMTIME)lpInBuf );  
  
else  
  
return FALSE;  
  
break;
```

修改後的BSP OEMIOCTL.C的Source Code

```
case IOCTL_HAL_INIT_RTC:  
    // The kernel has detected a cold-boot. We probably need to reset  
    our Real Time Clock  
    if( nInBufSize >= sizeof(SYSTEMTIME) )  
        return TRUE;//OEMSetRealTime( (LPSYSTEMTIME)lpInBuf );  
    else  
  
        return FALSE;  
  
    break;
```

動作二

找到BSP的TIMER.C

目錄為\WINCE420\PLATFORM\SMDK2410\KERNEL\HAL\ARM

修改前的BSP TIMER.C的Source Code 為OEMSetRealTime的出處

```
static int firsttime = 0;
```

及

```
if ( firsttime == 0 )
```

```
{
```

```
lpst->wYear = 2003; lpst->wMonth = 9; lpst->wDay = 1;
```

```
firsttime = 1;
```

```
}
```

修改後的BSP\_TIMER.C的Source Code 為OEMSetRealTime的出處

將下面代碼全部標註取消：

```
// static int firsttime = 0;
```

及

```
// if ( firsttime == 0 )  
// {  
// lpst->wYear = 2003; lpst->wMonth = 9; lpst->wDay = 1;  
// firsttime = 1;  
// }
```

## 4.5、發展平台上的嵌入式作業系統模擬

模擬器是藉由模擬硬體的方式，加速並簡化開發程序，使用者能夠在開發工作站上測試平台與應用程式，因此使用模擬器開發 Windows CE .NET 平台，可以早先瞭解自己所想開發出來的 Windows CE 嵌入式作業系統需要是什麼內容，再逐一修改。

要使用模擬器調試所需要的嵌入式作業系統的內容，也是使用製作 Windows CE 的三個不同的步驟來執行，首先、在 BSP 方面是選擇 EMULATOR：X86 的 BSP、如圖 4.12 所示：

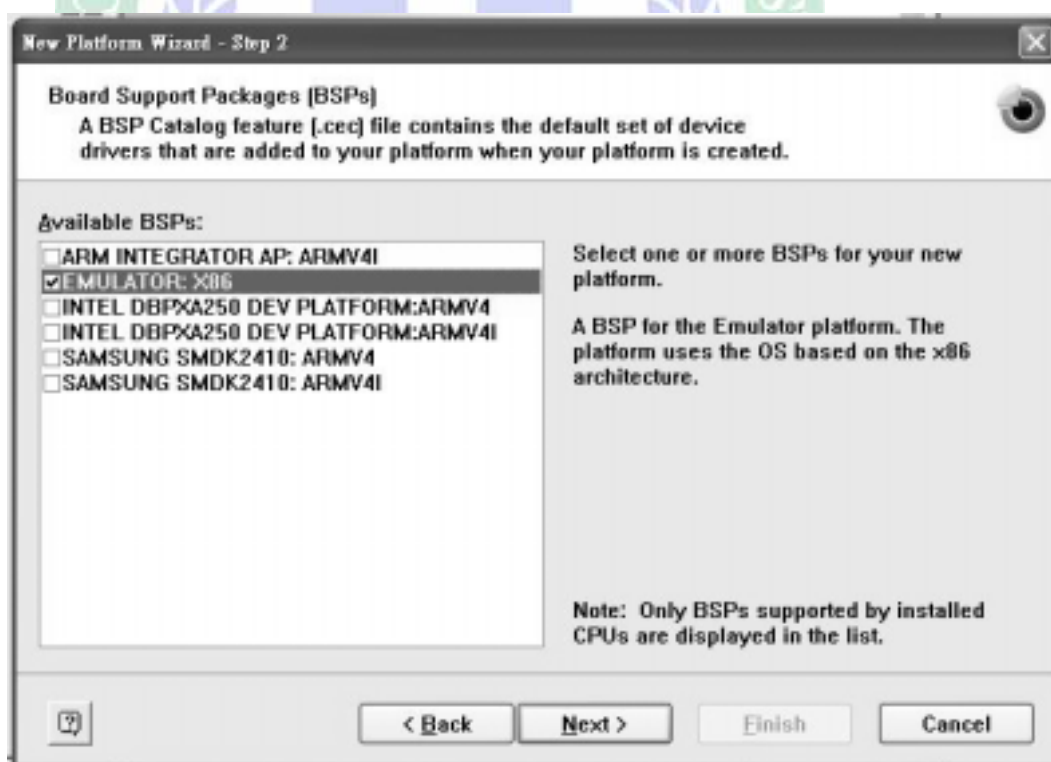


圖 4.14 選擇 EMULATOR：X86 的 BSP 類型



接著依設定好的目標，選擇所要的應用軟體及通訊協定，依照本章結建立開發環境所述，最後會建立模擬環境所用的影像檔。當建立好影像檔後，接下來就要下載到模擬器中進行啟動、，以瞭解日後所要的Windows CE作業系統的內容是否與目標的內容一致。

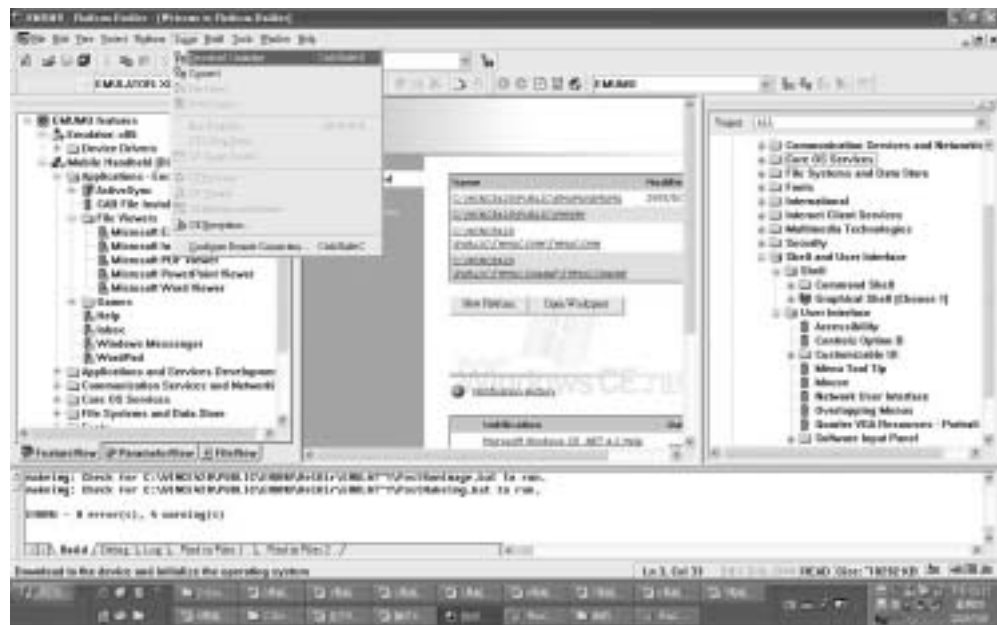


圖4.15 選擇下載影像檔到目標



圖4.16 Windows CE的模擬視窗(640x480模式)



圖4.17.1 Windows CE的模擬視窗(320x240模式)



圖4.17.2 Windows CE的模擬視窗(320x240模式)

# 第五章 嵌入式電路的實作

## 5.1、SMDK2410 開發平台簡介

SMDK2410 開發平台是 SAMSUNG 以其 MCU 產品 S3C2410 開發出來的平台，供準備以 S3C2410 這棵 Chip 的開發人員評估用，這棵 MCU 是定位用於開發掌上型及一般特殊用途的 16/32-bit RISC 微控制器，其核心是採用 ARM(Advanced RISC Machine) 公司所開發出的核心 ARM920T 做為 S3C2410 的基礎。

當發人員在使用 SMDK2410 時，可以用來評估開發應用的可行性，並在這塊開發板上開發將來要用的嵌入式作業系統、軟體開發原始碼或程式，等到以 S3C2410 這棵 MCU 為主的硬體設計完成後，再進行系統整合的工作。

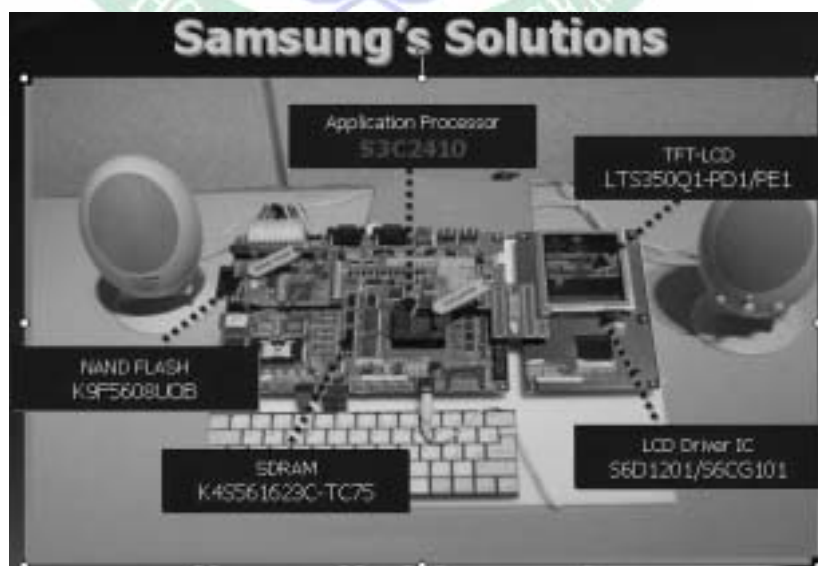


圖 5.1 SMDK2410 開發平台

在 SAMSUNG 關於 S3C2410 的網頁中有提供 SMDK2410 這塊發展板的參考電路供開發人員參考，這個參考電路已經包含大部份對於其他裝置的連接線路，如 Ethernet Chip、Audio Chip、Transceivers Chip 等等，因此對於開發的幫助不小，若沒有要更換其他主動元件的情況下，通常可以省去對新裝置編寫驅動程式的時間。



## 5.2、設計區塊描述

在做設計區塊描述前，必須要瞭解基本的計算機結構的組成，再針對各區塊來瞭解要如何去設計電路，嵌入式系統的功能區塊圖的控制程序如圖 5.2 所示，每一個與微處理器連接的區塊都是獨自設計出電路後再把所有的區塊整合在一個電路板上，以下將針對記憶體介面設計，網路控制設計，音源電路設計，顯示面板電路設計，觸控面板電路設計做說明。

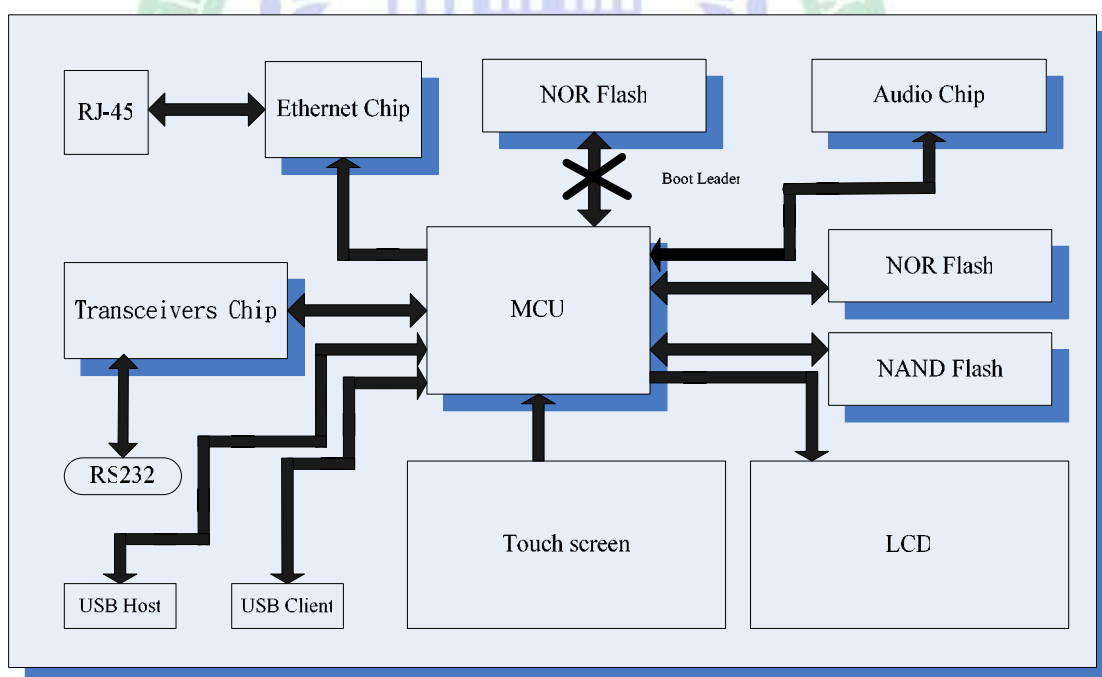


圖 5.2 嵌入式系統功能區塊圖



### 5.2.1 記憶體介面設計

當嵌入式系統啟動後，MCU 會先存取 0x00000000 的位置，並配置一些系統參數，這個位置要從那個快閃記憶體(Flash)啟動是可以藉由 OM[1:0]線路是否對接地端的短路來決定是 NOR Boot(00)或者是 NAND Boot(10)，通常會在線路上加上 DIP Switch 或由 0Ω 的電阻設計在 OM[1:0]線路及接地端之間來決定 00 或 10、線路請參考如圖 5.3 所示。

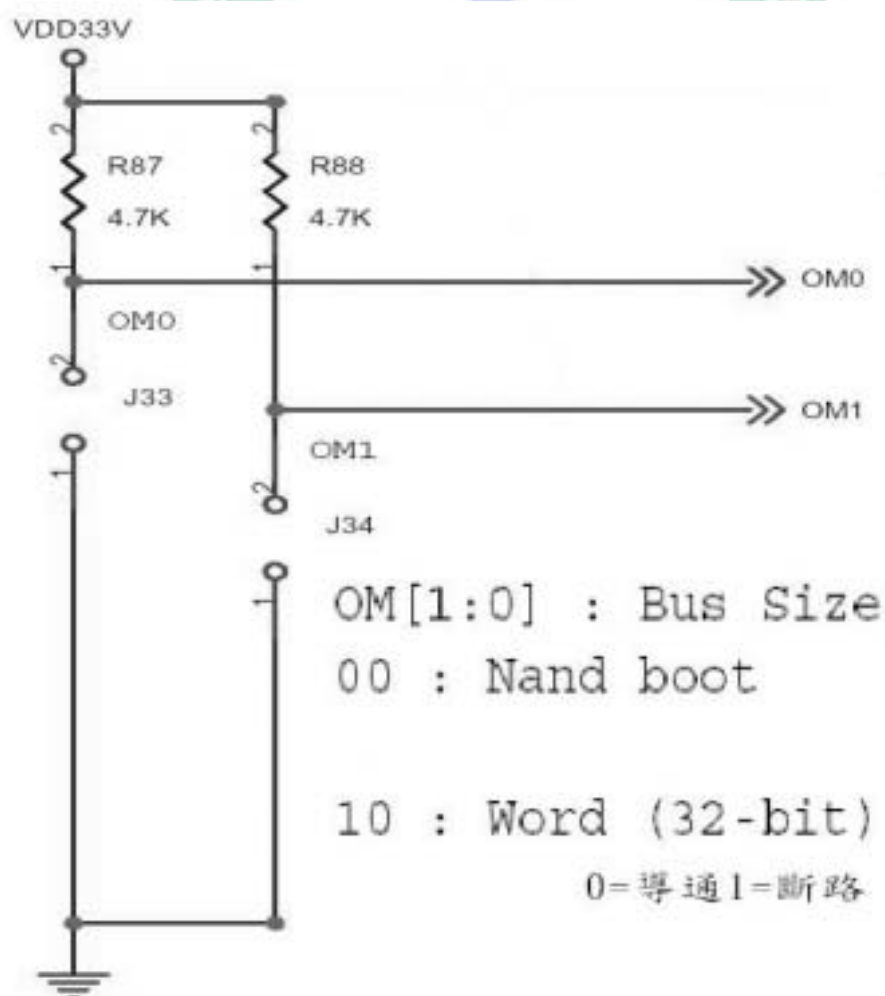


圖 5.3 啟動位置選擇跳線線路圖

Flash Memory 具有不揮發以及可輕易抹寫的特性，因此許多可攜式產品都採用 Flash Memory 當作最佳的記憶體解決方案。Flash 依照儲存程式或處理資料的不同應用，主要可分成 NOR 及 NAND Flash，在本文的設計與實作中，都有應用到這兩種類型的 Flash Memory。

NOR Flash 是由英特爾(Intel)所發展出來的架構，讀取速度較 NAND Flash 快，可以在單位區塊(Block)上進行讀寫，其特性為高電壓、需要較長的抹除時間和較大量的抹除區塊，主要做為程式儲存之用，在本文中 NOR Flash 是用於啟動更新嵌入式作業系統用。

NAND Flash 是由東芝(Toshiba)所發展出來的架構，讀寫資料速度較慢，但有較小的記憶晶胞(Memory Cell)面積，每 Megabyte 成本較 NOR Flash 為低，因此目前市面上的大容量 Flash 產品都以 NAND Flash 為主，可做為消費性電子產品資料儲存之用，在本文中 NAND Flash 是用於存放嵌入式作業系統及資料儲存用。

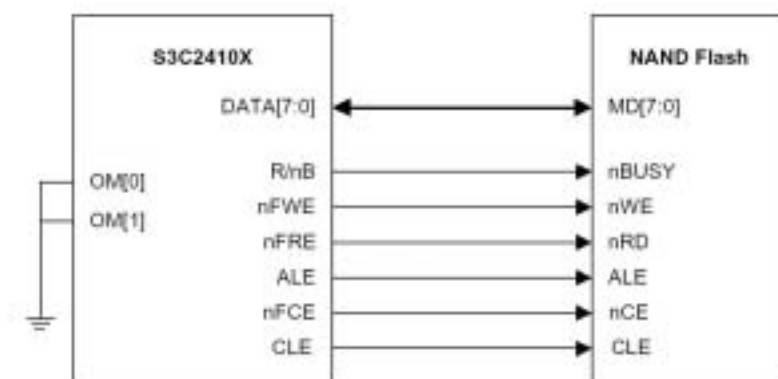


圖 5.4 NAND Flash 線路圖

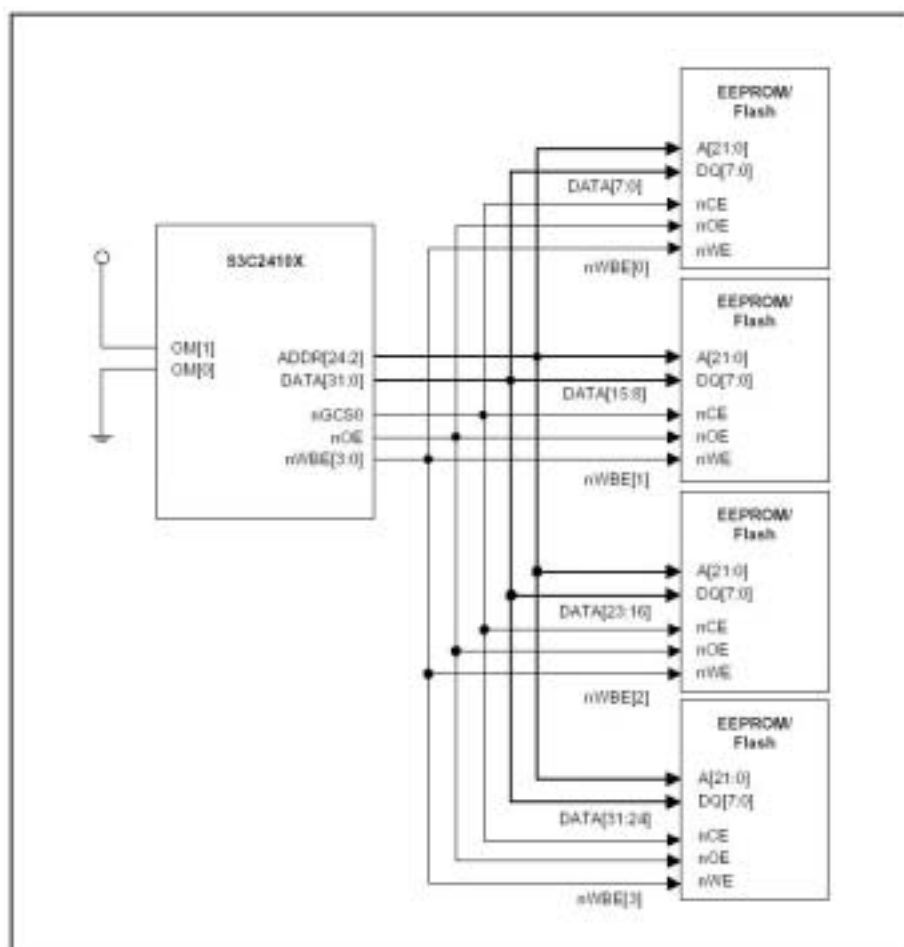


圖 5.5 Word Mode 線路圖

SDRAM 則是採用 4Mbit x 4banks x 16 I/O Synchronous DRAM(32M) 規格的 Chip 兩棵，因此主記憶體大小為 64MB，SDRAM 為 DRAM (Dynamic Random Access Memory:動態隨機存取記憶體)的一種，其主要特徵在於「同步(Synchronous)」—即藉由記憶體模組上的微型處理器，使得記憶體運作時脈與 CPU 取得同步，讓資料傳送更加流暢迅速；而「動態(Dynamic)」指的是存在於記憶體中的資料，會因關機或當機，導致記憶體沒電力持續供應而流失。

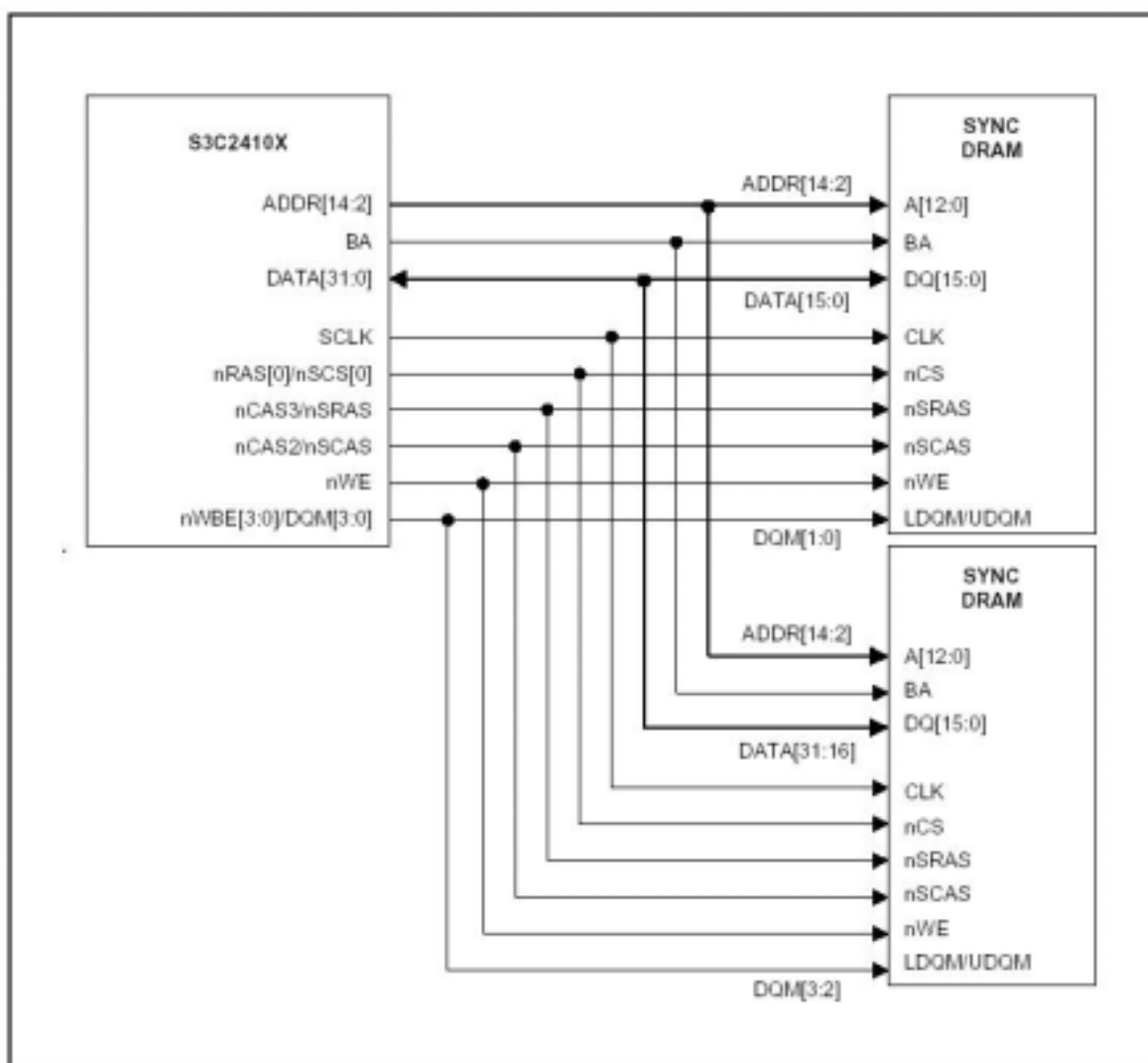


圖 5.6 SDRAM 線路圖

### 5.2.2 網路控制設計

Ethernet 的 IC 則是由 CS8900 擔任控制網路的介面，因為這個網路控制晶片是經過微處理器製造商建議可搭配 S3C2410 使用，目前用於嵌入式作業系統的 Windows CE 及 Embedded Linux 都有支援這顆網路控制晶片的範例驅動程式。

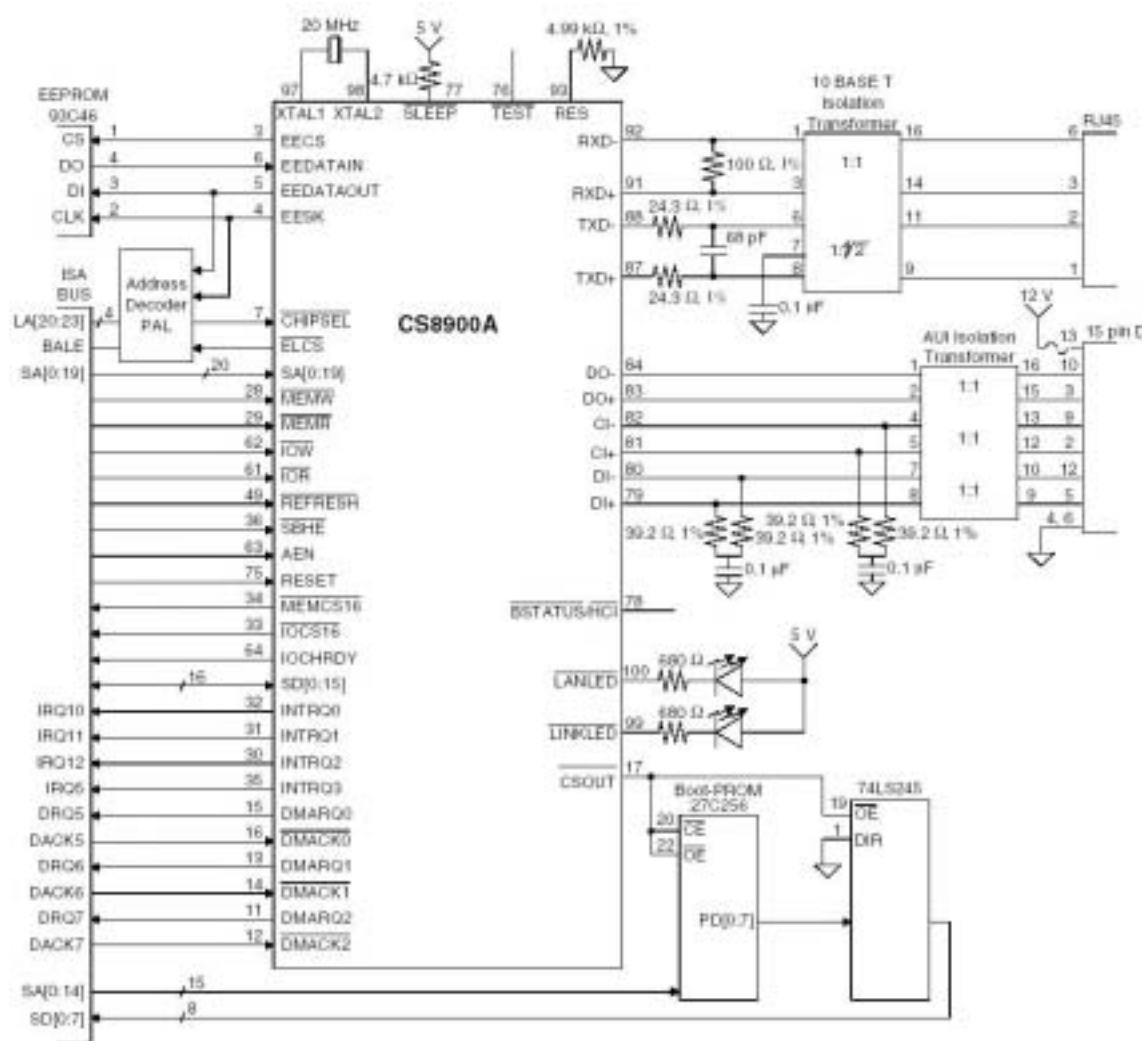


圖 5.7 CS8900 Ethernet Controller 參考電路圖[17]



### 5.2.3 音源電路設計

音源 IC 是延用 SMDK2410 上的 Philips 的 UDA1341TS 的 Chip，這個音源 IC 提供了立體聲道的輸出及音源的擷取，因為這個網音源 IC 是經過微處理器製造商建議可搭配 S3C2410 使用，目前用於嵌入式作業系統的 Windows CE 及 Embedded Linux 都有支援這顆音源 IC 的範例驅動程式。

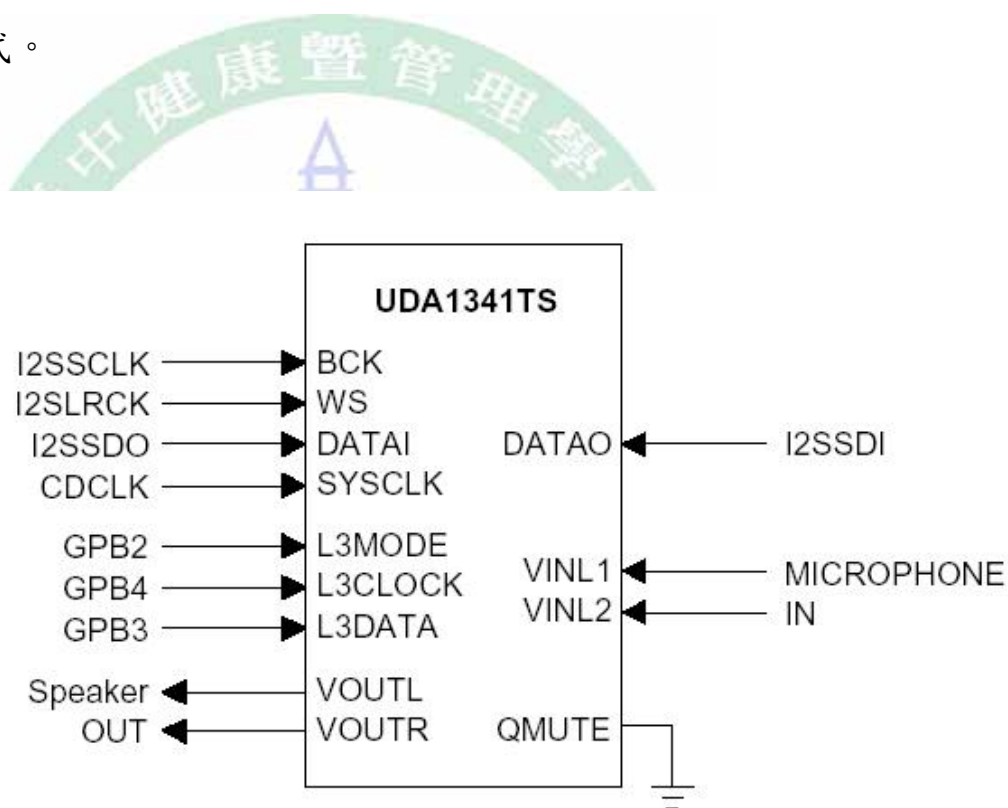


圖 5.8 UDA1341TS 參考線路

## 5.2.4 顯示面板電路設計

顯示面板是採用南亞 5.7” 彩色顯示面板，產品編號為 LCBFTB61M23，規格為 320x240 的 F-STN：256 Color STN Module，供給電路之電壓為 5V，提供液晶畫面轉態的偏壓為 30V。

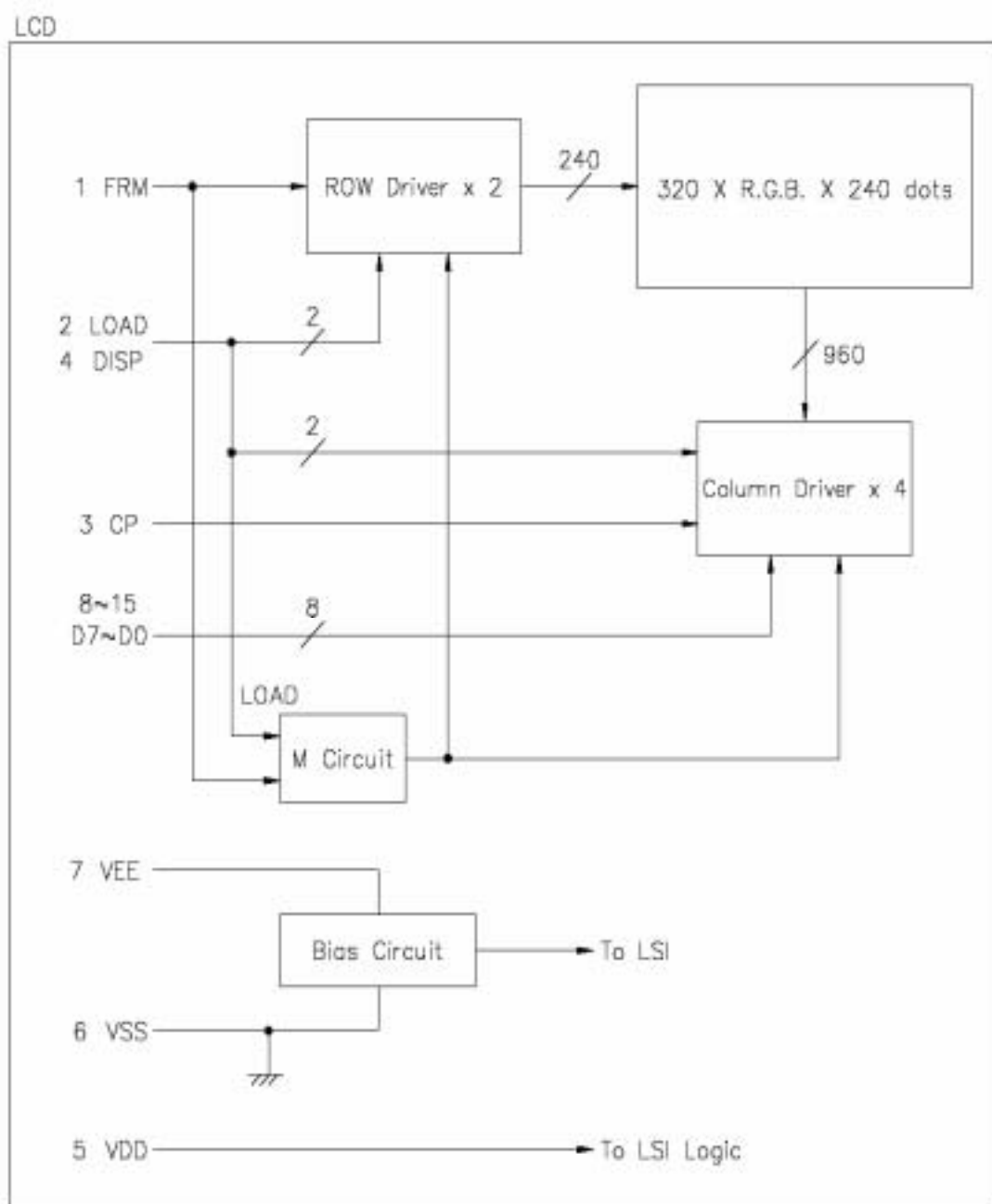


圖 5.9 南亞 5.7” 彩色顯示面板方塊圖

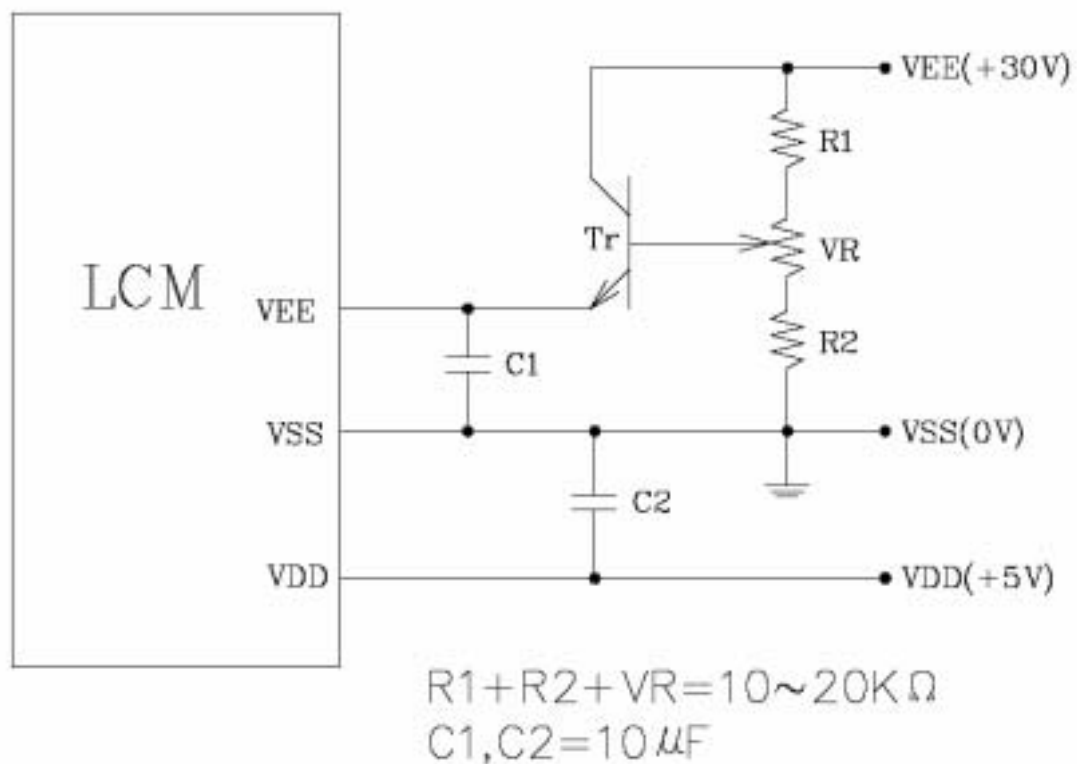


圖 5.10 LCBFBTB61M23 彩色顯示面板偏壓供給參考線路圖

LCD

Pin No.	Symbol	Level	Function
1	FRM	H	Synchronous Signal for Driving Scanning Line
2	LOAD	H→L	Data Signal Latch Clock
3	CP	H→L	Data Signal Shift Clock
4	DISP	H/L	Display Control Signal, H : Display on L : Display off
5	VDD	—	Power Supply for Logic
6	VSS	—	Power Supply (0V,GND)
7	VEE	—	Power Supply for LCD Drive
8	D7	H/L	Display Data
9	D6	H/L	Display Data
10	D5	H/L	Display Data
11	D4	H/L	Display Data
12	D3	H/L	Display Data
13	D2	H/L	Display Data
14	D1	H/L	Display Data
15	D0	H/L	Display Data

圖 5.11 LCBFBTB61M23 彩色顯示面板連接線訊號表示圖

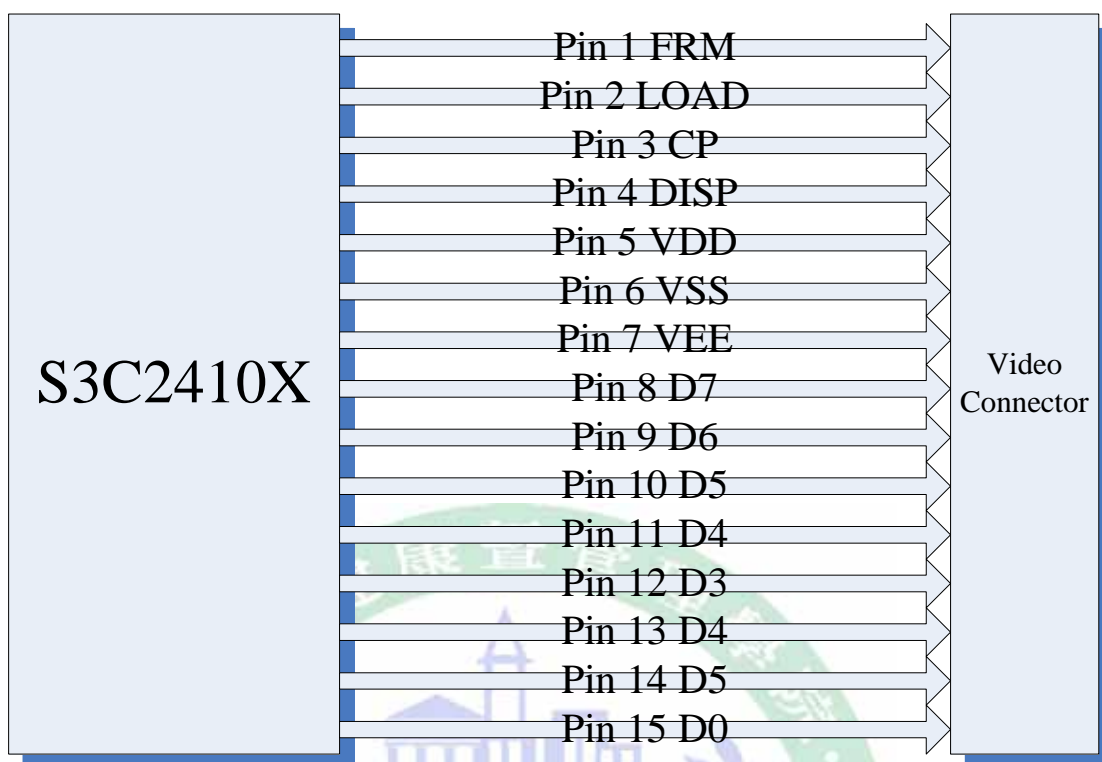


圖 5.12 LCBFBTB61M23 彩色顯示面板轉接座線路圖

### 5.2.5 觸控面板電路設計

觸控面版是採用 AMT 所生產的產品編號 9502 Touch Panel 做為資料輸入的介面，觸控面版(Touch Screen Panel)主要功用是除了鍵盤及滑鼠之外，提供可以用手指或觸控筆作為資料輸入的介面，其感應原理為電阻式，電阻式觸控面板的結構與動作原理主要由上下兩組 ITO 導電層周圍覆蓋導電金屬層疊合而成，中間隔著 Spacer Dot，使用時利用壓力使上下電極導通，經由控制器測知面板電壓變化而計算出接觸點位置進行輸入。電阻式觸控面板的原理及其應用電路以圖示說明。

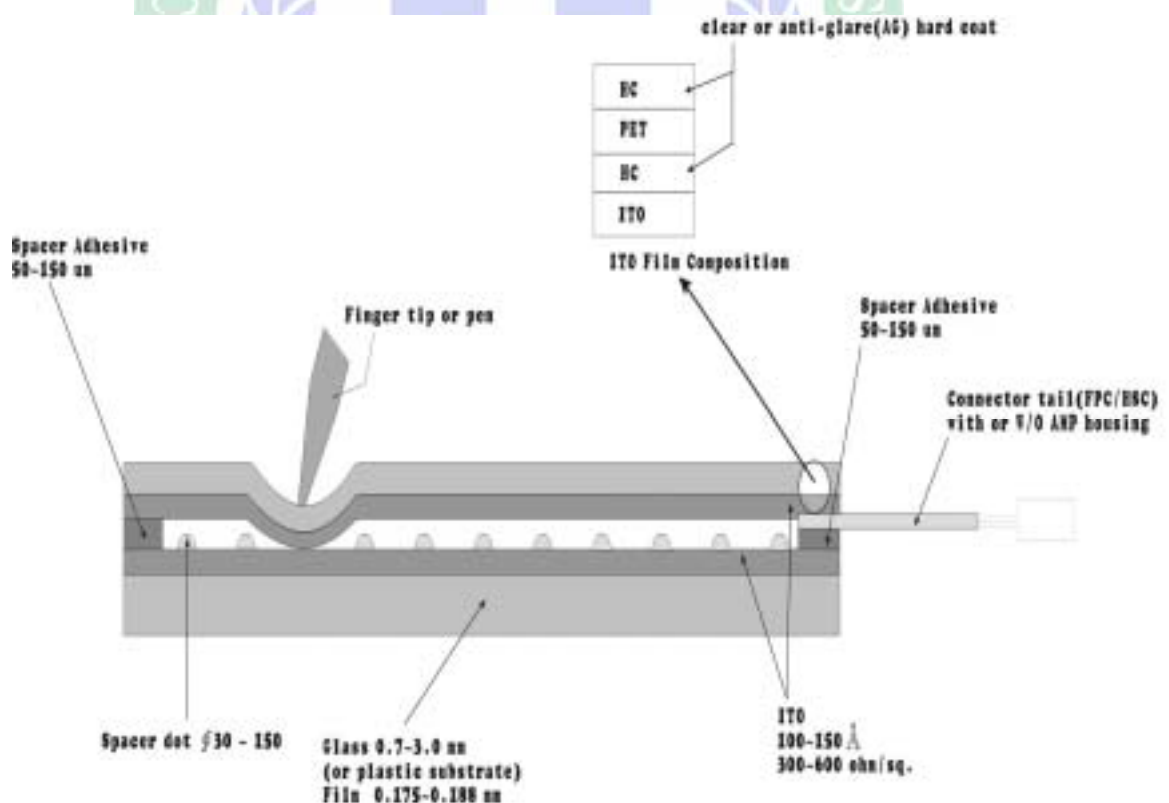


圖 5.13 電阻式觸控面板動作原理



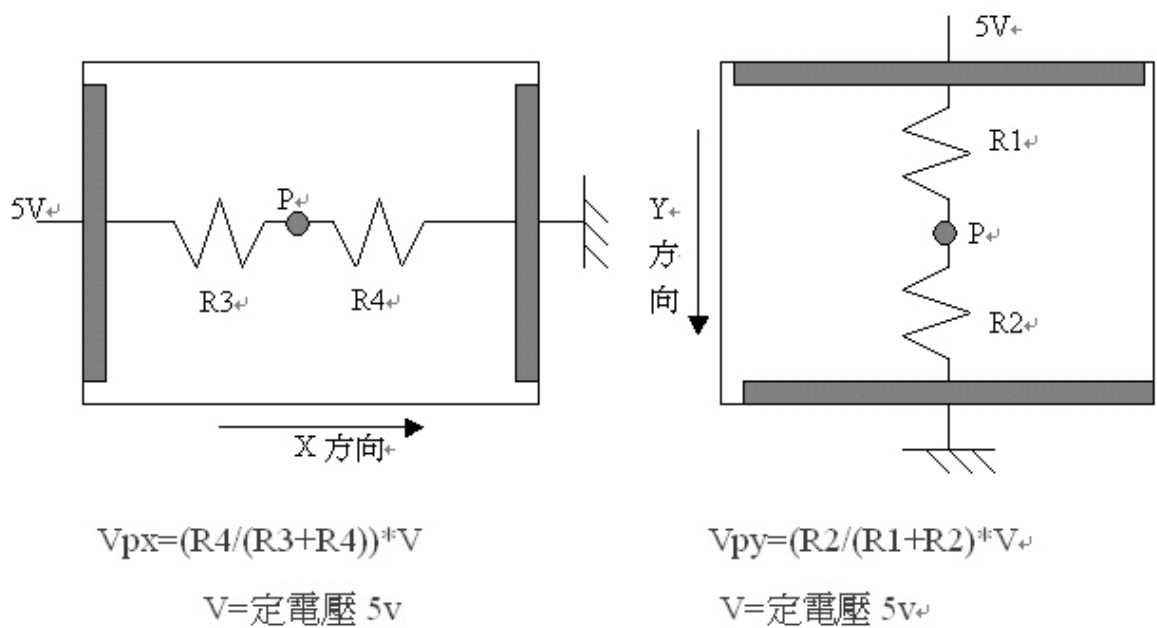


圖 5.14 電阻式動作原理

圖 5.13、圖 5.14[資料來源：奇菱科技網站 <http://www.chilintech.com.tw/>]

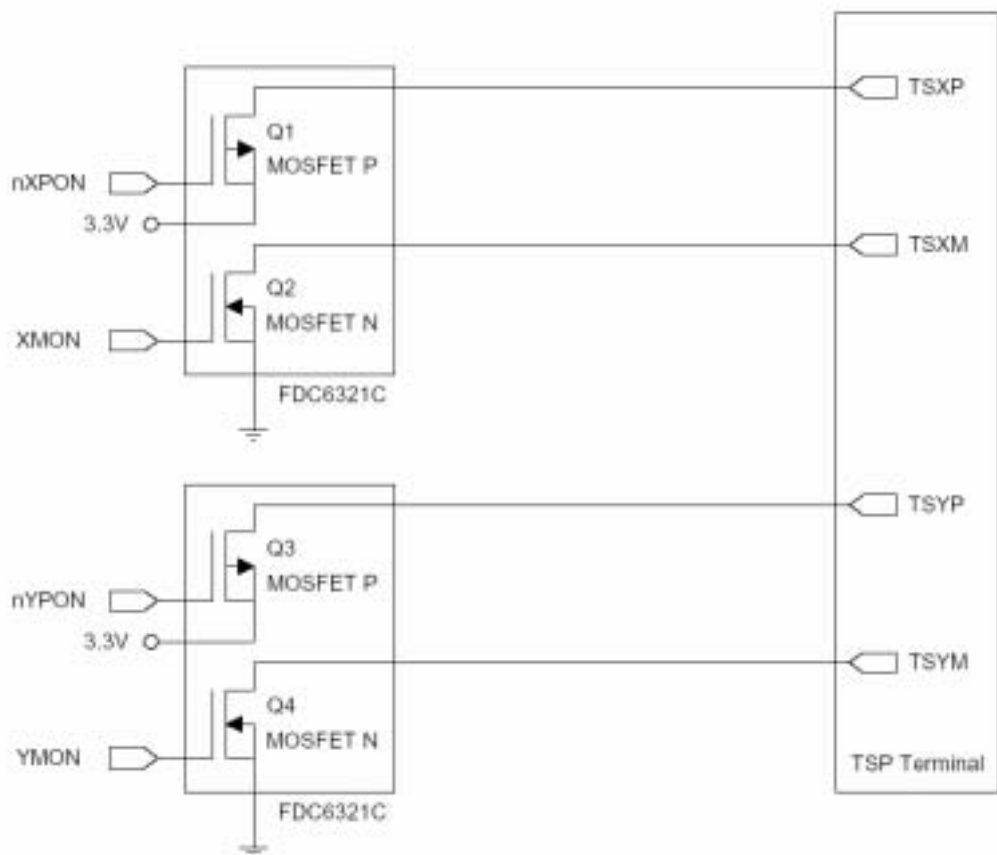


圖 5.15 觸控面版線路參考圖

### 5.3、硬體整合

微處理器大多有內建許多週邊的控制器，不同於一般電腦的 CPU，所以在嵌入式系統硬體的設計上，是直接去控制這些週邊元件的，因此在線路的設計上，要考慮到這些週邊元件的相容性，一般的嵌入式設計通常是先參考微處理器製造商所提供的參考板，在利用這些參考來進行自己想要設計的硬體形式。

由於週邊元件取得的問題，本文在設計上有部份的元件是使用功能相同，但製造商並不相同的元件進行替換，由於這些硬體在使用上會有部分差異，因此在驅動程式方面會進行修改，關於驅動程式的修改，請參考第四章 嵌入式作業系統開發及模擬的章節中會有關顯示驅動程式的修改以做為說明。

要完成硬體整合的工作，就得把以上各區塊所有的線路連接設計，全部佈線在一塊 PCB (Printed Circuit Board) 上，印刷電路板 (Printed Circuit Board 簡稱 PCB) 是依電路設計，將連接各主動元件及被動元件的電路佈線繪製成佈線圖形，然後再以本文設計所指定的 3 層 PCB 版做加工、表面處理。印刷電路板是搭配電子零件所用的基板，讓整個電子零件以電路板所形成的電子電路，發揮各項電子零組件的功能，以達到信號處理的目的。

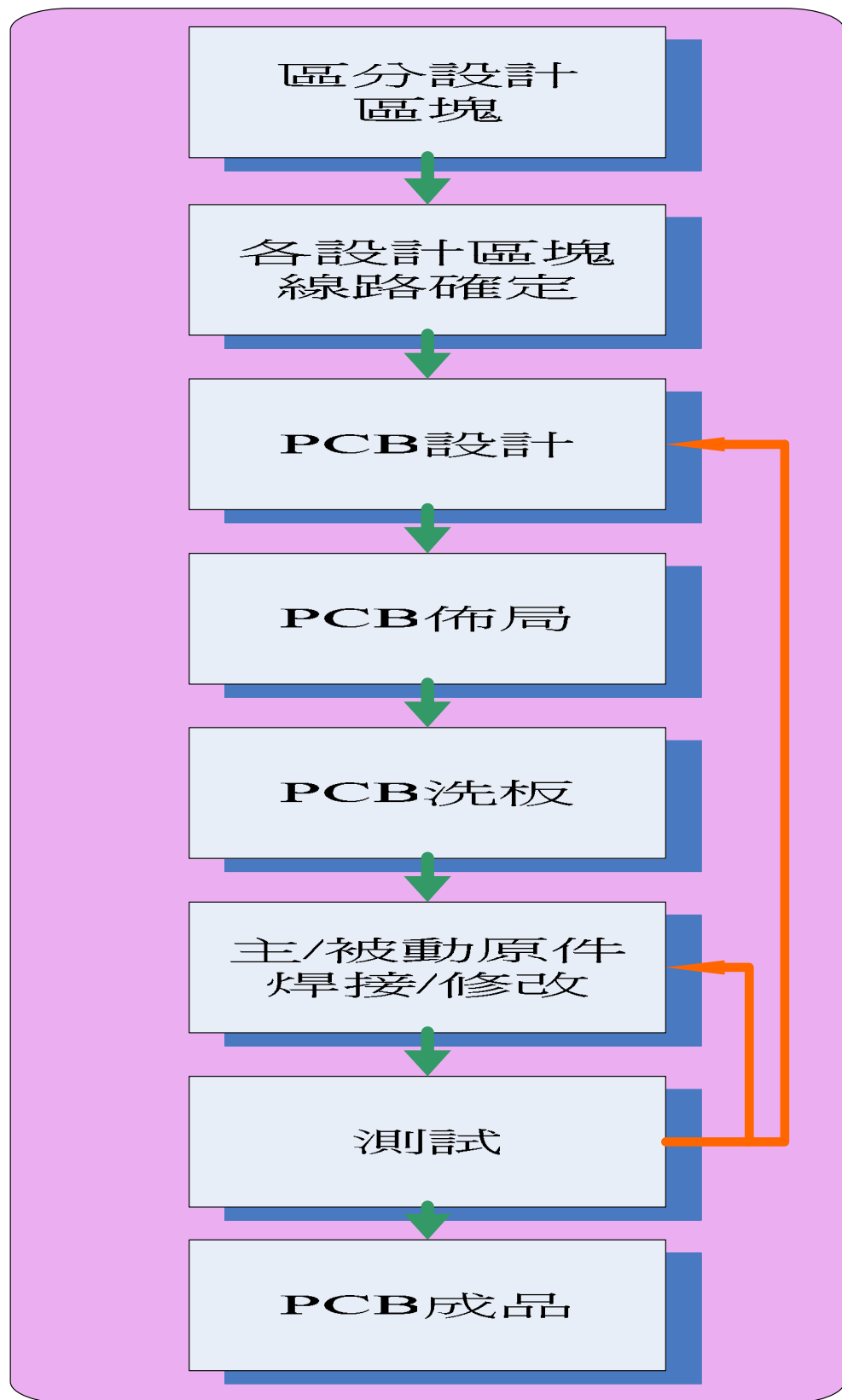


圖 5.16 硬體整合流程圖

## 5.4、基本量測動作及相關知識

由於微控制器是內件許多週邊的控制器，所以有可能產生匯流排會時序錯誤的狀況，但這些有可能出錯的地方，都還是得等到所有的模組和硬體整合在一起後，問題才會慢慢的浮現出來，由於這些錯誤非得用量測儀器才看的出來，所以對於相關元件的時序圖及匯流排的線路連接點要非常瞭解，至於量測的工具從基本的三用電表、示波器到複雜的邏輯分析儀，都是用來除錯及量測的工具，因為系統的組成是以層層相互關聯的方式運作，所以足夠的資訊很重要，由於在各元件中已掌握有 datasheet 的話，由 datasheet 中可瞭解正常的時序圖及正常的電壓及波型準位，然後再由以上的工具來量測出是否有訊號出錯等問題產生。



圖 5.17 安捷倫的 34401A 數位電錶產品



圖 5.18 安捷倫的 6000 系列的產品

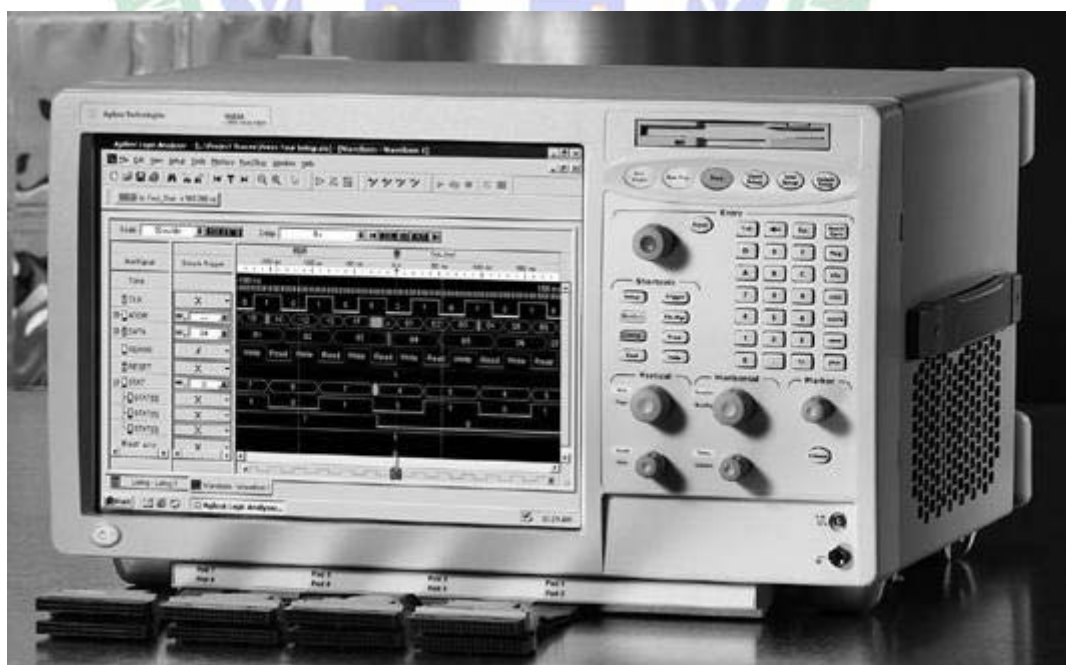


圖 5.19 安捷倫的 1680AD 單機式邏輯分析儀



## 第六章 系統整合

在系統整合中，首先要做的是下載Windows CE作業系統的影像檔，準備好啟動用的NOR Flash，並在NOR Flash中寫入u241mon.bin的影像檔，u241mon.bin的影像檔是微處理器製造商提供用來初始化應用S3C2410的電路用的，加上DNW用於Debug的畫面及以USB載入檔案的工具軟體，另外連接電腦與嵌入式硬體用的RS-232 Debug線材及USB連接線接好後，就可以開始進行系統整合的工作。



## 6.2 透過USB下載直接開啟Windows CE做測試

當使用Platform Builder做好Windows CE作業系統時，其中的影像檔NK.nb0，是讓開發者直接由USB下載到SDRAM中特定位置後，就可以馬上執行Windows CE是否可以啟動及顯示是否正常，另外也可以檢視預先安裝在內的應用程式是否能夠動作。

以下則是透過USB下載的過程圖示，下載目標則是本文所述的無硬碟電腦系統的硬體：

(1)確定連線是否正常及下載位置設定改成0x30200000

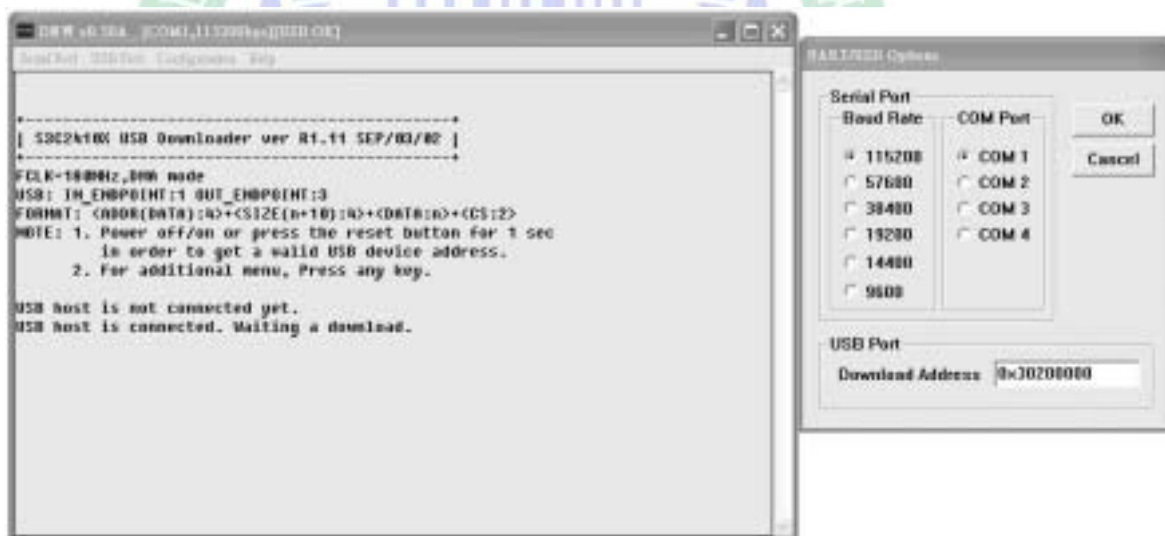


圖6.1 DNW接收到正常啟動訊號及直接下載的寫入位置設定

(2)選擇建立目錄下的NK.nb0

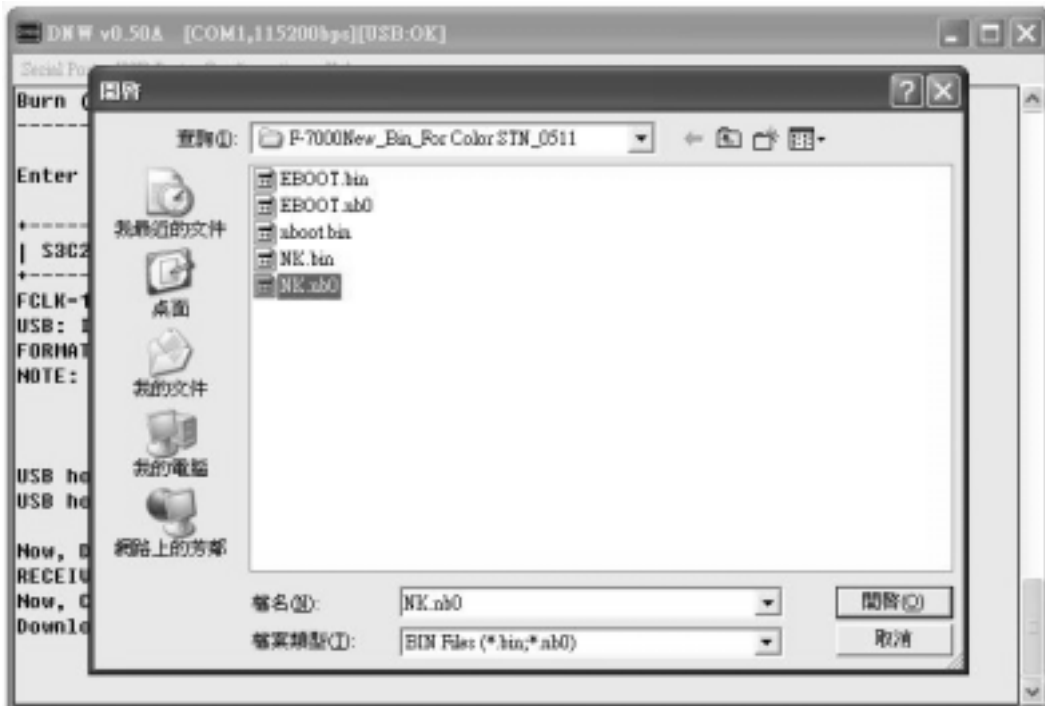


圖6.2 點選NK.nb0準備載入直接執行

(3)接著出現載入進度的訊息

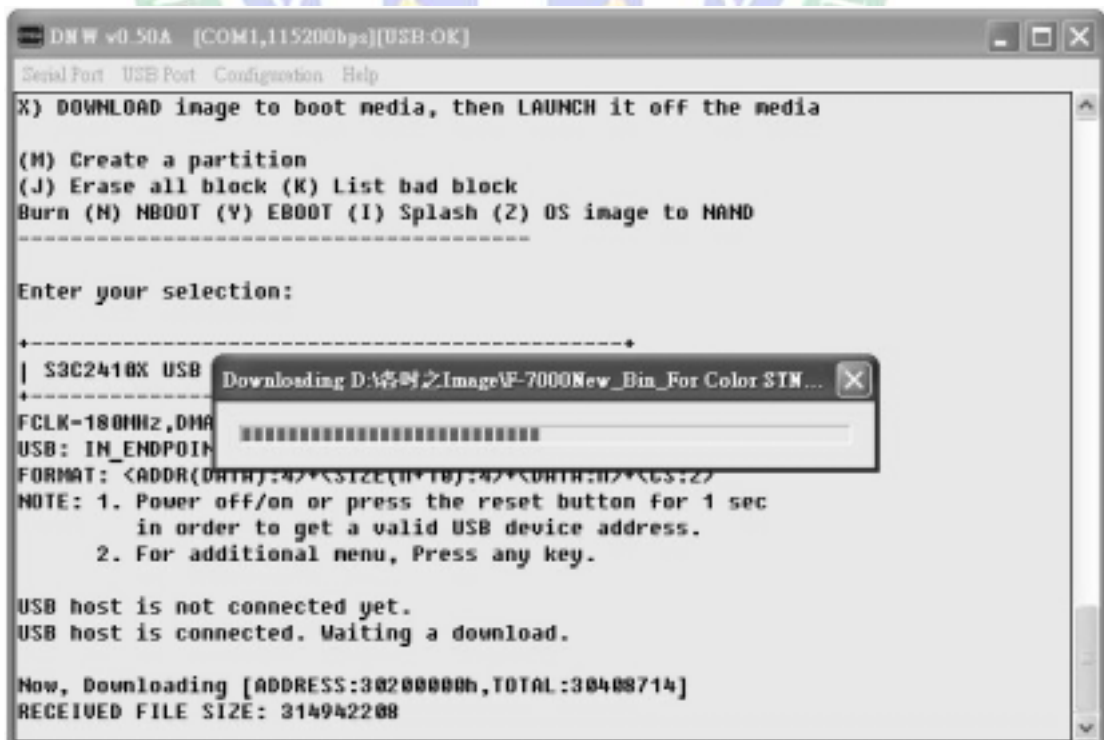


圖6.3 正在載入目標過程的提示

(4)下載到SDRAM後正常執行的畫面

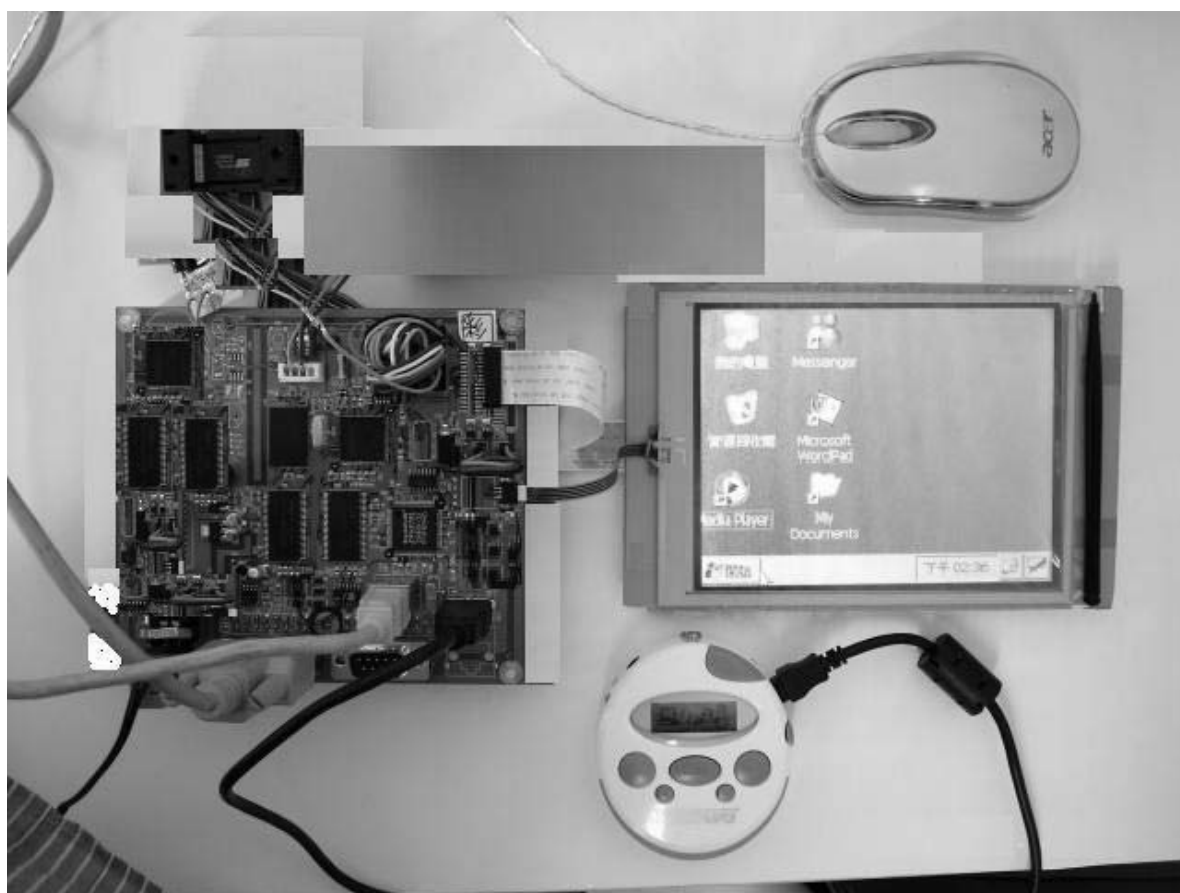


圖6.4 載入後正常啟動的狀況

## 6.2 將 Windows CE 寫入 NAND Flash

以下會說明直接將Windows CE永久寫入Nand Flash的過程，當使用Platform Builder做好Windows CE作業系統時，其中的影像檔NK.bin，是讓開發者寫入到Nand Flash中，入後只要開啟電源，就可以執行Windows CE，原則在上個章節若有把NK.nb0成功啟動，那本次所下載做為永久儲存的NK.bin，運作上一定是正常的。

以下則是透過USB寫入NAND Flash的過程圖示，下載目標則是本文所述的無硬碟電腦系統的硬體：

### (1) 確定連線正常

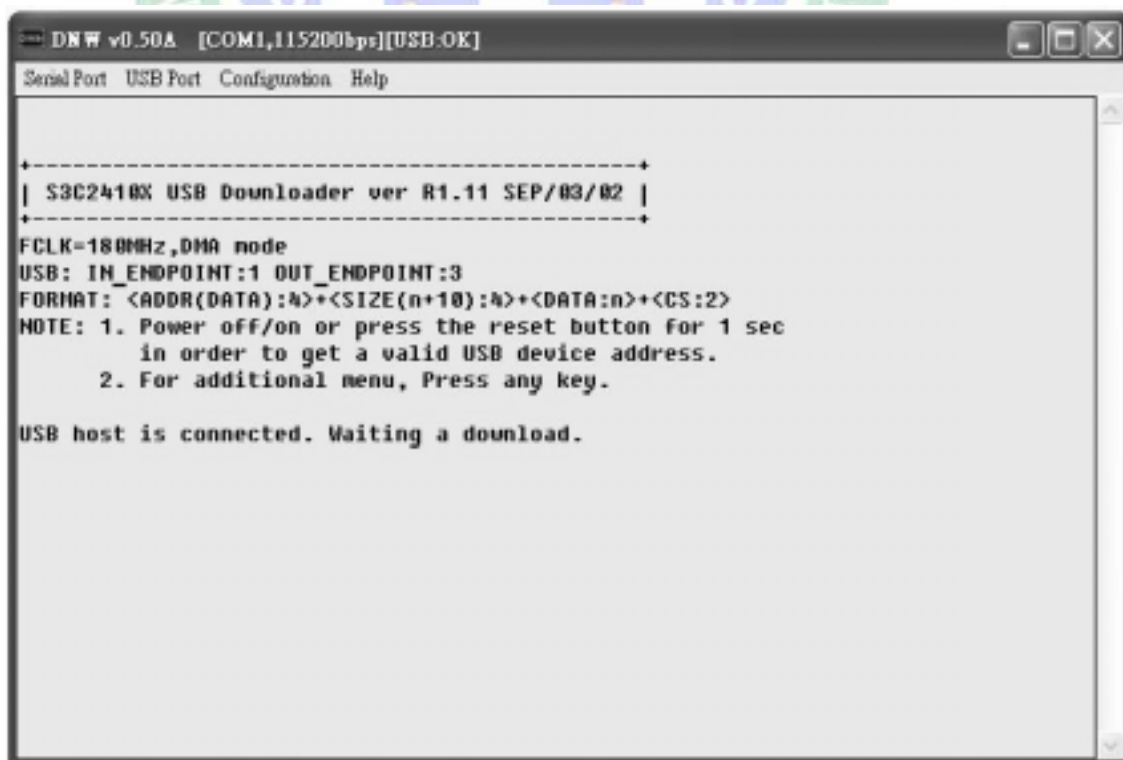


圖6.5 已正常啟動的訊息



(2)按任意鍵後按1選擇Download Only，並輸入0x30100000，並到  
wince420\platform\smdk2410\nboot中載入2410loader.bin

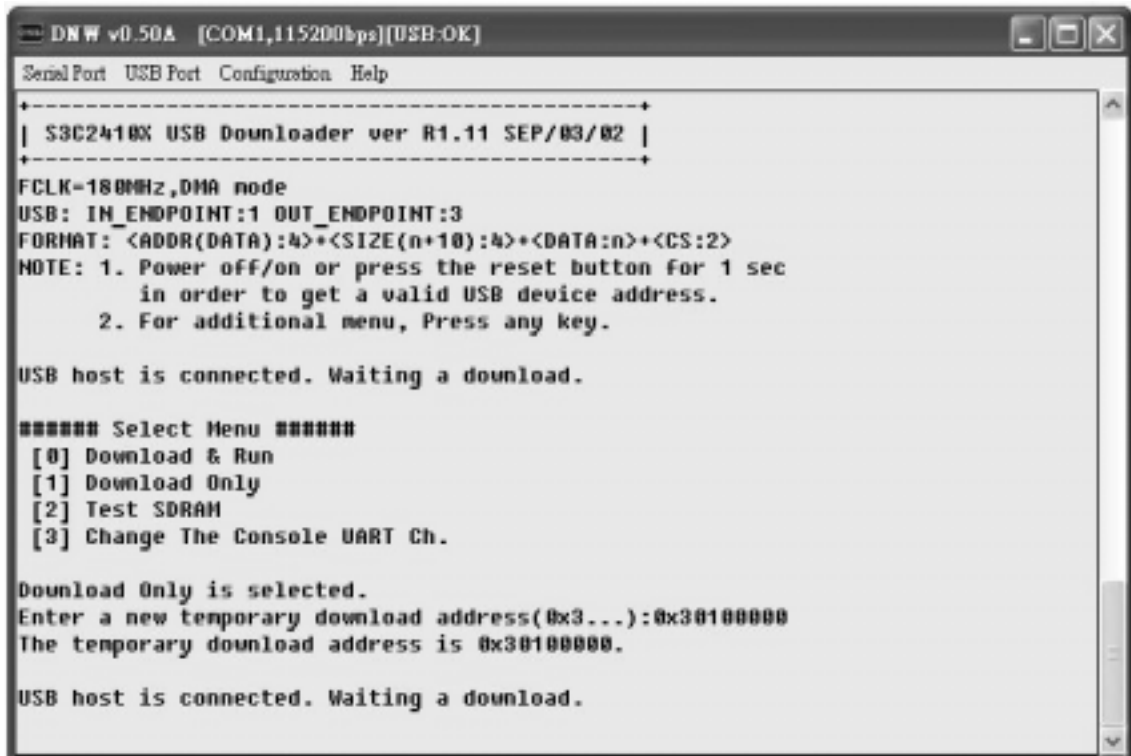


圖6.6 輸入位置後等待下載資料

(3)接著修改下載位置為0x30100000，鍵入0後接著載入2410test.bin

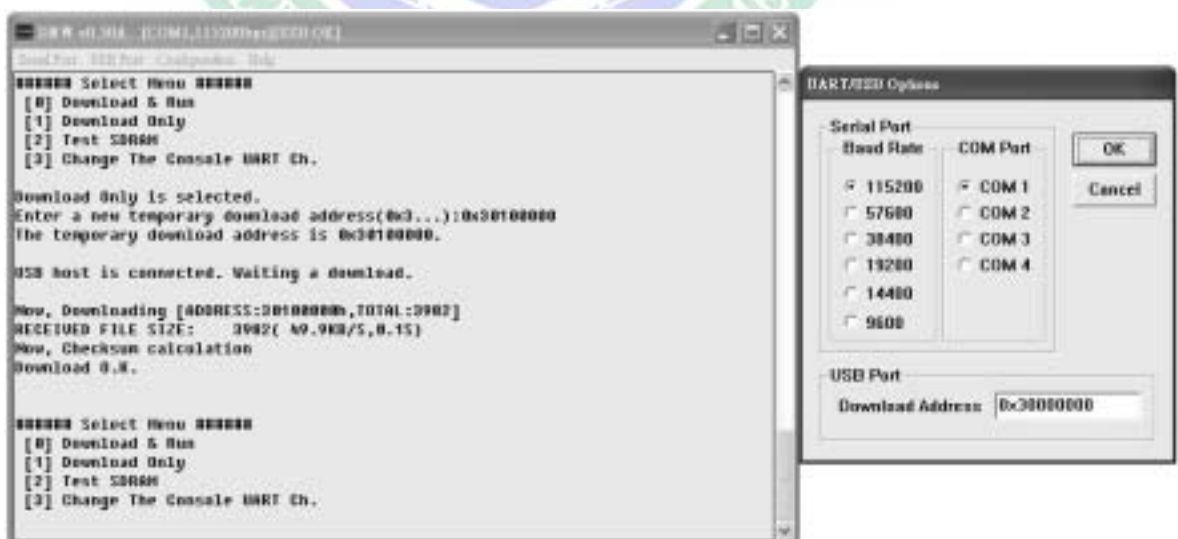


圖6.7 下載完成等待啟動載入程式

(4)下載2410test.bin後，自動執行的測試選項

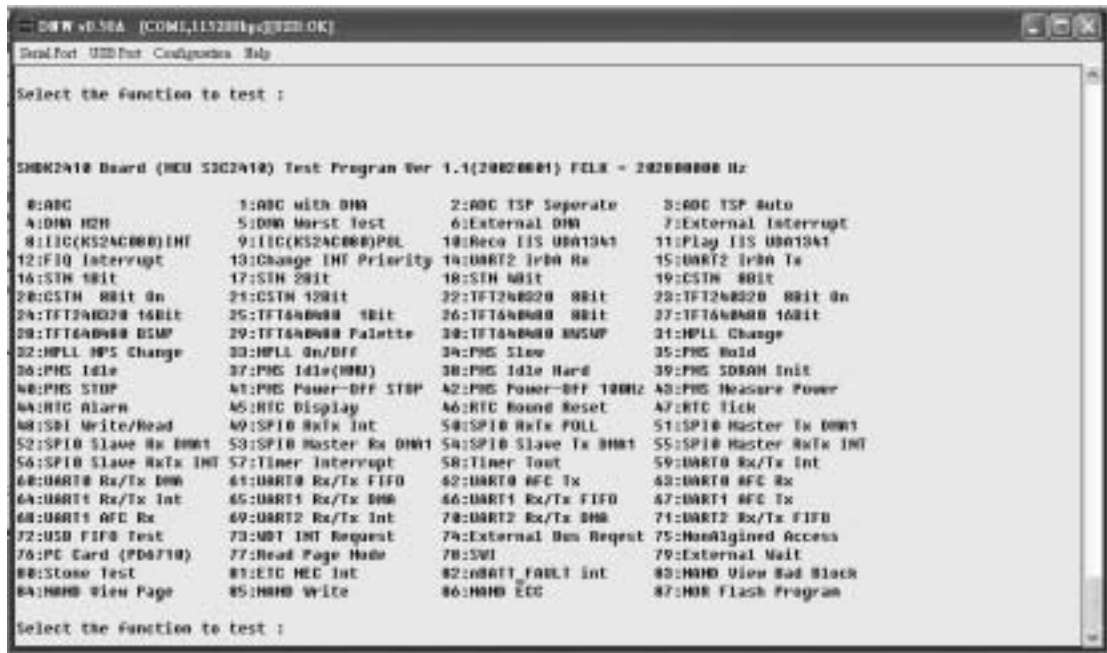


圖6.8 2410test.bin的測試選項

(5)開始寫入2410loader.bin的動作，選擇85後，輸入0，表示寫入第0個Block，在輸入寫入大小0x4000，寫入後要reset電路

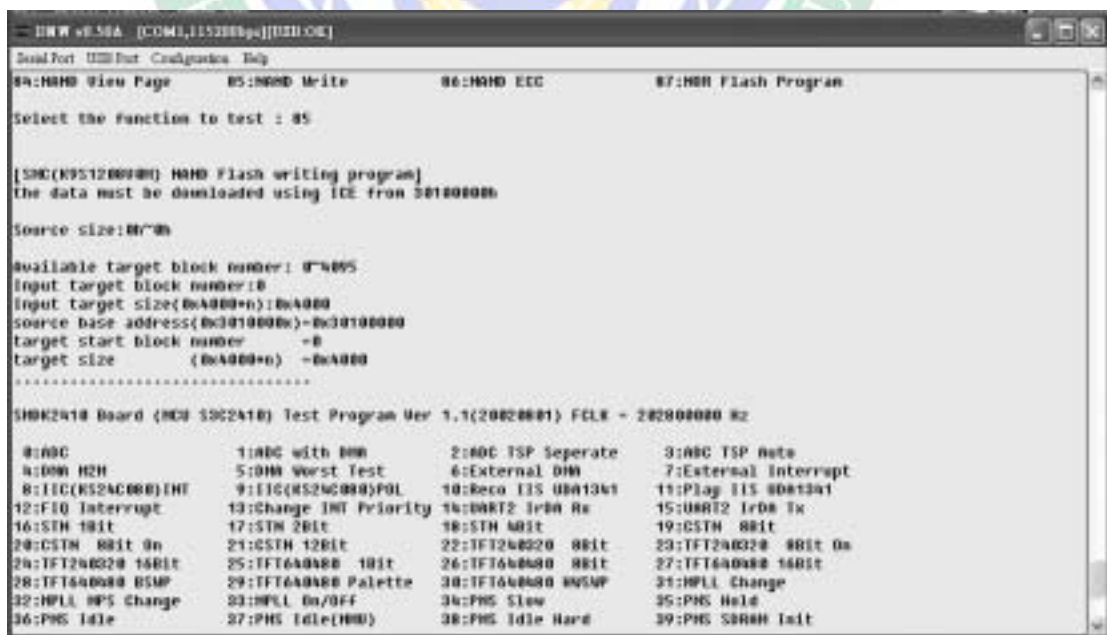


圖6.9 寫入完成後的動作

(6)Reset後確定連線是否正常，並把下載位置改到0x30038000

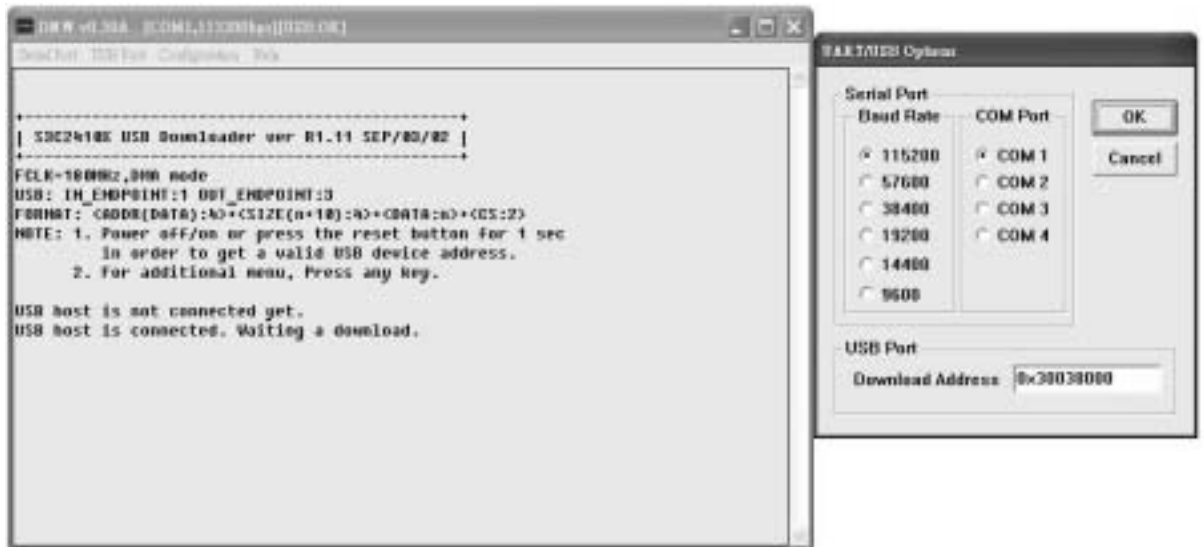


圖6.10 DNW接收到正常啟動訊號及寫入NAND Flash位置設定

(7)由WINCE420\PUBLIC\Project Name\Re1Dir\EMULATOR\_X86Release

中載入Eboot.nb0，並修改好對映網路資料

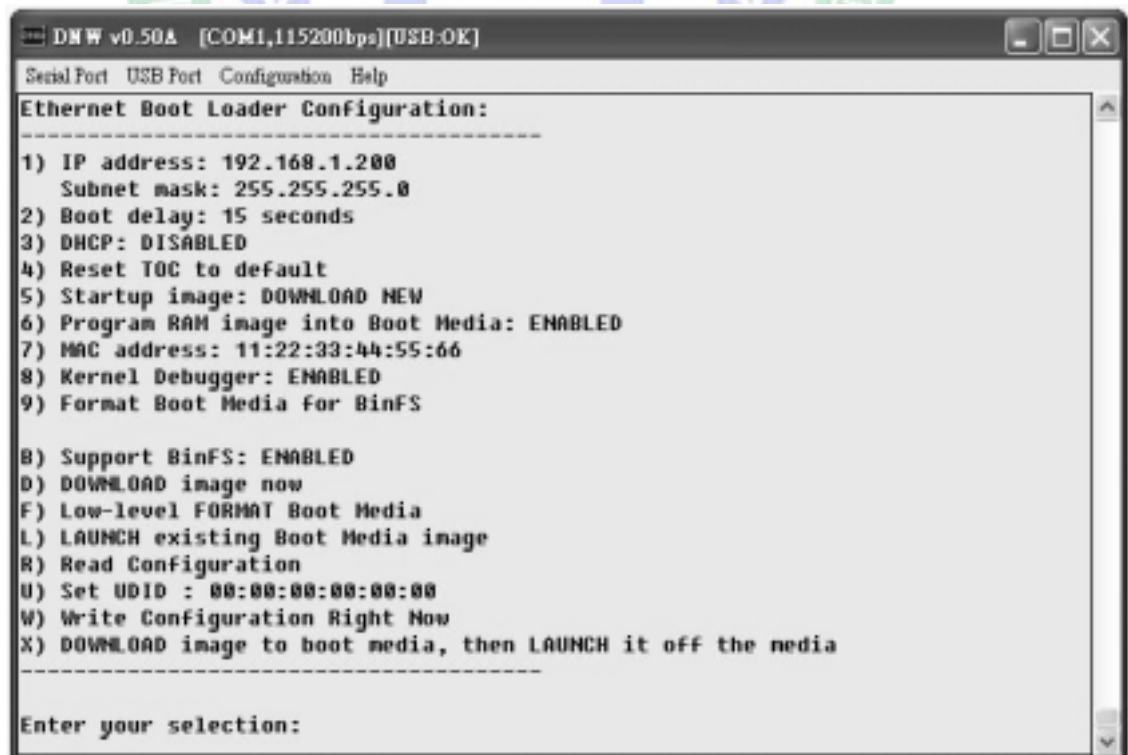


圖6.11 透過 Ethernet載入前的設定

(8)按F會執行低階格式化

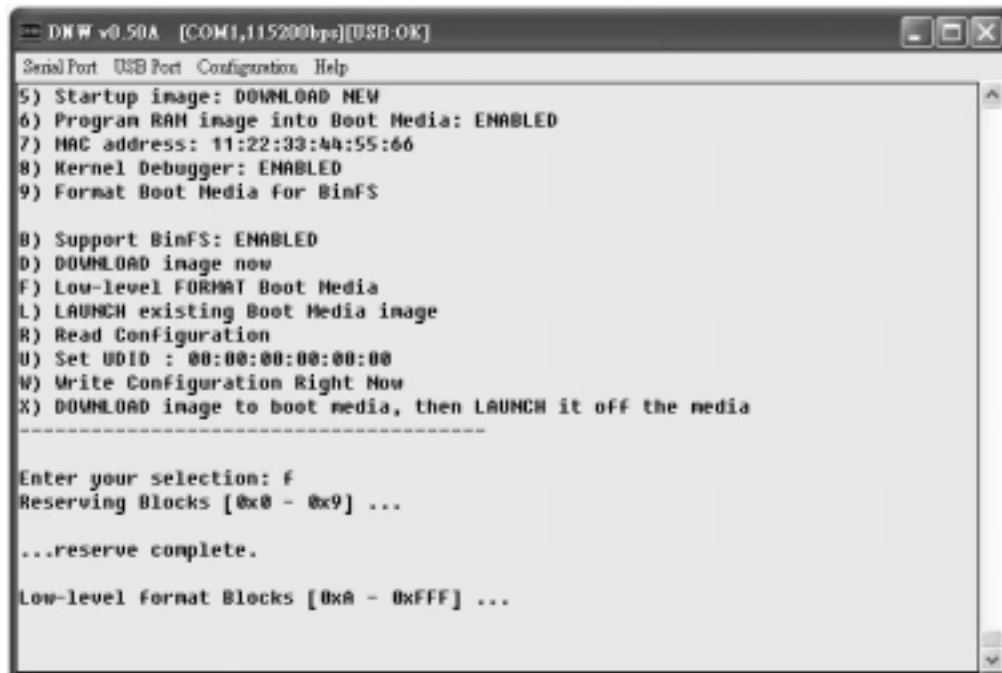


圖6.12低階格式化畫面

(9)按D後會經由Platform Builder的電腦從網路直接載入NK.bin

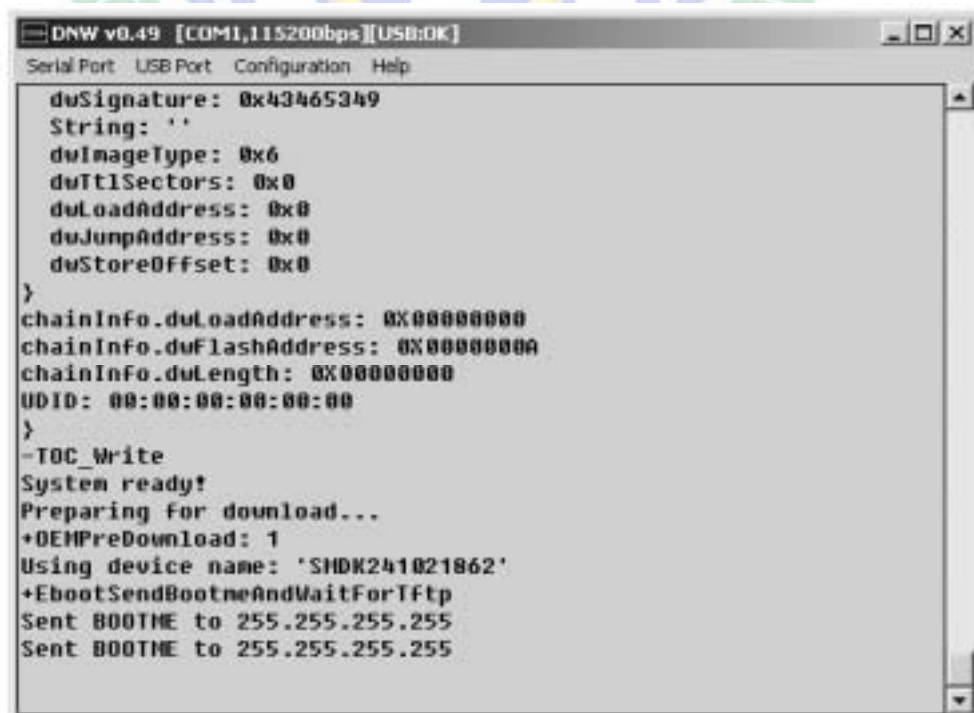


圖6.13 下載中的畫面



(10)下載完成後系統會出現下的的訊息，代表啟動成功，日後重開啟電源會自動重Nand Flash載入Windows CE



```
DNW v0.50A [COM1,115200bps][USB:OK]
Serial Post  USB Post  Configuration  Help
OEMInit Done...
Sp=ffffc7cc
FMD::FMD_Init
Prescaler:2
384 clock
USB:OhcdPdd_Init
++InitializeOHCI
USB:*pIrq=11, *pioPortBase=0x2C0000
OHCD: MapIrq2SysIntr(11): 27
OHCD: Memory Object
--InitializeOHCI
SL_Open 0x31390 (0 opens)
+CS8900:DriverEntry
::: PBT_InitializeAddresses - Success
charlie::SDIO::SDHOST::SDCSdCardDllEntry::DLL_PROCESS_ATTACH
::: SYSINTR_SDMMC OEMInterruptDisable
::: SYSINTR_DHA0 OEMInterruptDisable
::: SYSINTR_SDMMC_CARD_DETECT OEMInterruptEnable
::: SYSINTR_SDMMC_SDIO_INTERRUPT OEMInterruptEnable
--S3C2410DISP::InitializeHardware
SL_Open 0x31390 (0 opens)
+SL_GetStatus 0x31390
RasEntry ``USB Socket Default`` Created
```

圖6.14 啟動成功的訊息

當成功將包裝著Windows CE嵌入式作業系統的影像檔寫入到Nand Flash後，重新啟動電源後，開機狀況如圖6.15，後面依序開啟應用軟體使用是否可正常運作，如圖6.16到圖6.23。

由於此次無硬碟電腦系統的概念，在運作上還沒有產生重大錯誤的狀況，因為是使用微處理器當作系統核心的關係，所以在速度上還是與一般電腦系統有著很大的差異，但是也讓系統在記憶晶片上可完全運作，因此無硬碟電腦系統在系統整合上也告一段落，也能夠瞭解到系統發展功能越強，體積也越小的地步。



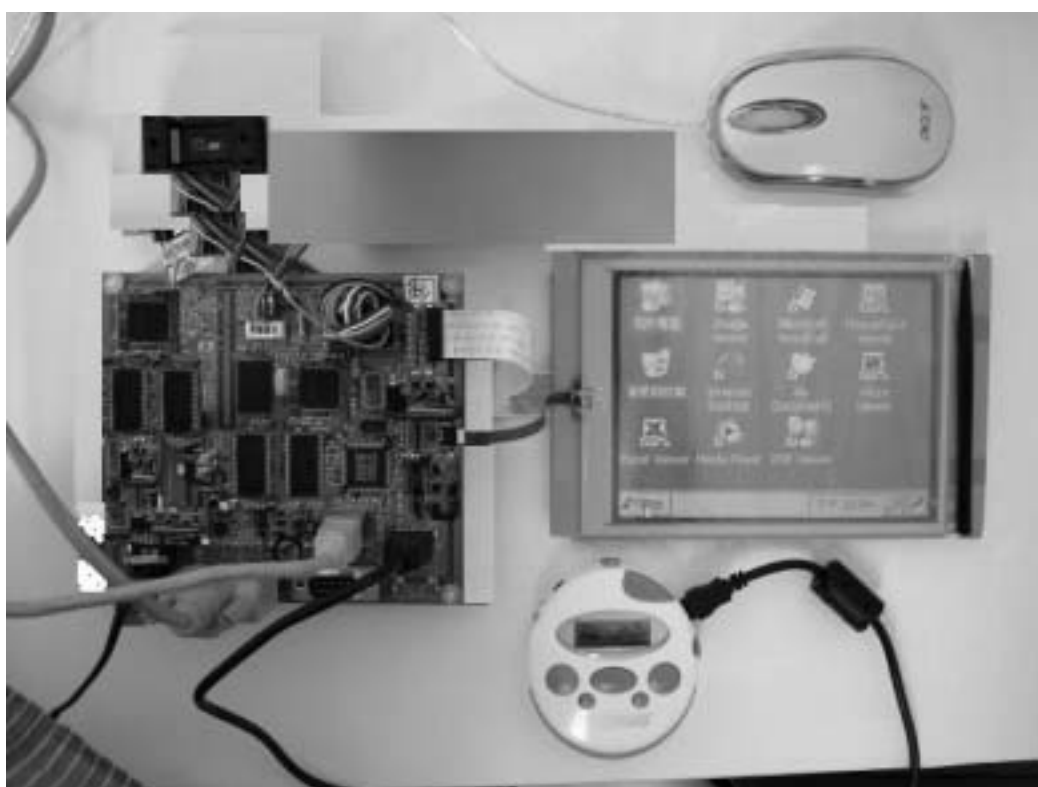


圖6.15 開啟後的Windows CE

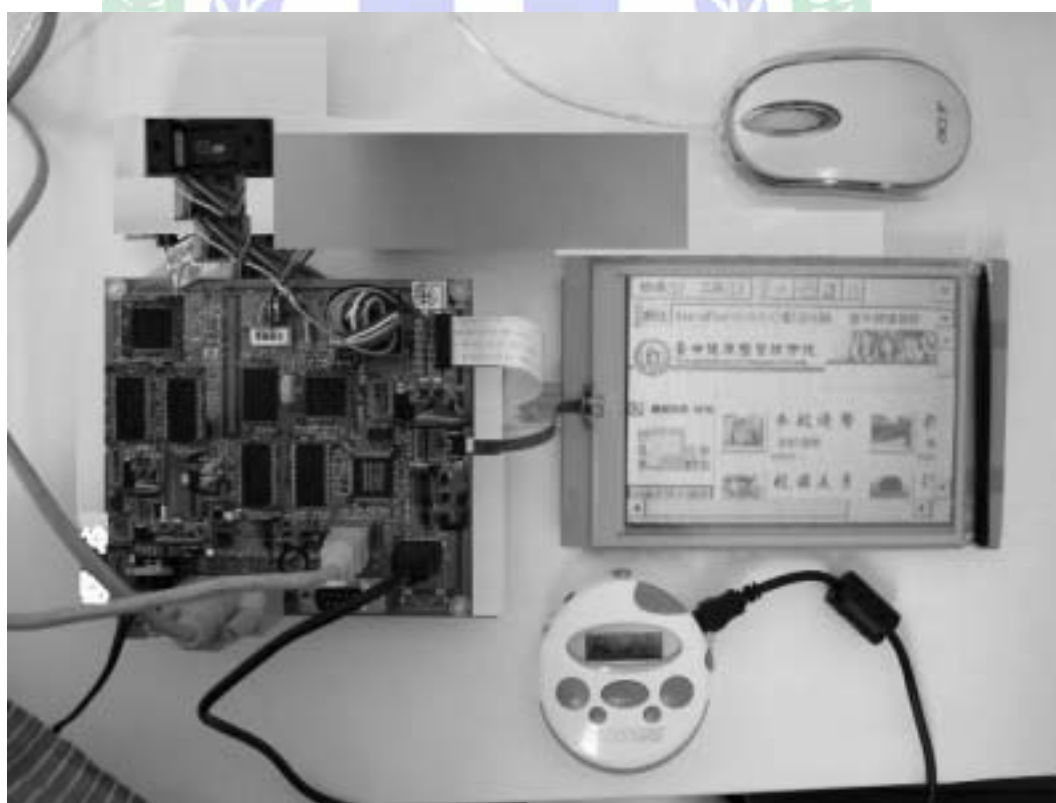


圖 6.16 執行瀏覽器軟體-1



圖 6.17 執行瀏覽器軟體-2



圖 6.18 執行 Excel 試算表軟體



圖 6.19 開啟觀看 PDF 電子檔

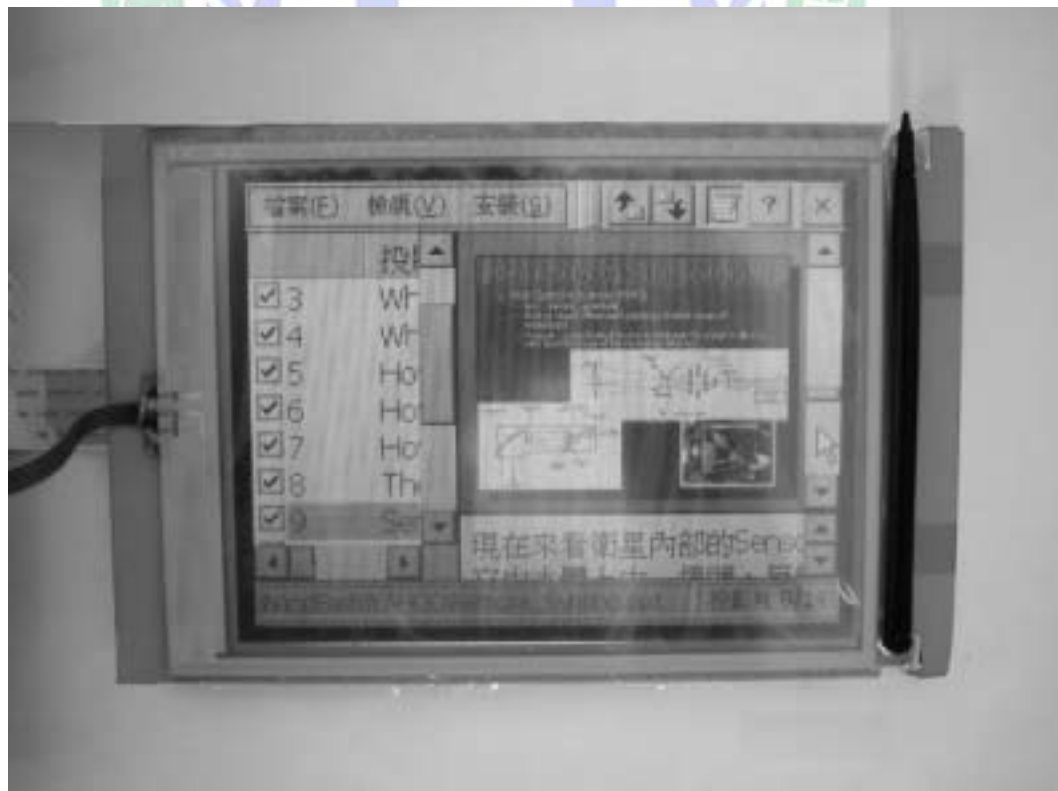


圖 6.20 開啟 Power point 簡報檔



圖 6.21 開啟 Word Doc 檔

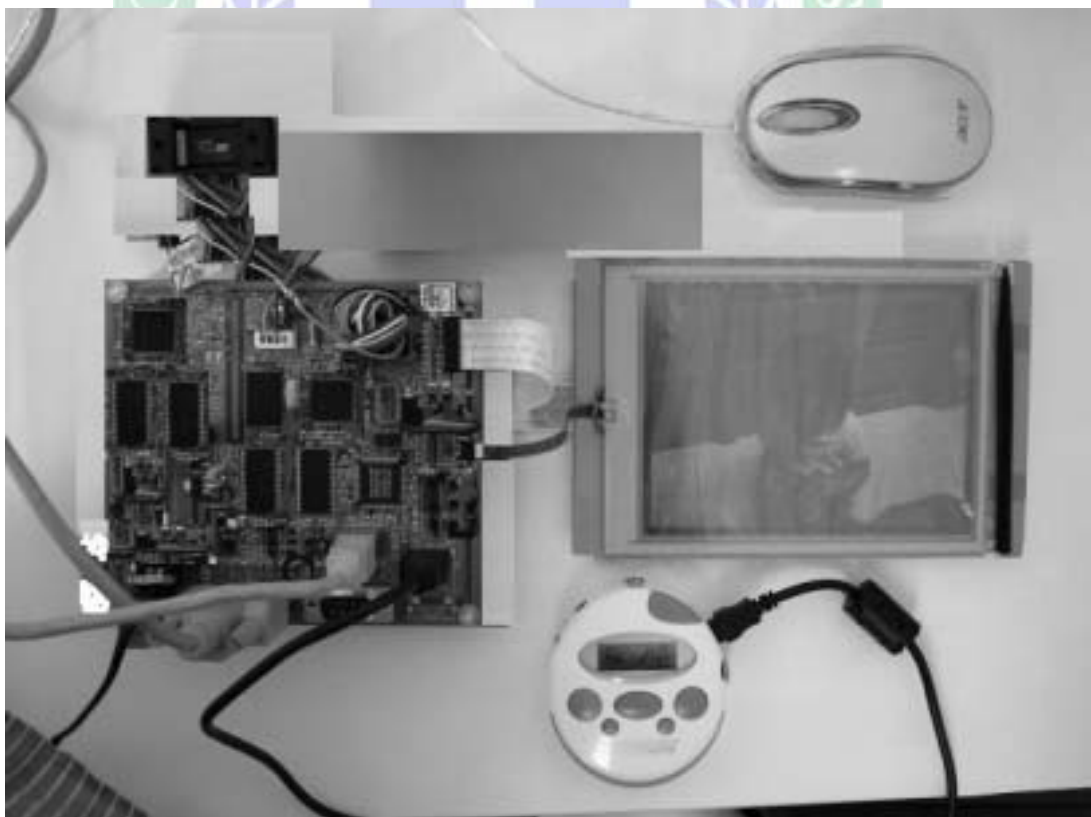


圖 6.22 使用影像軟體進行撥放影片-1



圖 6.23 使用影像軟體進行撥放影片-2



## 第七章 結論與未來發展方向

本文設計實作的無硬碟電腦系統，目的除了無硬碟式儲存的概念實作出成品外，還有系統可運行的實證，除了一般電腦系統的應用軟體無法直接在此無硬碟電腦系統上運作外，其他功能並沒有相差太多，且Windows CE應用軟體的開發環境與一般電腦的Windows系統的開發環境也沒有相差太多。

在整個無硬碟電腦系統中，能夠發揮USB的功能為此次設計最大的收穫，因為除了滑鼠的使用外，針對 Windows CE 作業系統能夠支援部份HP的列表機外，還能外加一般隨身碟增加運作或儲存的空間，也就是說要突破目前內部已經有限的運作或儲存空間，也不是難事，加上整個設計的體績並不是很大，也利用了微處理器的ADC Interface的功能，搭配上了觸控面板，使的此次設計的目標，以目前的概念在將來的應用性可以更加廣泛。

雖然在此次因時間的關係還沒修正好Ethernet Chip、Audio Chip的功能，但在顯示、USB，UART，Touch Panel等其他方面都可以運作正常，並可以開啟與作業系統放入影像檔的應用軟體，至於後面可以加強研究的方向，除了上述Ethernet、Audio的功能只需在做修正及測試外，後續可以進行的研究方向敘述如下：



- (一)、結合SIP加入網路電話功能：透過網際網路傳送語音訊號的一種運用，捨棄了以往利用昂貴的公眾交換電話網路，只要透過網際網路的連接，分散在世界各地的人們，彼此之間即可進行雙向的語音對談，換句話說，只要能夠上網際網路，就可以打電話到網際網路連接到的任何地方。
- (二)、結合人體Sensor的照護儀器：由於無硬碟電腦系統可經由網際網路傳送及接收資料，而微處理器內建的IO也可以設計與人體Sensor做結合，將人體的資料傳送至醫療人員做判斷，若加上網路電話及網路攝影機的功能，在遠方的醫療人員將可以很方便的做一些基本的照護服務。
- (三)、工業控制電腦：本文所提的無硬碟電腦系統也可以是應用裝置、設備，工業控制電腦大多在設計上，一塊主機板就包含所有的功能，所以可以在相當狹窄的空間內運作，因為是無硬碟的儲存方式，整個設計都是由主動、被動元件組成，所以可以在嚴苛的環境下工作（如高溫度、高濕度、高雜訊等），所以運用在工業控制電腦最主要的研究方向是往程式設計方面著手，應用原先設計好顯示及輸出、入功能，將無硬碟電腦系統的功能發揮到最大。

## 參考文獻

- [1] 陳俊儒，“Embedded Memory在SoC所扮演的角色愈顯重要”，ITIS產業評析總覽，2005年 5月。
- [2] 楊智喬，“AMBA晶片匯流排及其SOC平台”，國家晶片系統設計中心：設計服務組。
- [3] AMBATM Specification (Rev 2.0)
- [4] 林永仁，嵌入式系統專案。台灣：博碩文化，2003年 7月。
- [5] 馮育新，整合USB之嵌入式系統設計。台灣：國立中正大學，2003年 7月。
- [6] SAMSUNG，S3C2410X 32-BIT RISC MICROPROCESSOR USER'S MANUAL。Korea：Samsung Electronics，2002。
- [7] 徐美雯、孫民承、賴昱璋、戴基峰，數位家電之嵌入式系統與關鍵零組件發展趨勢。台灣：資策會，2003年 9月。
- [8] 曾曉勤，嵌入式系統發展分析。台灣：資策會，2000年 9月。
- [9] ARM，ARM 920T Technical Reference Manual (Rev 1)。
- [10] 費浙平，32-bit wave。China：ARM，2004 Autumn。
- [11] www.arm.com，ARM processor and embedded system。China：ARM，2004 Autumn。

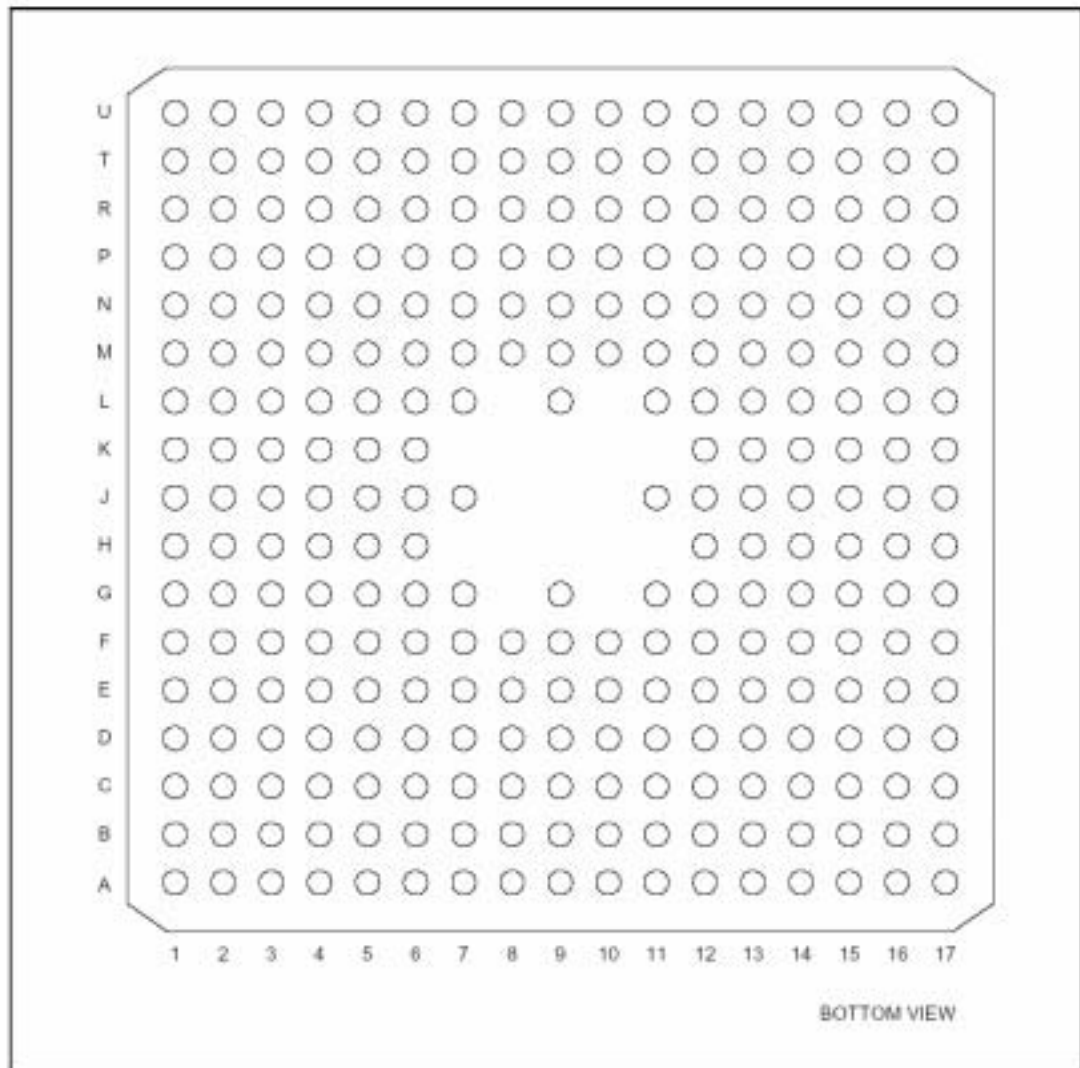
- [12]www. samsung. com , Samsung' s Solutions 。 Korea : Samsung Electronics 。
- [13]WindowsCE Web Site 。
- <http://www.microsoft.com/taiwan/windows/embedded/ce.net>
- [14]Jean Louis Gareau , Knowing the device drivers for Windows CE 3.0 。 USA : Electronic Engineering Times , 2002年 5月 。
- [15]Mike Hall 、 Steve Maillet , Windows CE: Inside the Build System 。 USA : Embedded Operating System Development , 2004年 7月 。
- [16]Ciruss Logic , CS8900 Data Sheet 。 USA : Cirrus Logic, Inc. , 2001年 4月 。
- [17]J. Eyre and J. Bier , The Evolution of DSP Processors 。 USA : IEEE Signal Processing Magazine , 2000年 3月 。
- [18]S. Furber , ARM system-on-chip architecture, 2<sup>nd</sup> 。 USA : Addison-Wesley , 2000年 。
- [19]R. B. Lee , Multimedia Extensions for General -Purpose Processors 。 USA : Proc. IEEE Workshop on Signal Processing Systems , 1997年 11月 。
- [20]D. A. Patterson and J. L. Hennessy, Computer Organization

- & Design: The Hardware/Software Interface, 2nd, Morgan Kaufmann, 1997年。
- [21] S. J. Orfanidis, Introduction to Signal Processing. USA: Prentice Hall Inc., 1996年。
- [22] M. G. Arnold, Verilog Digital Computer Design, Algorithms into Hardware. USA: Prentice Hall, 1999年。
- [23] 張義合, OrCAD電腦輔助電路板設計Layout Plus。台灣: 台科大書局, 2005年 2月。
- [24] 黃文鈺, RS-232串列設備連網解決方案。台灣: 文魁資訊股份有限公司, 2003年 11月。
- [25] Dreamtech Software Team, Programming for Embedded system. USA: John Wiley&Sons, Inc., 2003年。
- [26] 新華電腦, ARM9 S3C2410 嵌入式SOC原理。台灣: 全華科技圖書股份有限公司, 2005年 2月。
- [27] Teren A. Goggib With David L. Heskett and Jaso M. MacLean, Windows CE Developer's Handbook, 2001年。
- [28] 黃昭仁, Windows CE 程式設計講座-使用eMbedded Visual Basic。台灣: 文魁資訊股份有限公司, 2003年 11月。

- [29]陳俊宏，Embedded Linux嵌入式系統原理與實務。台灣：學貫行銷股份有限公司，2004年 10月。
- [30]黃千純，PDA發展現況與趨勢。台灣：工研院產經資訊中心，2000年 11月
- [31]Frank Vahid and Tony Givargis，Embedded System Design。USA：John Wiley&Sons, Inc.，2002年。
- [32]趙建宏、楊中傑，嵌入式軟體發展商機。台灣：資策會，1998年 7月。
- [33]尤克熙、陳佳儀、羅懷英、章至豪、陳力昕，嵌入式軟體關鍵技術發展藍圖。台灣：資策會，2002年 8月。
- [34]曾曉勤，嵌入式系統發展趨勢分析。台灣：資策會，2000年12月。
- [35]王田苗，嵌入式系統設計與實例開發。北京：清華大學出版社，2003
- [36] John Paul Shen and Mikko H. Lipasti, MODERN PROCESSOR DESIGN Fundamentals of Superscalar Processors, Beta Edition, McGRAW-HILL Company, 2003.



附錄 A S3C2410 腳位圖及各腳位定義名稱





Pin Number	Pin Name	Pin Number	Pin Name	Pin Number	Pin Name
A1	DATA19	B14	ADDR0/GPA0	D10	ADDR19/GPA4
A2	DATA18	B15	nSRAS	D11	VDDi
A3	DATA16	B16	nBE1:nWBE1:DQM1	D12	ADDR10
A4	DATA15	B17	VSSI	D13	ADDR5
A5	DATA11	C1	DATA24	D14	ADDR1
A6	VDDMOP	C2	DATA23	D15	VSSMOP
A7	DATA6	C3	DATA21	D16	SCKE
A8	DATA1	C4	VDDi	D17	nGCS0
A9	ADDR21/GPA6	C5	DATA12	E1	DATA31
A10	ADDR16/GPA1	C6	DATA7	E2	DATA29
A11	ADDR13	C7	DATA4	E3	DATA28
A12	VSSMOP	C8	VDDi	E4	DATA30
A13	ADDR6	C9	ADDR25/GPA10	E5	VDDMOP
A14	ADDR2	C10	VSSMOP	E6	VSSMOP
A15	VDDMOP	C11	ADDR14	E7	DATA3
A16	nBE3:nWBE3:DQM3	C12	ADDR7	E8	ADDR26/GPA11
A17	nBE0:nWBE0:DQM0	C13	ADDR3	E9	ADDR23/GPA8
B1	DATA22	C14	nSCAS	E10	ADDR18/GPA3
B2	DATA20	C15	nBE2:nWBE2:DQM2	E11	VDDMOP
B3	DATA17	C16	nOE	E12	ADDR11
B4	VDDMOP	C17	VDDi	E13	nWE
B5	DATA13	D1	DATA27	E14	nGCS3/GPA14
B6	DATA9	D2	DATA25	E15	nGCS1/GPA12
B7	DATA5	D3	VSSMOP	E16	nGCS2/GPA13
B8	DATA0	D4	DATA26	E17	nGCS4/GPA15
B9	ADDR24/GPA9	D5	DATA14	F1	TOUT1/GPB1
B10	ADDR17/GPA2	D6	DATA10	F2	TOUT0/GPB0
B11	ADDR12	D7	DATA2	F3	VSSMOP
B12	ADDR8	D8	VDDMOP	F4	TOUT2/GPB2
B13	ADDR4	D9	ADDR22/GPA7	F5	VSSOP

Pin Number	Pin Name	Pin Number	Pin Name	Pin Number	Pin Name
F6	VSSi	H4	nXDREQ1/GPB8	K13	TXD2/nRTS1/GPH6
F7	DATA8	H5	nTRST	K14	RXD1/GPH5
F8	VSSMOP	H6	TCK	K15	TXD0/GPH2
F9	VSSi	H12	CLE/GPA17	K16	TXD1/GPH4
F10	ADDR20/GPA5	H13	VSSOP	K17	RXD0/GPH3
F11	VSSi	H14	VDDMOP	L1	VD0/GPC8
F12	VSSMOP	H15	VSSi	L2	VD1/GPC9
F13	SCLK0	H16	XTOpl	L3	LCDVF2/GPC7
F14	SCLK1	H17	XTIpl	L4	VD2/GPC10
F15	nGCS5/GPA16	J1	TDI	L5	VDDiarm
F16	nGCS6:nSCS0	J2	VCLK:LCD_HCLK/GPC1	L6	LCDVF1/GPC6
F17	nGCS7:nSCS1	J3	TMS	L7	IICSCL/GPE14
G1	nXBACK/GPB5	J4	LEND:STH/GPC0	L9	EINT11/nSS1/GPG3
G2	nXDACK1/GPB7	J5	TDO	L11	VDDi_UPLL
G3	TOUT3/GPB3	J6	VLINE:HSYNC:CPV/GPC2	L12	nRTS0/GPH1
G4	TCLK0/GPB4	J7	VSSiarm	L13	UPLLCAP
G5	nXBREQ/GPB6	J11	EXTCLK	L14	nCTS0/GPH0
G6	VDDalive	J12	nRESET	L15	EINT6/GPF6
G7	VDDiarm	J13	VDDi	L16	UCLK/GPH8
G9	VSSMOP	J14	VDDalive	L17	EINT7/GPF7
G11	ADDR15	J15	PWREN	M1	VSSiarm
G12	ADDR9	J16	nRSTOUT/GPA21	M2	VD5/GPC13
G13	nWAIT	J17	nBATT_FLT	M3	VD3/GPC11
G14	ALE/GPA18	K1	VDDOP	M4	VD4/GPC12
G15	nFWE/GPA19	K2	VM:VDEN:TP/GPC4	M5	VSSiarm
G16	nFRE/GPA20	K3	VDDiarm	M6	VDDOP
G17	nFCE/GPA22	K4	VFRAME:VSYNC:STV/GPC3	M7	VDDiarm
H1	VSSiarm	K5	VSSOP	M8	IICSDA/GPE15
H2	nXDACK0/GPB9	K6	LCDVF0/GPC5	M9	VSSiarm
H3	nXDREQ0/GPB10	K12	RXD2/nCTS1/GPH7	M10	DP1/PDP0

Pin Number	Pin Name	Pin Number	Pin Name	Pin Number	Pin Name
M11	EINT23/nYPON/GPG15	P8	SPICLK0/GPE13	T5	I2SLRCK/GPE0
M12	RTCVDD	P9	EINT12/LCD_PWREN/GPG4	T6	SDCLK/GPE5
M13	VSSi_MPLL	P10	EINT18/GPG10	T7	SPIMISO0/GPE11
M14	EINT5/GPF5	P11	EINT20/XMON/GPG12	T8	EINT10/nSS0/GPG2
M15	EINT4/GPF4	P12	VSSOP	T9	VSSOP
M16	EINT2/GPF2	P13	DP0	T10	EINT17/GPG9
M17	EINT3/GPF3	P14	VDDi_MPLL	T11	EINT22/YMON/GPG14
N1	VD6/GPC14	P15	VDDA_ADC	T12	DN0
N2	VD8/GPD0	P16	XTlrtc	T13	OM3
N3	VD7/GPC15	P17	MPLLCAP	T14	VSSA_ADC
N4	VD9/GPD1	R1	VDDiarm	T15	AIN1
N5	VDDiarm	R2	VD14/GPD6	T16	AIN3
N6	CDCLK/GPE2	R3	VD17/GPD9	T17	AIN5
N7	SDDAT1/GPE8	R4	VD18/GPD10	U1	VD15/GPD7
N8	VSSiarm	R5	VSSOP	U2	VD19/GPD11
N9	VDDOP	R6	SDDAT0/GPE7	U3	VD21/GPD13
N10	VDDiarm	R7	SDDAT3/GPE10	U4	VSSiarm
N11	DN1/PDN0	R8	EINT8/GPG0	U5	I2SSDI/nSS0/GPE3
N12	Vref	R9	EINT14/SPIMOSI1/GPG6	U6	I2SSDO/I2SSDI/GPE4
N13	AIN7	R10	EINT15/SPICLK1/GPG7	U7	SPIMOSI0/GPE12
N14	EINT0/GPF0	R11	EINT19/TCLK1/GPG11	U8	EINT9/GPG1
N15	VSSi_UPLL	R12	CLKOUT0/GPH9	U9	EINT13/SPIMISO1/GPG5
N16	VDDOP	R13	R/nB	U10	EINT16/GPG8
N17	EINT1/GPF1	R14	OM0	U11	EINT21/nXPON/GPG13
P1	VD10/GPD2	R15	AIN4	U12	CLKOUT1/GPH10
P2	VD12/GPD4	R16	AIN6	U13	NCON
P3	VD11/GPD3	R17	XTOrtc	U14	OM2
P4	VD23/nSS0/GPD15	T1	VD13/GPD5	U15	OM1
P5	I2SSCLK/GPE1	T2	VD16/GPD8	U16	AIN0
P6	SDCMD/GPE6	T3	VD20/GPD12	U17	AIN2
P7	SDDAT2/GPE9	T4	VD22/nSS1/GPD14	-	-

附錄 B S3C2410各腳位信號描述

Signal	I/O	Descriptions
<b>Bus Controller</b>		
OM[1:0]	I	OM[1:0] sets S3C2410X in the TEST mode, which is used only at fabrication. Also, it determines the bus width of nGCS0. The pull-up/down resistor determines the logic level during the RESET cycle. 00:Nand-boot 01:16-bit 10:32-bit 11:Test mode
ADDR[26:0]	O	ADDR[26:0] (Address Bus) outputs the memory address of the corresponding bank .
DATA[31:0]	IO	DATA[31:0] (Data Bus) inputs data during memory read and outputs data during memory write. The bus width is programmable among 8/16/32-bit.
nGCS[7:0]	O	nGCS[7:0] (General Chip Select) are activated when the address of a memory is within the address region of each bank. The number of access cycles and the bank size can be programmed.
nWE	O	nWE (Write Enable) indicates that the current bus cycle is a write cycle.
nOE	O	nOE (Output Enable) indicates that the current bus cycle is a read cycle.
nXBREQ	I	nXBREQ (Bus Hold Request) allows another bus master to request control of the local bus. BACK active indicates that bus control has been granted.
nXBACK	O	nXBACK (Bus Hold Acknowledge) indicates that the S3C2410X has surrendered control of the local bus to another bus master.
nWAIT	I	nWAIT requests to prolong a current bus cycle. As long as nWAIT is L, the current bus cycle cannot be completed.
<b>SDRAM/SRAM</b>		
nSRAS	O	SDRAM Row Address Strobe
nSCAS	O	SDRAM Column Address Strobe
nSCS[1:0]	O	SDRAM Chip Select
DQM[3:0]	O	SDRAM Data Mask
SCLK[1:0]	O	SDRAM Clock
SCKE	O	SDRAM Clock Enable
nBE[3:0]	O	Upper Byte/Lower Byte Enable(In case of 16-bit SRAM)
nWBE[3:0]	O	Write Byte Enable
<b>NAND Flash</b>		
CLE	O	Command Latch Enable
ALE	O	Address Latch Enable
nFCE	O	Nand Flash Chip Enable
nFRE	O	Nand Flash Read Enable
nFWE	O	Nand Flash Write Enable
NCON	I	Nand Flash Configuration
R/nB	I	Nand Flash Ready/Busy

Signal	I/O	Descriptions
<b>LCD Control Unit</b>		
VD[23:0]	O	<b>STN/TFT/SEC TFT:</b> LCD Data Bus
LCD_PWREN	O	<b>STN/TFT/SEC TFT:</b> LCD panel power enable control signal
VCLK	O	<b>STN/TFT:</b> LCD clock signal
VFRAME	O	<b>STN:</b> LCD Frame signal
VLINE	O	<b>STN:</b> LCD line signal
VM	O	<b>STN:</b> VM alternates the polarity of the row and column voltage
VSYNC	O	<b>TFT:</b> Vertical synchronous signal
HSYNC	O	<b>TFT:</b> Horizontal synchronous signal
VDEN	O	<b>TFT:</b> Data enable signal
LEND	O	<b>TFT:</b> Line End signal
STV	O	<b>SEC TFT:</b> SEC(Samsung Electronics Company) TFT LCD panel control signal
CPV	O	<b>SEC TFT:</b> SEC(Samsung Electronics Company) TFT LCD panel control signal
LCD_HCLK	O	<b>SEC TFT:</b> SEC(Samsung Electronics Company) TFT LCD panel control signal
TP	O	<b>SEC TFT:</b> SEC(Samsung Electronics Company) TFT LCD panel control signal
STH	O	<b>SEC TFT:</b> SEC(Samsung Electronics Company) TFT LCD panel control signal
LCDVF[2:0]	O	<b>SEC TFT:</b> Timing control signal for specific TFT LCD(OE/REV/REVB)
<b>Interrupt Control Unit</b>		
EINT[23:0]	I	External Interrupt request
<b>DMA</b>		
nXDREQ[1:0]	I	External DMA request
nXDACK[1:0]	O	External DMA acknowledge
<b>UART</b>		
RxD[2:0]	I	UART receives data input
TxD[2:0]	O	UART transmits data output
nCTS[1:0]	I	UART clear to send input signal
nRTS[1:0]	O	UART request to send output signal
UCLK	I	UART clock signal
<b>ADC</b>		
AIN[7:0]	AI	ADC input[7:0]. If it isn't used pin, it has to be Low (Ground).
Vref	AI	ADC Vref
<b>IIC-Bus</b>		
IICSDA	IO	IIC-bus data
IIC_SCL	IO	IIC-bus clock

Signal	I/O	Descriptions
<b>IIS-Bus</b>		
I2SLRCK	IO	IIS-bus channel select clock
I2SSDO	O	IIS-bus serial data output
I2SSDI	I	IIS-bus serial data input
I2SSCLK	IO	IIS-bus serial clock
CDCLK	O	CODEC system clock
<b>Touch Screen</b>		
nXPON	O	Plus X-axis on-off control signal
XMON	O	Minus X-axis on-off control signal
nYPON	O	Plus Y-axis on-off control signal
YMON	O	Minus Y-axis on-off control signal
<b>USB Host</b>		
DN[1:0]	IO	DATA(-) from USB host
DP[1:0]	IO	DATA(+) from USB host
<b>USB Device</b>		
PDN0	IO	DATA(-) for USB peripheral
PDP0	IO	DATA(+) for USB peripheral
<b>SPI</b>		
SPIMISO[1:0]	IO	SPIMISO is the master data input line, when SPI is configured as a master. When SPI is configured as a slave, these pins reverse its role.
SPIMOSI[1:0]	IO	SPIMOSI is the master data output line, when SPI is configured as a master. When SPI is configured as a slave, these pins reverse its role.
SPICLK[1:0]	IO	SPI clock
nSS[1:0]	I	SPI chip select(only for slave mode)
<b>SD</b>		
SDDAT[3:0]	IO	SD receive/transmit data
SDCMD	IO	SD receive response/ transmit command
SDCLK	O	SD clock
<b>General Port</b>		
GPn[116:0]	IO	General input/output ports (some ports are output only)
<b>TIMMER/PWM</b>		
TOUT[3:0]	O	Timer output[3:0]
TCLK[1:0]	I	External timer clock input



Signal	I/O	Description
<b>JTAG TEST LOGIC</b>		
nTRST	I	nTRST(TAP Controller Reset) resets the TAP controller at start. If debugger is used, A 10K pull-up resistor has to be connected. If debugger(black ICE) is not used, nTRST pin must be issued by a low active pulse(Typically connected to nRESET).
TMS	I	TMS (TAP Controller Mode Select) controls the sequence of the TAP controller's states. A 10K pull-up resistor has to be connected to TMS pin.
TCK	I	TCK (TAP Controller Clock) provides the clock input for the JTAG logic. A 10K pull-up resistor must be connected to TCK pin.
TDI	I	TDI (TAP Controller Data Input) is the serial input for test instructions and data. A 10K pull-up resistor must be connected to TDI pin.
TDO	O	TDO (TAP Controller Data Output) is the serial output for test instructions and data.
<b>Reset, Clock &amp; Power</b>		
nRESET	ST	nRESET suspends any operation in progress and places S3C2410X into a known reset state. For a reset, nRESET must be held to L level for at least 4 FCLK after the processor power has been stabilized.
nRSTOUT	O	For external device reset control(nRSTOUT = nRESET & nWDTRST & SW_RESET)
PWREN	O	1.8V core power on-off control signal
nBATT_FLT	I	Probe for battery state(Does not wake up at power-off mode in case of low battery state). If it isn't used, it has to be High (3.3V).
OM[3:2]	I	OM[3:2] determines how the clock is made. OM[3:2] = 00b, Crystal is used for MPLL CLK source and UPLL CLK source. OM[3:2] = 01b, Crystal is used for MPLL CLK source and EXTCLK is used for UPLL CLK source. OM[3:2] = 10b, EXTCLK is used for MPLL CLK source and Crystal is used for UPLL CLK source. OM[3:2] = 11b, EXTCLK is used for MPLL CLK source and UPLL CLK source.
EXTCLK	I	External clock source. When OM[3:2] = 11b, EXTCLK is used for MPLL CLK source and UPLL CLK source. When OM[3:2] = 10b, EXTCLK is used for MPLL CLK source only. When OM[3:2] = 01b, EXTCLK is used for UPLL CLK source only. If it isn't used, it has to be High (3.3V).
XTIpll	AI	Crystal Input for internal osc circuit. When OM[3:2] = 00b, XTIpll is used for MPLL CLK source and UPLL CLK source. When OM[3:2] = 01b, XTIpll is used for MPLL CLK source only. When OM[3:2] = 10b, XTIpll is used for UPLL CLK source only. If it isn't used, XTIpll has to be High (3.3V).
XTOpll	AO	Crystal Output for internal osc circuit. When OM[3:2] = 00b, XTIpll is used for MPLL CLK source and UPLL CLK source. When OM[3:2] = 01b, XTIpll is used for MPLL CLK source only. When OM[3:2] = 10b, XTIpll is used for UPLL CLK source only. If it isn't used, it has to be a floating pin.

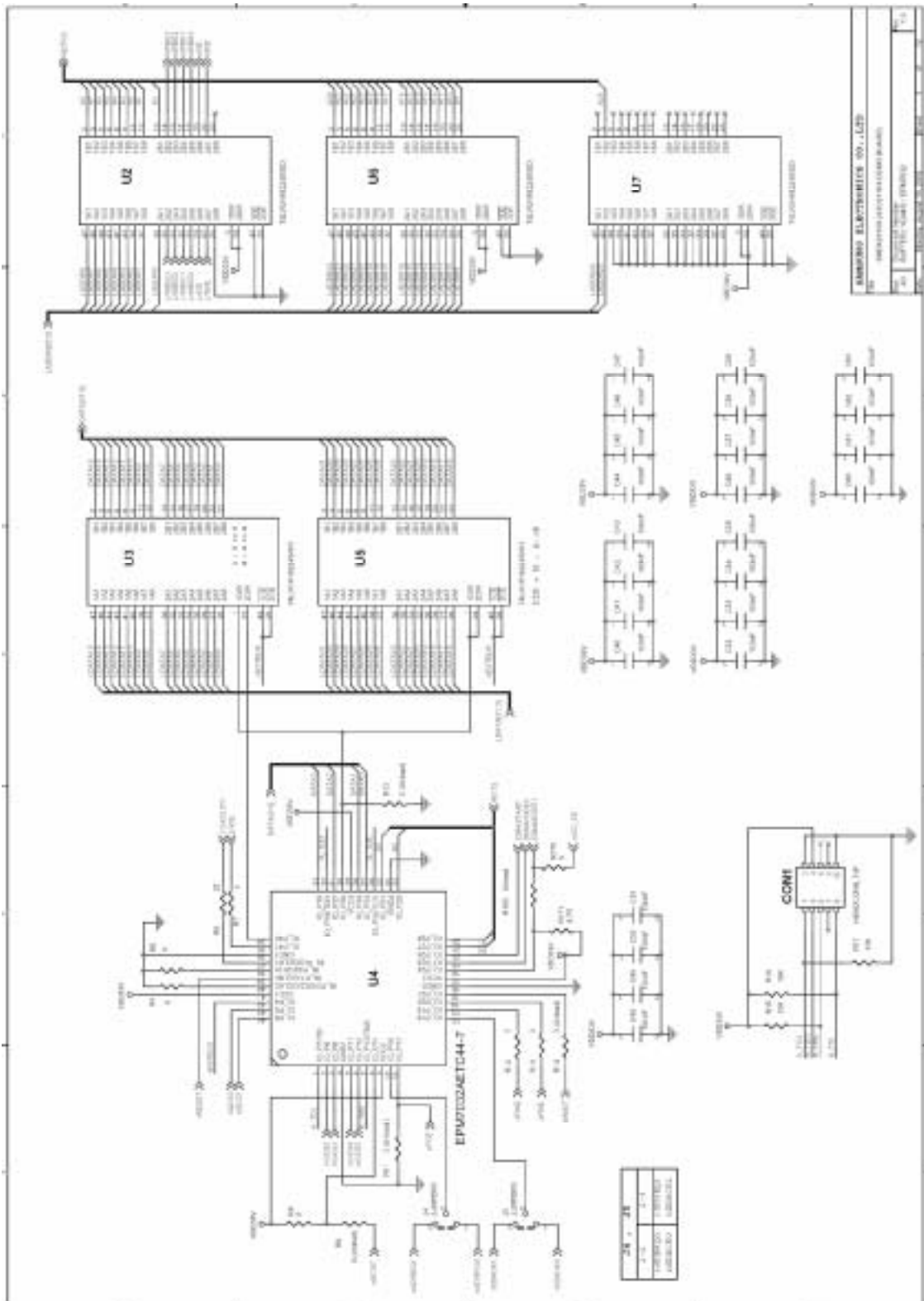
Signal	I/O	Description
<b>Reset, Clock &amp; Power (continued)</b>		
MPLLCAP	AI	Loop filter capacitor for main clock.
UPLLCAP	AI	Loop filter capacitor for USB clock.
XTIrtc	AI	32 kHz crystal input for RTC. If it isn't used, it has to be High (3.3V).
XTOrtc	AO	32 kHz crystal output for RTC. If it isn't used, it has to be Float.
CLKOUT[1:0]	O	Clock output signal. The CLKSEL of MISCCR register configures the clock output mode among the MPLL CLK, UPLL CLK, FCLK, HCLK, PCLK.
<b>Power</b>		
VDDalive	P	S3C2410X reset block and port status register VDD(1.8V). It should be always supplied whether in normal mode or in power-off mode.
VDDi/VDDiarm	P	S3C2410X core logic VDD(1.8V) for CPU.
VSSi/VSSiarm	P	S3C2410X core logic VSS
VDDi_MPLL	P	S3C2410X MPLL analog and digital VDD (1.8 V).
VSSi_MPLL	P	S3C2410X MPLL analog and digital VSS.
VDDOP	P	S3C2410X I/O port VDD(3.3V)
VDDMOP	P	S3C2410X Memory I/O VDD 3.3V : SCLK up to 100MHz 2.5V : SCLK up to 80MHz
VSSOP	P	S3C2410 I/O port VSS
RTCVDD	P	RTC VDD (1.8 V, Not support 3.3V) (This pin must be connected to power properly if RTC isn't used)
VDDi_UPLL	P	S3C2410X UPLL analog and digital VDD (1.8V)
VSSi_UPLL	P	S3C2410X UPLL analog and digital VSS
VDDA_ADC	P	S3C2410X ADC VDD(3.3V)
VSSA_ADC	P	S3C2410X ADC VSS

1. I/O代表輸入/輸出
2. AI/AO代表類比輸入及輸出
3. ST代表 Schmitt-trigger
4. P代表Power

## 附錄 C SMDK2410電路圖

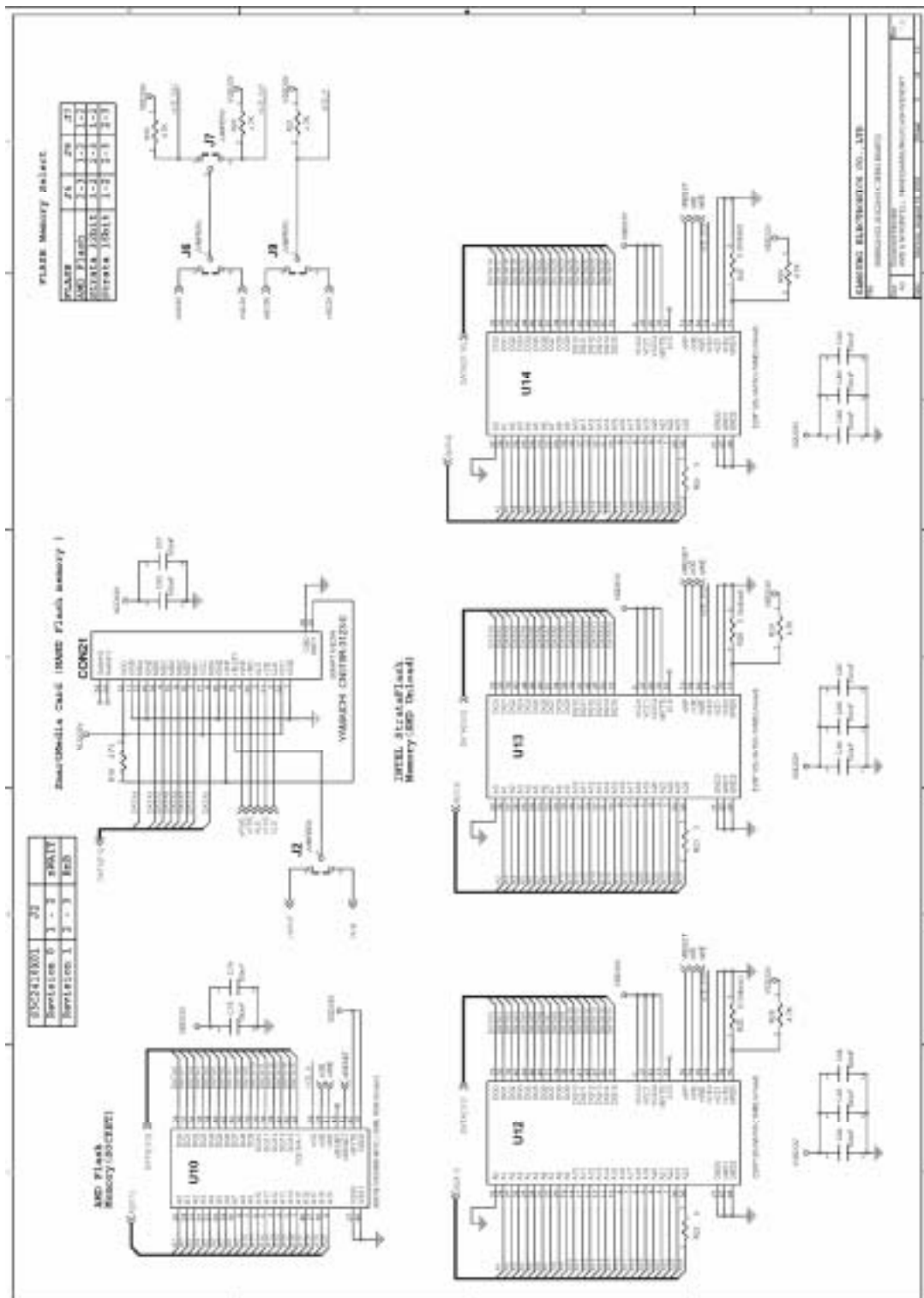




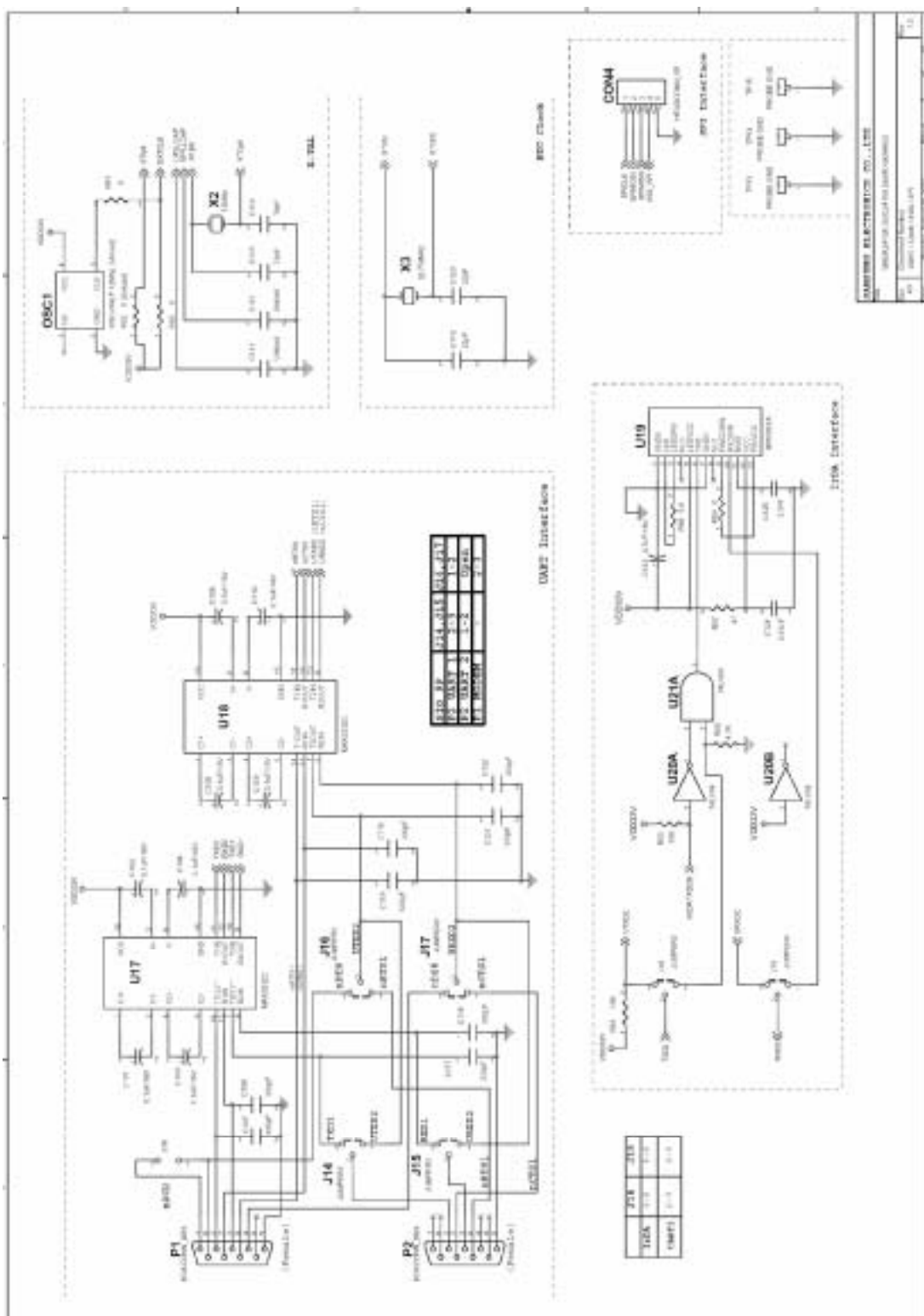


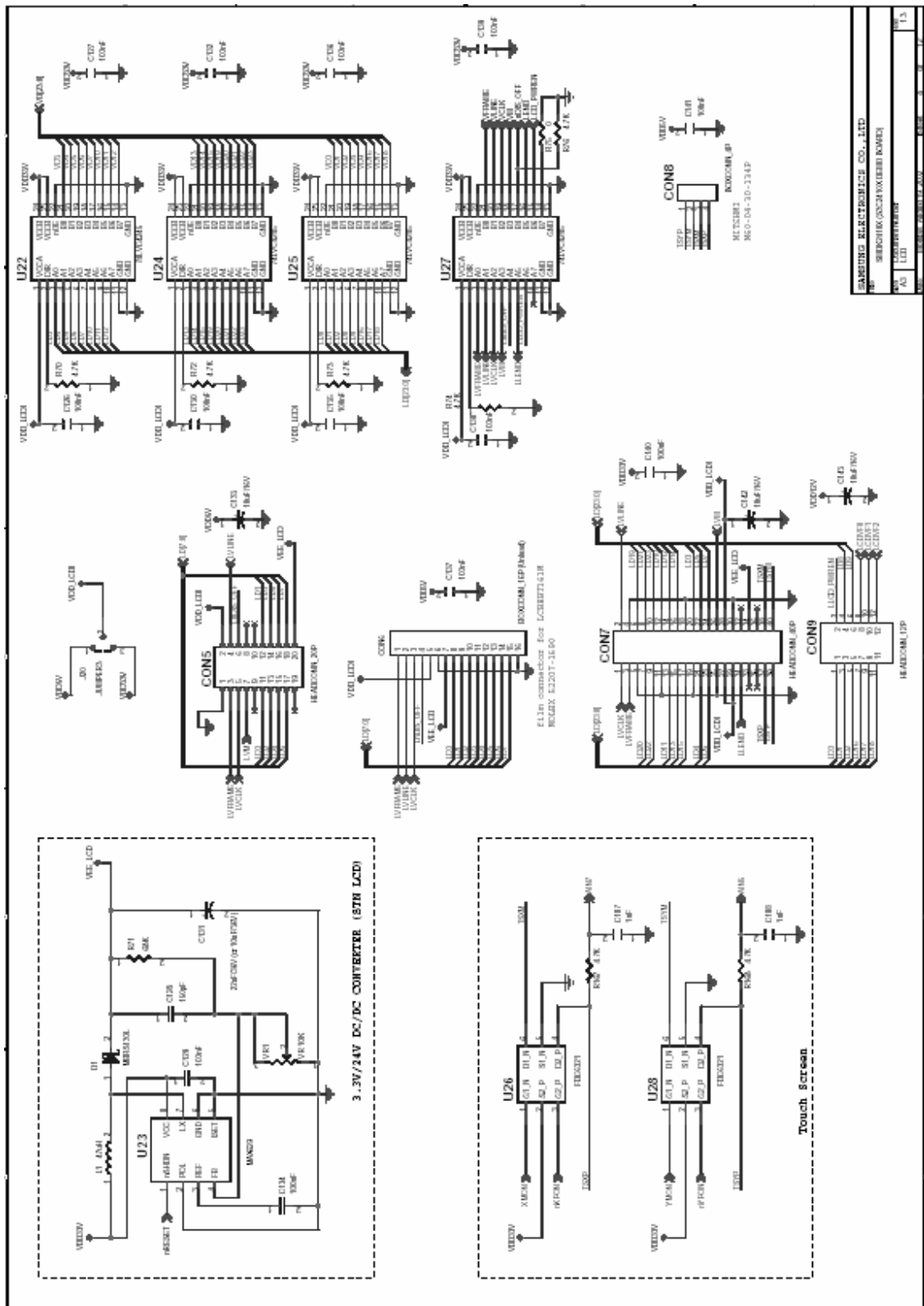


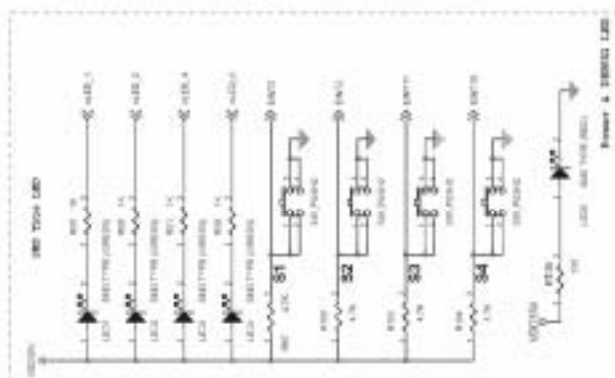
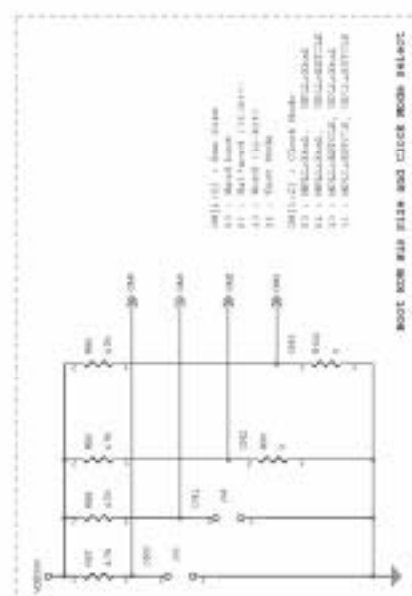
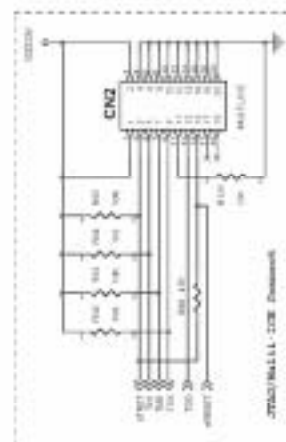
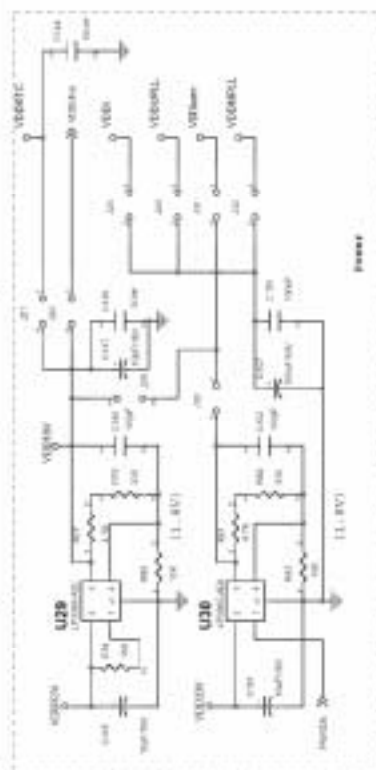






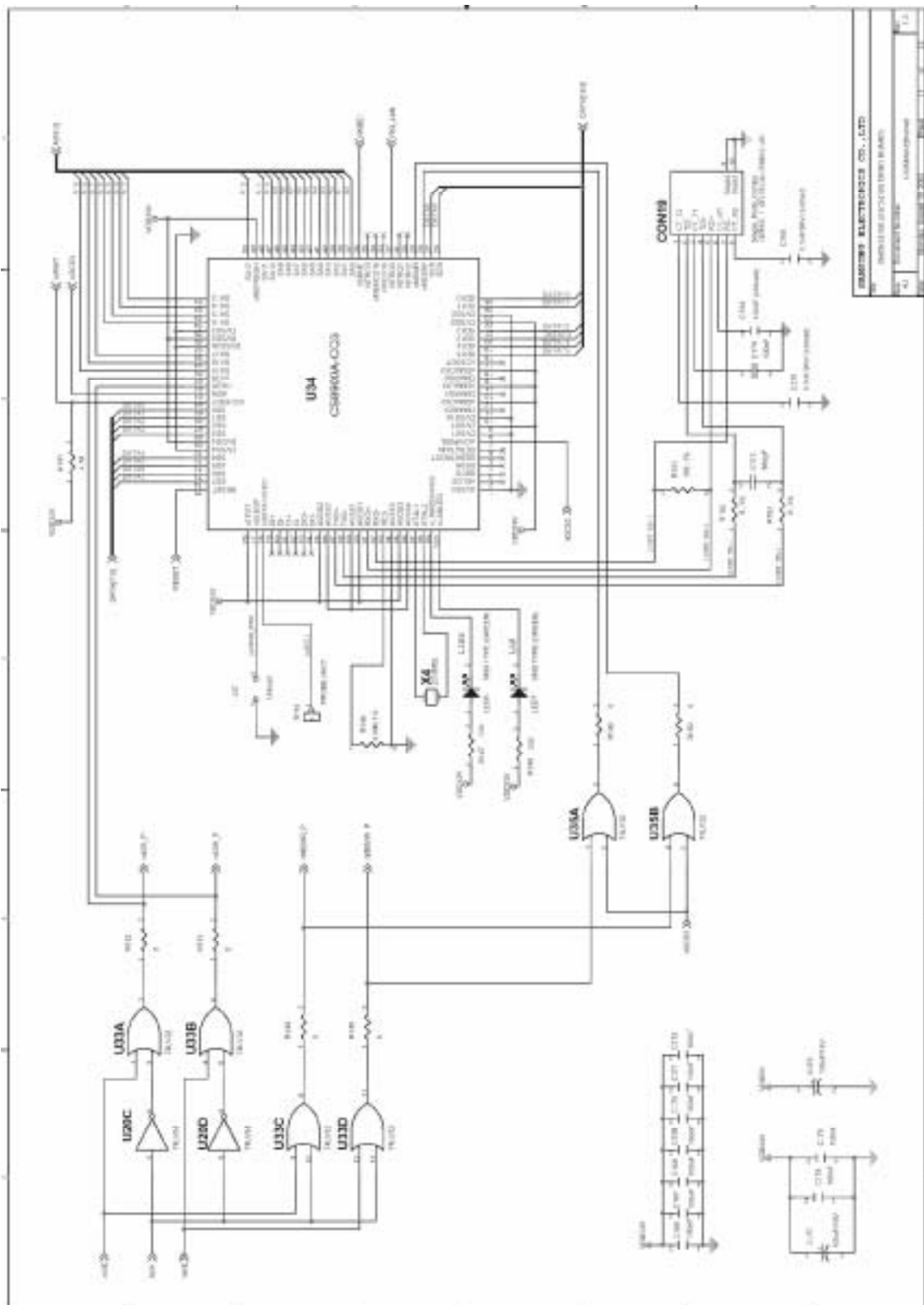


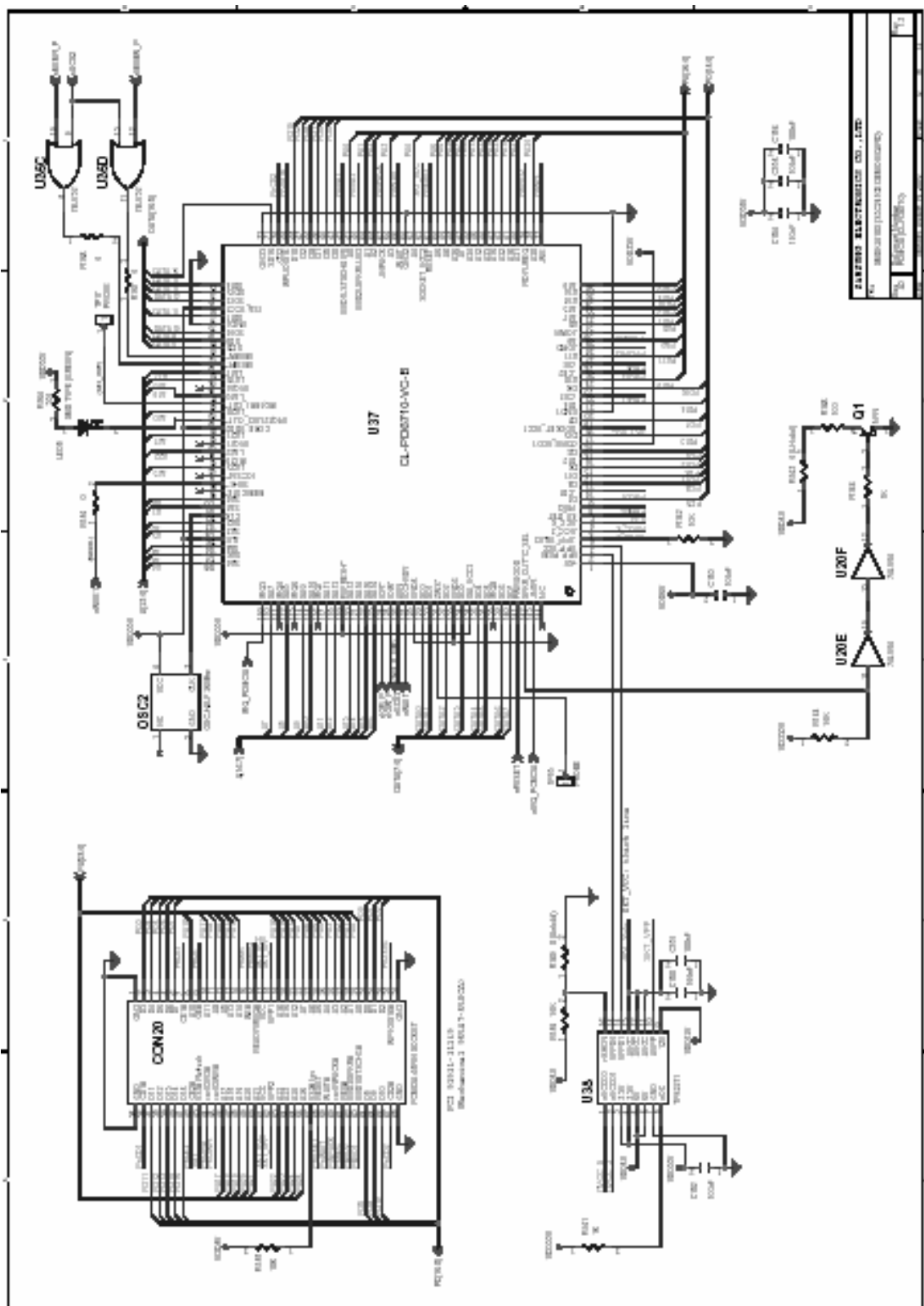




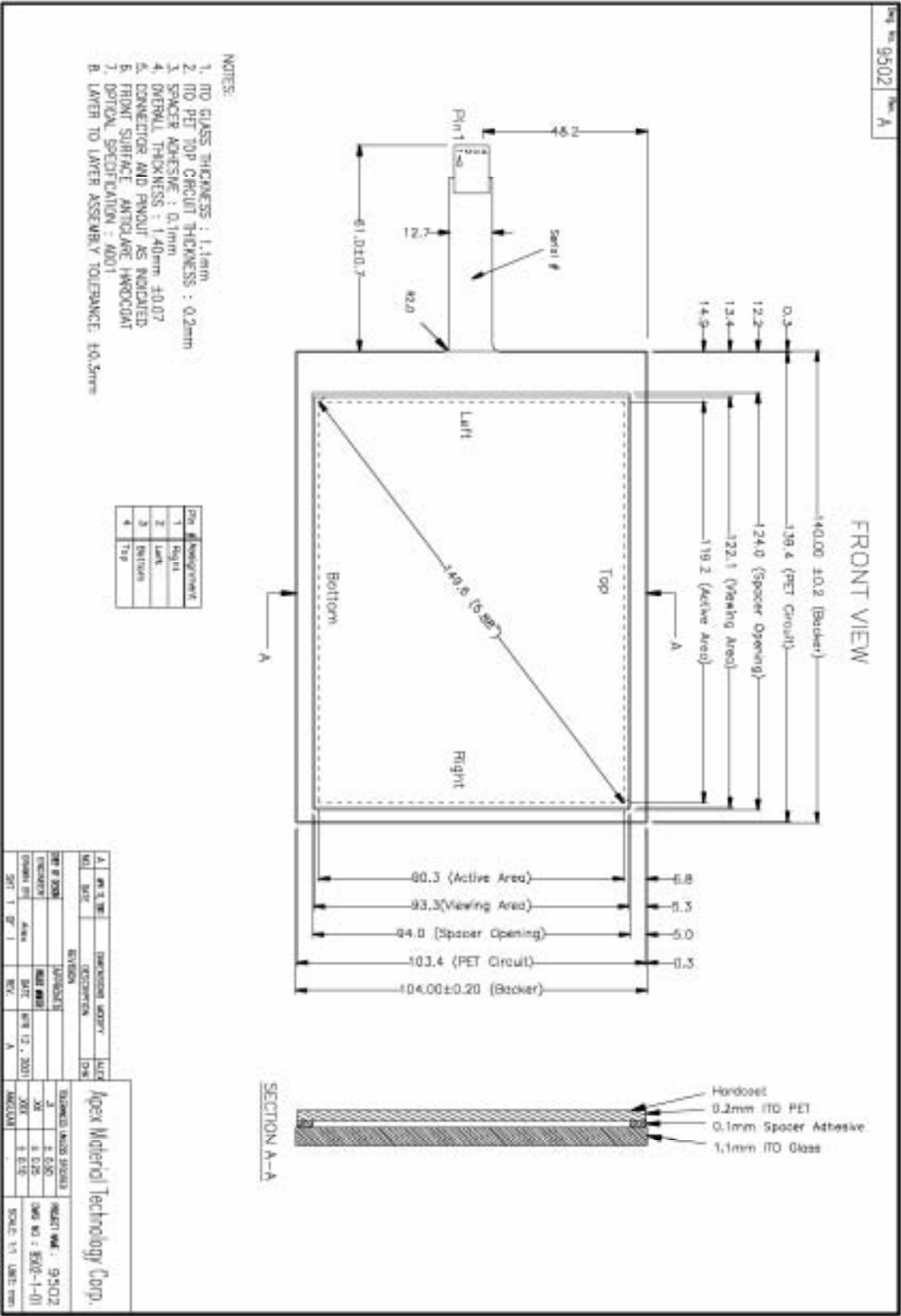




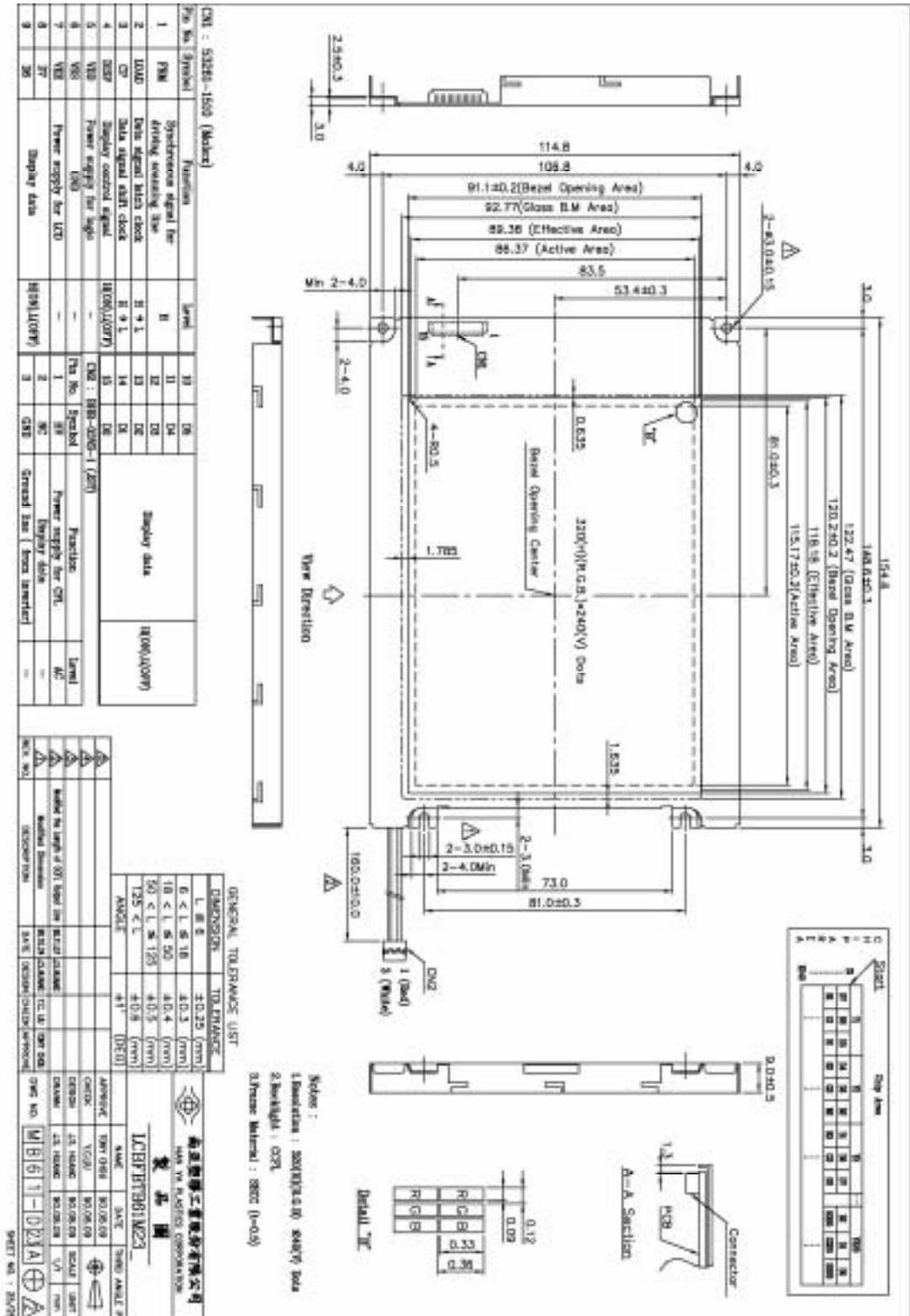




附錄 D Touch Panel 機構圖



附錄 E LCBFBTB61M23 5.7 Color F-STN 機構圖





# CS8900A

Product Data Sheet

## FEATURES

- Single-Chip IEEE 802.3 Ethernet Controller with Direct ISA-Bus Interface
- Maximum Current Consumption = 55 mA (5V Supply)
- 3 V Operation
- Industrial Temperature Range
- Comprehensive Suite of Software Drivers Available
- Efficient PacketPage™ Architecture Operates in I/O and Memory Space, and as DMA Slave
- Full Duplex Operation
- On-Chip RAM Buffers Transmit and Receive Frames
- 10BASE-T Port with Analog Filters, Provides:
  - Automatic Polarity Detection and Correction
- AUI Port for 10BASE2, 10BASE5 and 10BASE-F
- Programmable Transmit Features:
  - Automatic Re-transmission on Collision
  - Automatic Padding and CRC Generation
- Programmable Receive Features:
  - Stream Transfer™ for Reduced CPU Overhead
  - Auto-Switch Between DMA and On-Chip Memory
  - Early Interrupts for Frame Pre-Processing
  - Automatic Rejection of Erroneous Packets
- EEPROM Support for Jumperless Configuration
- Boot PROM Support for Diskless Systems
- Boundary Scan and Loopback Test
- LED Drivers for Link Status and LAN Activity
- Standby and Suspend Sleep Modes

## Crystal LAN™ ISA Ethernet Controller

## DESCRIPTION

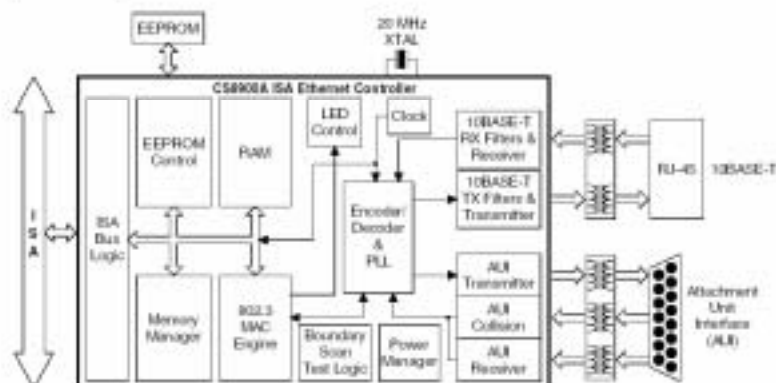
The CS8900A is a low-cost Ethernet LAN Controller optimized for Industry Standard Architecture (ISA) Personal Computers. Its highly-integrated design eliminates the need for costly external components required by other Ethernet controllers. The CS8900A includes on-chip RAM, 10BASE-T transmit and receive filters, and a direct ISA-Bus interface with 24 mA Drivers.

In addition to high integration, the CS8900A offers a broad range of performance features and configuration-options. Its unique PacketPage architecture automatically adapts to changing network traffic patterns and available system resources. The result is increased system efficiency.

The CS8900A is available in a 100-pin TQFP package ideally suited for small form-factor, cost-sensitive Ethernet applications. With the CS8900A, system engineers can design a complete Ethernet circuit that occupies less than 1.5 square inches (10 sq. cm) of board space.

## ORDERING INFORMATION

CS8900A-CQ	0° to 70° C	5V	TQFP-100
CS8900A-IQ	-40° to 85° C	5V	TQFP-100
CS8900A-CQ3	0° to 70° C	3.3V	TQFP-100
CS8900A-IQ3	-40° to 85° C	3.3V	TQFP-100
CRD8900A-1			Evaluation Kit



## CIRRUS LOGIC PRODUCT DATASHEET

## 附錄 G UDA1341TS Data Sheet(Audio Chip)

### Economy audio CODEC for MiniDisc (MD) home stereo and portable applications

UDA1341TS

## 1 FEATURES

### 1.1 General

- Low power consumption
- 3.0 V power supply
- 256f<sub>s</sub>, 384f<sub>s</sub> or 512f<sub>s</sub> system clock frequencies (f<sub>sys</sub>)
- Small package size (SSOP28)
- Partially pin compatible with UDA1340M and UDA1344TS
- Fully integrated analog front end including digital AGC
- ADC plus integrated high-pass filter to cancel DC offset
- ADC supports 2 V (RMS value) input signals
- Overload detector for easy record level control
- Separate power control for ADC and DAC
- No analog post filter required for DAC
- Easy application
- Functions controllable via I<sup>2</sup>S-interface.

### 1.2 Multiple format data interface

- I<sup>2</sup>S-bus, MSB-justified and LSB-justified format compatible
- Three combinational data formats with MSB data output and LSB 16, 18 or 20 bits data input
- 1f<sub>s</sub> input and output format data rate.

### 1.3 DAC digital sound processing

- Digital dB-linear volume control (low microcontroller load)
- Digital tone control, bass boost and treble
- Digital de-emphasis for 32, 44.1 or 48 kHz audio sample frequencies (f<sub>s</sub>)
- Soft mute.

### 1.4 Advanced audio configuration

- DAC and ADC polarity control
- Two channel stereo single-ended input configuration
- Microphone input with on-board PGA



- Optional differential input configuration for enhanced ADC sound quality
- Stereo line output (under microcontroller volume control)
- Digital peak level detection
- High linearity, dynamic range and low distortion.

## 2 GENERAL DESCRIPTION

The UDA1341TS is a single-chip stereo Analog-to-Digital Converter (ADC) and Digital-to-Analog Converter (DAC) with signal processing features employing bitstream conversion techniques. Its fully integrated analog front end, including Programmable Gain Amplifier (PGA) and a digital Automatic Gain Control (AGC). Digital Sound Processing (DSP) featuring makes the device an excellent choice for primary home stereo MiniDisc applications, but by virtue of its low power and low voltage characteristics it is also suitable for portable applications such as MD/CD boomboxes, notebook PCs and digital video cameras.

The UDA1341TS is similar to the UDA1340M and the UDA1344TS but adds features such as digital mixing of two input signals and one channel with a PGA and a digital AGC.

The UDA1341TS supports the I<sup>2</sup>S-bus data format with word lengths of up to 20 bits, the MSB-justified data format with word lengths of up to 20 bits, the LSB-justified serial data format with word lengths of 16, 18 and 20 bits and three combinations of MSB data output combined with LSB 16, 18 and 20 bits data input. The UDA1341TS has DSP features in playback mode like de-emphasis, volume, bass boost, treble and soft mute, which can be controlled via the I<sup>2</sup>S-interface with a microcontroller.

## 3 ORDERING INFORMATION

TYPE NUMBER	PACKAGE		
	NAME	DESCRIPTION	VERSION
UDA1341TS	SSOP28	plastic shrink small outline package; 28 leads; body width 5.3 mm	SOT341-1



# Economy audio CODEC for MiniDisc (MD) home stereo and portable applications

UDA1341TS

## 4 QUICK REFERENCE DATA

SYMBOL	PARAMETER	CONDITIONS	MIN.	TYP.	MAX.	UNIT
<b>Supplies</b>						
$V_{DDA(ADC)}$	ADC analog supply voltage		2.4	3.0	3.6	V
$V_{DDA(DAC)}$	DAC analog supply voltage		2.4	3.0	3.6	V
$V_{DDQ}$	digital supply voltage		2.4	3.0	3.6	V
$I_{DDA(ADC)}$	ADC analog supply current	operation mode	—	12.5	—	mA
		ADC power-down	—	6.0	—	mA
$I_{DDA(DAC)}$	DAC analog supply current	operation mode	—	7.0	—	mA
		DAC power-down	—	50	—	µA
$I_{DDQ}$	digital supply current	operation mode	—	7.0	—	mA
$T_{amb}$	operating ambient temperature		−20	—	+85	°C
<b>Analog-to-digital converter</b>						
$V_{i(rms)}$	input voltage (RMS value)	notes 1 and 2	—	1.0	—	V
(THD + N)/S	total harmonic distortion-plus-noise to signal ratio	stand-alone mode	—	—	—	—
		0 dB	—	−85	−80	dB
		−60 dB; A-weighted	—	−37	−33	dB
		double differential mode	—	—	—	—
S/N	signal-to-noise ratio	0 dB	—	−90	−85	dB
		−60 dB; A-weighted	—	−40	−36	dB
S/N	signal-to-noise ratio	$V_i = 0$ V; A-weighted	—	97	—	dB
		stand-alone mode	—	100	—	dB
		double differential mode	—	100	—	dB
$\alpha_{OS}$	channel separation		—	100	—	dB
<b>Programmable gain amplifier</b>						
(THD + N)/S	total harmonic distortion-plus-noise to signal ratio	1 kHz; $f_s = 44.1$ kHz	—	—	—	—
		0 dB	—	−85	—	dB
		−60 dB; A-weighted	—	−37	—	dB
S/N	signal-to-noise ratio	$V_i = 0$ V; A-weighted	—	95	—	dB
<b>Digital-to-analog converter</b>						
$V_{o(rms)}$	output voltage (RMS value)	supply voltage = 3 V; note 3	—	900	—	mV
(THD+N)/S	total harmonic distortion-plus-noise to signal ratio	0 dB	—	−91	−86	dB
		−60 dB; A-weighted	—	−40	—	dB
S/N	signal-to-noise ratio	code = 0; A-weighted	—	100	—	dB
$\alpha_{DA}$	channel separation		—	100	—	dB

### Notes

- The ADC inputs can be used in a 2 V (RMS value) input signal configuration when a resistor of 12 kΩ is used in series with the inputs and 1 or 2 V (RMS value) input signal operation can be selected via the Input Gain Switch (IGS).
- The ADC input signal scales inversely proportional with the power supply voltage.
- The DAC output voltage scales linear with the DAC analog supply voltage.

附錄 H SST 39VF160 腳位圖(Nor Flash)

16 Mbit Multi-Purpose Flash  
SST39LF160 / SST39VF160



Data Sheet

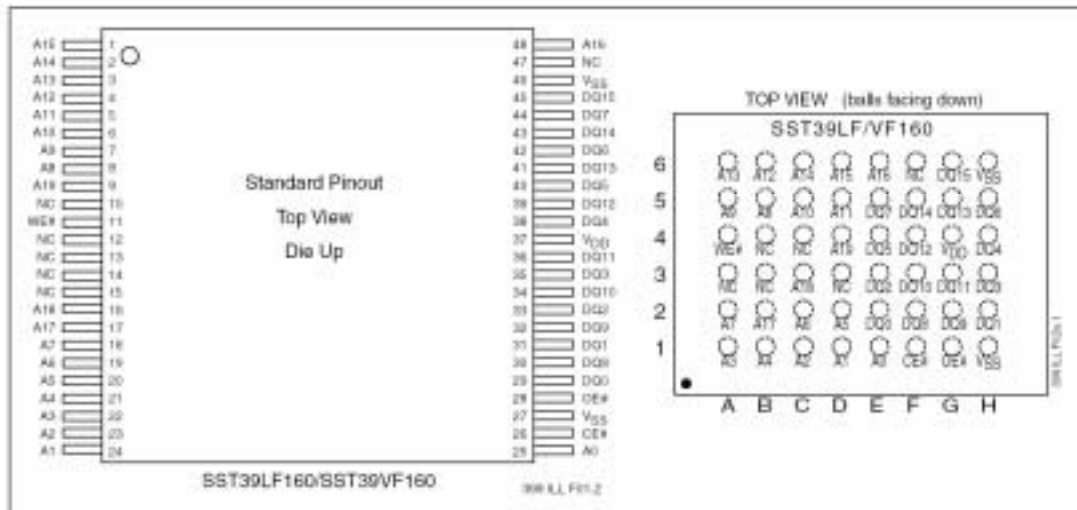


FIGURE 1: PIN ASSIGNMENTS FOR 48-LEAD TSOP AND 48-BALL TFBGA

TABLE 2: PIN DESCRIPTION

Symbol	Pin Name	Functions
A <sub>15</sub> -A <sub>0</sub>	Address Inputs	To provide memory addresses. During Sector-Erase A <sub>15</sub> -A <sub>11</sub> address lines will select the sector. During Block-Erase, A <sub>15</sub> -A <sub>10</sub> address line will select the block.
DQ <sub>15</sub> -DQ <sub>0</sub>	Data Input/output	To output data during Read cycles and receive input data during Write cycles. Data is internally latched during a Write cycle. The outputs are in tri-state when CE# or OE# is high.
CE#	Chip Enable	To activate the device when CE# is low
OE#	Output Enable	To gate the data output buffers
WE#	Write Enable	To control the Write operations
V <sub>DD</sub>	Power Supply	To provide power supply voltage: 3.0-3.6V for SST39LF160 2.7-3.6V for SST39VF160
V <sub>SS</sub>	Ground	
NC	No Connection	Unconnected pins

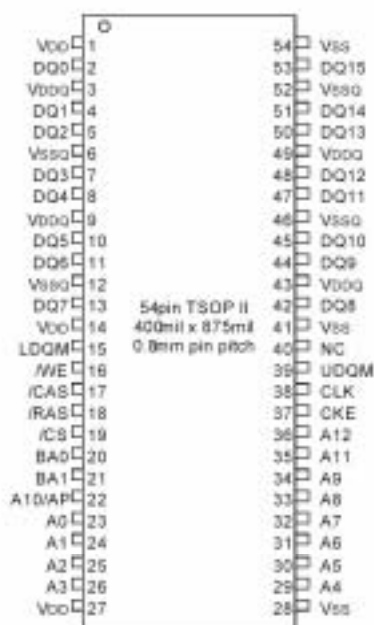
72-3398

## 附錄 I Hynix HY57V561620 腳位圖(SDRAM)

**hynix**

**HY57V561620B(L/S)T**

### PIN CONFIGURATION



### PIN DESCRIPTION

PIN	PIN NAME	DESCRIPTION
CLK	Clock	The system clock input. All other inputs are registered to the SDRAM on the rising edge of CLK.
CKE	Clock Enable	Controls internal clock signal and when deactivated, the SDRAM will be one of the states among power down, suspend or self refresh.
CS	Chip Select	Enables or disables all inputs except CLK, CKE, UDQM and LDQM.
BA0, BA1	Bank Address	Selects bank to be activated during $\overline{\text{RAS}}$ activity. Selects bank to be read/written during $\overline{\text{CAS}}$ activity.
A0 ~ A12	Address	Row Address : RA0 ~ RA12, Column Address : CA0 ~ CA8 Auto-precharge flag : A10
$\overline{\text{RAS}}$ , $\overline{\text{CAS}}$ , $\overline{\text{WE}}$	Row Address Strobe, Column Address Strobe, Write Enable	$\overline{\text{RAS}}$ , $\overline{\text{CAS}}$ and $\overline{\text{WE}}$ define the operation. Refer function truth table for details.
UDQM, LDQM	Data Input/Output Mask	Controls output buffers in read mode and masks input data in write mode.
DQ0 ~ DQ15	Data Input/Output	Multiplexed data input / output pin.
VDD/VSS	Power Supply/Ground	Power supply for internal circuits and input buffers.
VDDQ/VSSQ	Data Output Power/Ground	Power supply for output buffers.
NC	No Connection	No connection.

## 附錄 J SAMSUNG K9F1208 腳位圖(Nand Flash)

K9F1208Q0B  
K9F1208D0B  
K9F1208U0B

**Advance  
FLASH MEMORY**

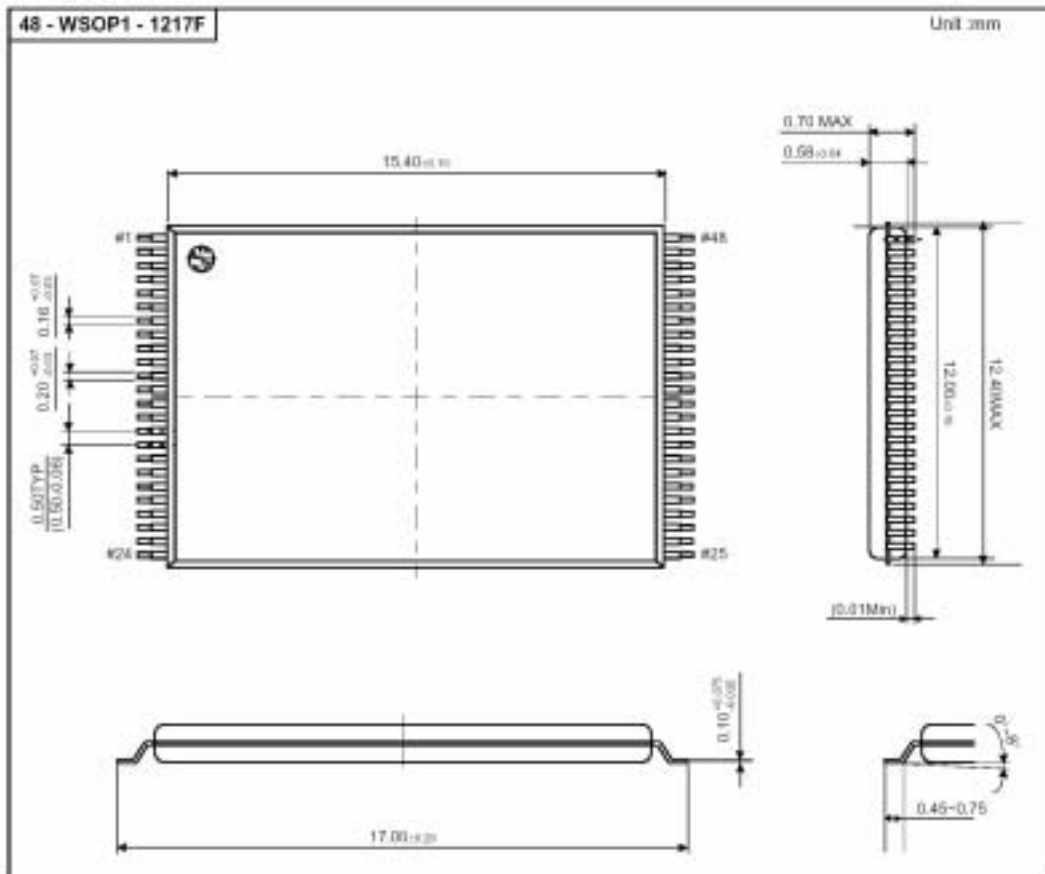
### PIN CONFIGURATION (WSOP1)

K9F1208U0B-VCB0,FCB0,VIB0,FIB0



### PACKAGE DIMENSIONS

48-PIN LEAD PLASTIC VERY VERY THIN SMALL OUT-LINE PACKAGE TYPE (I)



**SAMSUNG**  
ELECTRONICS

# PIN DESCRIPTION

Pin Name	Pin Function
I/O <sub>0</sub> ~ I/O <sub>7</sub> (K9F1208X0B)	<b>DATA INPUTS/OUTPUTS</b> The I/O pins are used to input command, address and data, and to output data during read operations. The I/O pins float to high-z when the chip is deselected or when the outputs are disabled.
CLE	<b>COMMAND LATCH ENABLE</b> The CLE input controls the activating path for commands sent to the command register. When active high, commands are latched into the command register through the I/O ports on the rising edge of the WE signal.
ALE	<b>ADDRESS LATCH ENABLE</b> The ALE input controls the activating path for address to the internal address registers. Addresses are latched on the rising edge of WE with ALE high.
$\overline{\text{CE}}$	<b>CHIP ENABLE</b> The CE input is the device selection control. When the device is in the Busy state, $\overline{\text{CE}}$ high is ignored, and the device does not return to standby mode in program or erase operation. Regarding CE control during read operation, refer to "Page read" section of Device operation.
$\overline{\text{RE}}$	<b>READ ENABLE</b> The RE input is the serial data-out control, and when active drives the data onto the I/O bus. Data is valid tREA after the falling edge of RE which also increments the internal column address counter by one.
$\overline{\text{WE}}$	<b>WRITE ENABLE</b> The WE input controls writes to the I/O port. Commands, address and data are latched on the rising edge of the WE pulse.
$\overline{\text{WP}}$	<b>WRITE PROTECT</b> The WP pin provides inadvertent write/erase protection during power transitions. The internal high voltage generator is reset when the WP pin is active low.
$\overline{\text{R/B}}$	<b>READY/BUSY OUTPUT</b> The R/B output indicates the status of the device operation. When low, it indicates that a program, erase or random read operation is in process and returns to high state upon completion. It is an open drain output and does not float to high-z condition when the chip is deselected or when outputs are disabled.
V <sub>CCQ</sub>	<b>OUTPUT BUFFER POWER</b> V <sub>CCQ</sub> is the power supply for Output Buffer. V <sub>CCQ</sub> is internally connected to V <sub>CC</sub> , thus should be biased to V <sub>CC</sub> .
V <sub>CC</sub>	<b>POWER</b> V <sub>CC</sub> is the power supply for device.
V <sub>SS</sub>	<b>GROUND</b>
N.C	<b>NO CONNECTION</b> Lead is not internally connected.
DNU	<b>DO NOT USE</b> Leave it disconnected.

**NOTE :** Connect all V<sub>CC</sub> and V<sub>SS</sub> pins of each device to common power supply outputs.  
Do not leave V<sub>CC</sub> or V<sub>SS</sub> disconnected.

## 誌謝

僅將誌謝獻給期盼我順利畢業的家人及一路走來支持我的朋友。

在二〇〇五年六月、本論文終於得以順利付梓，最重要的是感謝黃秀園教授的悉心指導論文撰寫，時常與同學們討論著大夥的目標與方向，也常常鼓勵著我們，二年研究生涯中承載了滿滿的回憶，回想睡研究室的日子，只有一句話好說：睡研究室的時候不是太熱、就是太冷、另外蚊子也多。在這邊也是希望接下來的學弟妹也可以有那份刻苦的精神，雖然常遇到有些原文出怎麼看也看不懂的窘境，交差的日子也一天一天逼近，但是到了最後，總會有方法把要準備的報告想辦法用出來，我想這也是一種學習吧！在此、也感謝俊廷、家修、芳青、振展、致維、昇鴻、振彬、千瑜等同窗好友們，因為有你們使我的研究生活變得十分有趣。這兩年在黃秀園教授門下，對於論文題目的訂定及研究方法方面，有讓老師為我擔心過，但對於一開始論文內容無情的批判及耐心的指導，也是讓我完成這篇論文的動力，直到最後這篇論文能順利完成。最後，感謝家人一直以來的支持和體諒，身為家中最長的兒子，我深刻體認父母對我的關懷與期許，未來的日子，我將期許自己、盡最大的努力更加精進。