

第二章 輔以 CPLD 之嵌入式數位訊號處理系統

2.1 簡介

嵌入式系統(embedded system)是電腦軟體與硬體的綜合體，也可以涵蓋機械或其他附屬裝置。整個系統設計的目的是在於滿足某種特殊功能，以符合使用者的需要。例如：顯示卡、網路卡、硬碟等，每一種產品都是高運作效能的硬體平台，而內部軟體功能的規劃，則必須視使用者的用途而定[1]。

嵌入式系統是近年來微處理器快速發展後的產物。隨著微處理器的運算速度益增，嵌入式系統的數量與應用領域也日漸增長。其中，結合數位訊號處理器(digital signal processor, DSP)的嵌入式系統，更是目前應用廣泛且極具市場潛力的一項技術。DSP 的應用範圍包含馬達控制、噪音消除、無線通訊等各式各樣的領域，幾乎在所有的高科技產品上，皆可覓見數位訊號處理器的蹤影[2]。

本論文將發展一嵌入式數位訊號處理系統。以德州儀器公司(Texas Instrument)所製造的 TMS320C6711B 為核心，輔以類比/數位轉換器(A/D converter, ADC)、數位/類比轉換器(D/A converter, DAC)、複式可規劃邏輯裝置(complex programmable logical devices, CPLD)等週邊，讓使用者透過個人電腦的人機介面，撰寫程式語言來設計符合特定用途的控制架構。

本章節將詳細介紹其中的週邊元件，例如：類比/數位轉換器、數位/類比轉換器、CPLD 以及主管運算核心的 DSP。並對於個別的硬體架構加以說明。

2.2 系統元件架構

本論文所發展的嵌入式數位訊號處理系統，主要是藉由類比/數位轉換器將類比訊號轉成數位訊號，然後藉著 CPLD 的控制，將所有經過轉換後的數位資料儲存在靜態隨機存取記憶體(static random access memory, SRAM)中，等待 DSP 的讀取。接著經過 DSP 的運算後，可以將計算出的數值，輸出到具有脈波寬度調變(pulse width modulation, PWM)功能的 CPLD 上，以便控制外部電力電子轉換器的半導體開關元件；或者是輸出到數位/類比轉換器，供使用者觀測與偵錯使用。

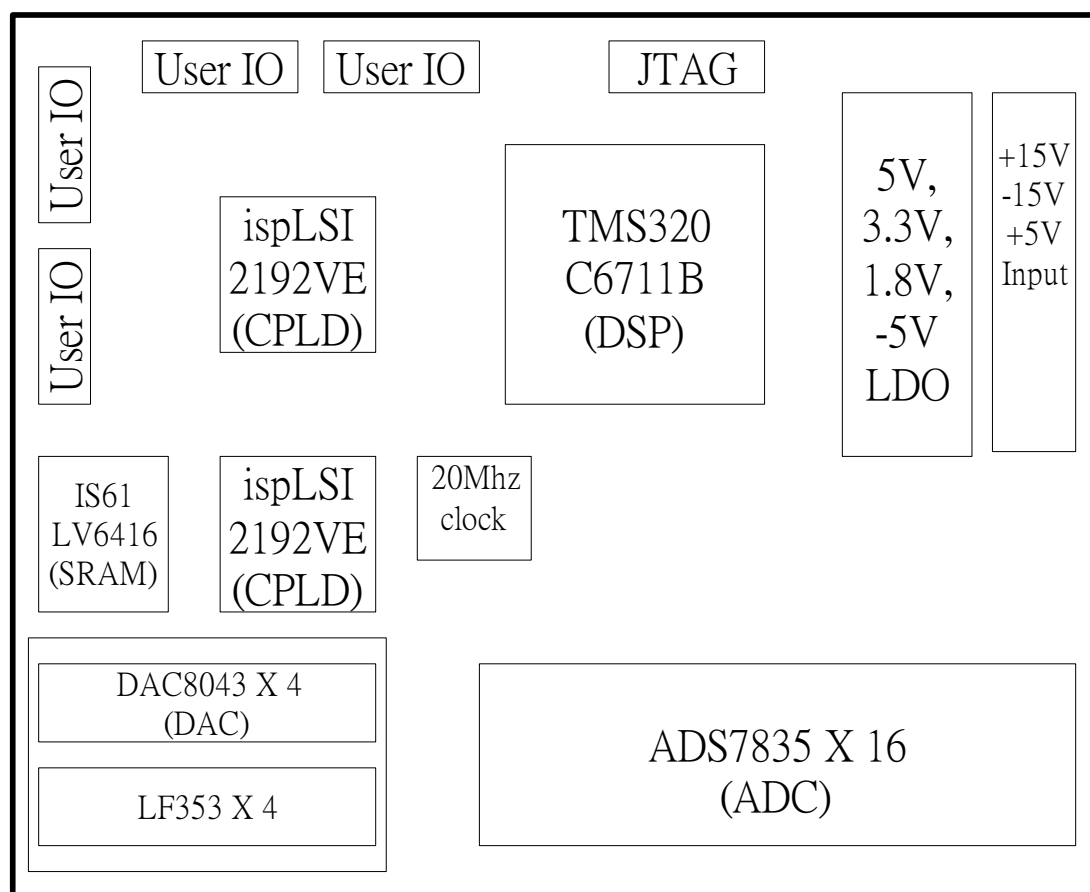


圖 2.1 嵌入式數位訊號處理系統硬體架構圖

圖 2.1 為本論文所發展的嵌入式數位訊號處理系統之硬體架構

圖。表 2.1 列出系統上的積體電路元件名稱及產品型號。整個系統需由外部供給 15V、-15V 和 5V 的直流電壓，經過 LDO(linear and low dropout regulator, LDO)的轉換，提供 5V、3.3V、1.8V 的直流電壓給各個不同功能的積體電路使用（如圖 2.2 所示）。CPLD 的時脈輸入和 DSP 的外部時脈則由 20MHz 的石英震盪器所提供，使得 CPLD 可以依據硬體需求除頻得出所必要的工作頻率，並且得以驅動 DSP 的 PLL 介面產生四倍或一倍的內部工作頻率(internal CPU clock)[3]。

表 2.1 嵌入式系統上的積體電路元件名稱及產品型號對照表

積體電路元件名稱	產品型號
DSP	TMS320C6711B
CPLD	ispLSI2192VE
ADC	ADS7835
DAC	DAC8043
DAC 後級的 OP	LF353
SRAM	IS61LV6416
5V LDO	LM1086IS-5.0
3.3V LDO	LM1086IS-3.3
1.8V LDO	LM1117-1.8
-5V LDO	LM2990S-5.0
Zener Diode	1N4148

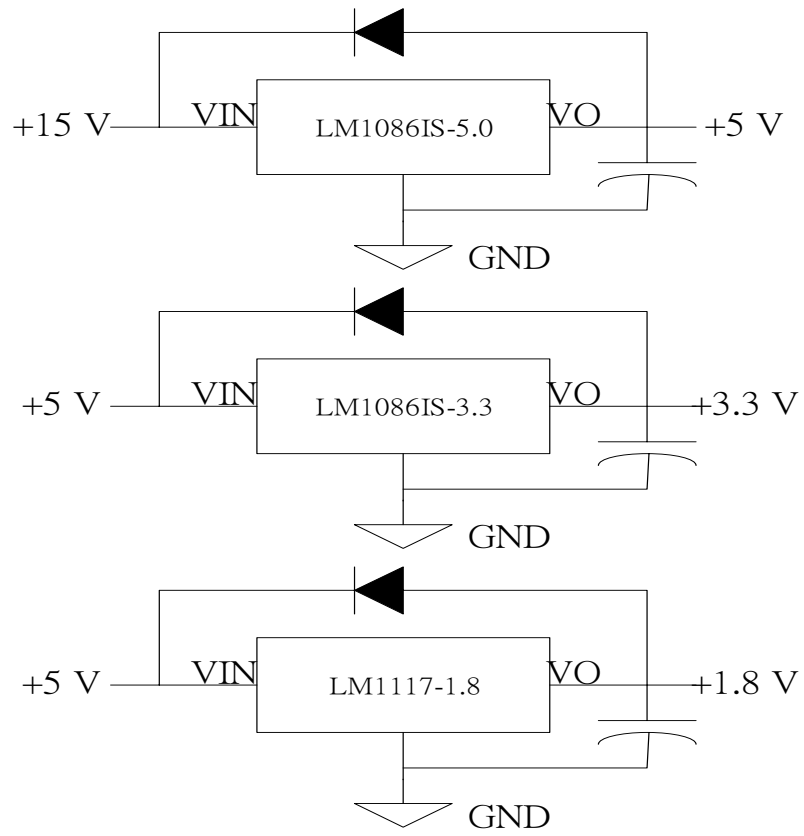


圖 2.2 5V、3.3V、1.8V 直流電壓產生圖

2.3 類比/數位轉換器與數位/類比轉換器

類比/數位轉換器與數位/類比轉換器在整個數位訊號處理系統裡，佔了很重要的位置。就類比/數位轉換器而言，其訊號轉換時間與轉換後的資料精度，是選擇一個類比/數位轉換器的參考準則。而良好的數位/類比轉換器，可以在量測和偵錯上，節省很多的時間。所以，對於一個必須具備即時性(real time)且便於使用者發展的嵌入式數位訊號處理系統，選擇合適的類比/數位轉換器和數位/類比轉換器是嵌入式硬體設計人員所應注重之處。

本系統選擇 ADS7835 和 DAC8043 作為類比/數位轉換器和數位/類比轉換器。其中的功能與特性將於下面兩個小節敘述。

2.3.1 ADS7835 簡介

ADS7835 是由 Burr-Brown 公司製造，具有 12 位元精度，以串列傳輸的類比/數位轉換器。外部需供給 5V 直流電壓，內部以 2.5V 為參考位準，可接受的輸入電壓範圍為 2.5V 到-2.5V。當操作在最高的時脈輸入(8MHz)時，大約只有 17.5mW 的功率消耗。所以低功率消耗、體積小、和轉換速度快等優點，讓 ADS7835 成為嵌入式系統選擇類比/數位轉換器時一項極佳的選擇。其內部的訊號流程圖如圖 2.3 所示。

ADS7835 基本的電路配置如圖 2.4 所示。當類比輸入 2.5V 到-2.5V 之間的電壓訊號時，經過 ADS7835 轉換後，將會變成以 2 補數型式的數位編碼。表 2.2 詳細地列出類比輸入電壓對照理想的數位輸出編碼。輸入電壓必須介於 2.5V 到-2.5V 之間，其輸出值最大是 7FF (16 位元編碼)，最小是 800。但是 ADS7835 所允許的最大輸入振幅為正負 5.3V，所以為了避免 ADS7835 損壞，本系統在類比/數位轉換器的類比訊號輸入腳位上，連接了兩個 5V 的 Zener 二極體 1N4148 (參見

圖 2.4)，來防止輸入訊號的電壓過大。另外，顧慮到轉換後的精密度及輸入訊號電壓的限制，在類比/數位轉換器前級，使用適當的增益電路來箝制輸入電壓的大小，是在實際操作時必須設計的一環。附錄 A 介紹了本系統實作三相鎖相迴路系統時，在類比/數位轉換器前級所附加之市電偵測的增益電路。

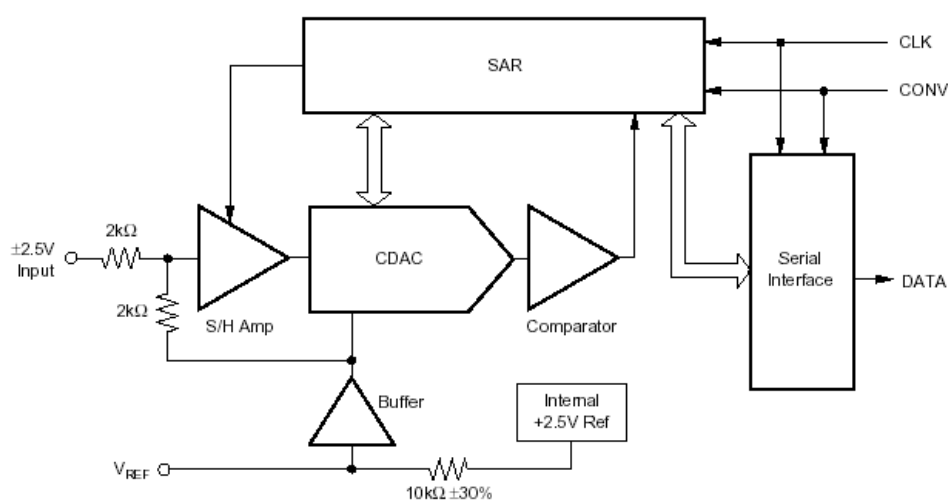


圖 2.3 ADS7835 內部訊號流程圖[4]

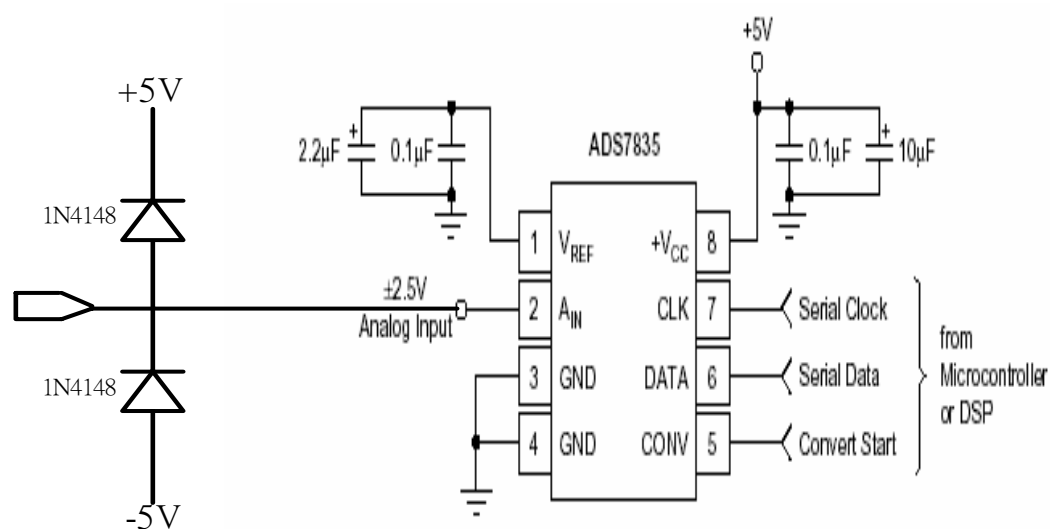


圖 2.4 ADS7835 基本電路配置圖[4]

表 2.2 理想的輸入電壓和數位編碼輸出對照表[4]

DESCRIPTION	ANALOG INPUT	DIGITAL OUTPUT	
Full-Scale Input Range Least Significant Bit (LSB) ⁽²⁾	$-V_{REF}$ to $+V_{REF}$ ⁽¹⁾ $(-V_{REF}$ to $+V_{REF})/4096$	BINARY TWO'S COMPLEMENT	
		BINARY CODE	HEX CODE
+Full Scale	2.49878V	0111 1111 1111	7FF
Mid-Scale	0V	0000 0000 0000	000
Mid-Scale -1LSB	-0.00122V	1111 1111 1111	FFF
-Full Scale	-2.49878V	1000 0000 0000	800

ADS7835 需要一外部時脈使轉換程序啟動，此外部時脈操作頻率必須介於 200KHz 到 8MHz 之間。當 ADS7835 的 CONV 接腳接收到高電位時，表示類比/數位轉換器執行取樣(sample)的工作；當 CONV 接腳變成接收到低電位時，轉換器除了將取樣而來的類比輸入訊號轉換成數位編碼外，還依據外部時脈的計數，從最高位元(most significant bit, MSB)依序把取樣資料以每一時脈一位元的型式傳輸出去。整個轉換過程的時序圖如圖 2.5 所示。在整個轉換過程的前兩個時脈週期用來把取樣的類比輸入訊號轉換成數位編碼，從第三個時脈週期開始，才依序傳輸最高位元到最低位元(least significant bit, LSB)。整個過程從 CONV 訊號下緣觸發開始，大約會花費 14 個時脈週期的時間。

相較於其他並列傳輸的類比/數位轉換器而言，串列傳輸的方式是比較浪費轉換時間。況且使用串列傳輸的類比/數位轉換器，還得在接收數位資料後，再進行串列轉並列的動作。但是本論文所發展的系統，為了解決許多數位訊號處理系統，類比/數位轉換器個數普遍不足，無法實現新穎控制策略的缺點。特別設計了 16 組類比/數位轉換器擷取外部訊號，透過系統中的 CPLD，可以同時取樣 16 組外界類比訊號輸入。为了不使這 16 組訊號的傳輸，佔用系統硬體上太大的面積，所以選擇以串列傳輸的 ADS7835 作為本系統的類比/數位轉

換器。以本論文的操作環境為例，使用 5MHz 作為 ADS7835 的工作頻率，一筆取樣資料必須花費 14 個時脈週期的時間。可得轉換時間 $T_{converse}$ 為：

$$T_{converse} = \frac{1}{5M} \times 14 = 2.8\mu s \quad (\text{式 2.1})$$

如此一來，只需花費 2.8 μ s 的時間即可同步完成 16 組類比訊號的轉換。再搭配系統中運算功能強大的 DSP，足可實現電力電子領域中較為複雜且需大量數值運算的控制架構。

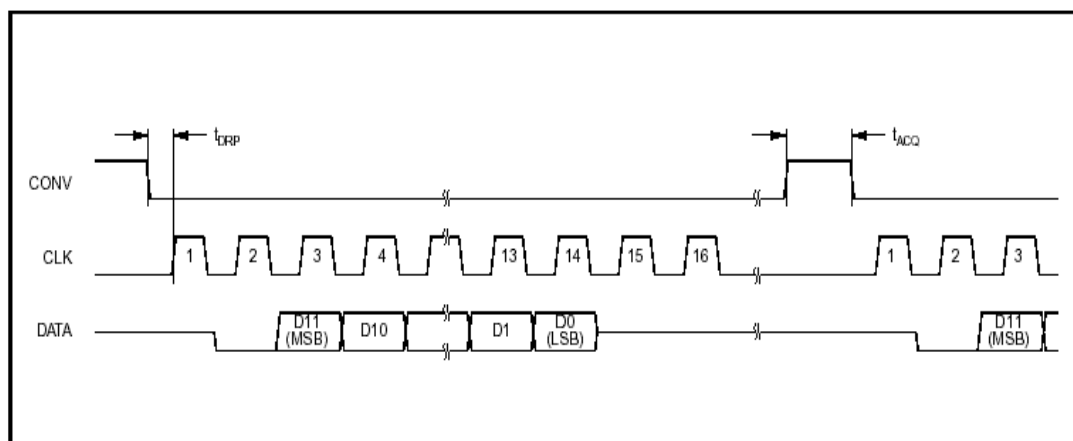


圖 2.5 ADS7835 轉換時序圖[4]

2.3.2 DAC8043 簡介

DAC8043 是由 Burr-Brown 公司製造的 12 位元串列輸入數位/類比轉換器。其特點除了串列輸入外，還具有雙倍緩衝(buffering)、極佳的類比轉換特性。並且允許使用者依照系統的需求，控制數位訊號的載入及類比訊號的輸出。

由圖2.6的內部功能方塊圖可知，DAC8043包含一個12位元串列

輸入並列輸出的移位暫存器、一個12位元的DAC暫存器、一個12位元的數位/類比轉換器和元件的控制邏輯。串列的數位資料隨著驅動DAC8043之外部時脈，依序輸入12位元的移位暫存器中。當移位暫存器中12位元的容量填滿之後，控制LD腳位的訊號，從高電位變換為低電位即可將移位暫存器中的資料存入DAC暫存器，再經過數位/類比轉換器輸出類比訊號。如果LD腳位的訊號，又從低電位變換為高電位時，則移位暫存器又可以接收新的串列輸入，以更新暫存器所儲存的資料。

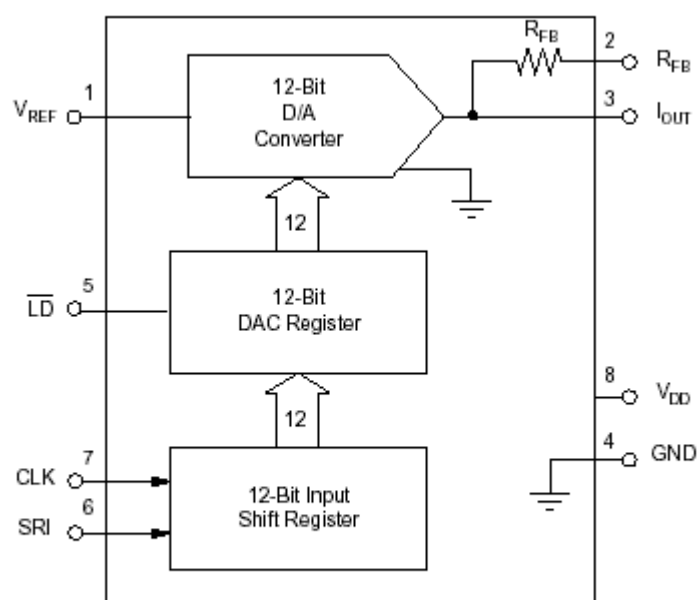


圖2.6 DAC8043內部功能方塊圖[5]

DAC8043除了需要供給5V的直流電壓，還需要提供一參考電位 (V_{REF})，作為類比輸出的位準。其數位編碼輸入和類比電壓輸出的關係如表2.3所示。

圖2.7表示DAC8043的轉換時序圖。當LD腳位處於高位位準時，

數位資料會隨著外部時脈從最高位元依序地輸入移位暫存器，等到LD腳位變為低位位準時，再將移位暫存器中的資料載入DAC暫存器。所以，靠著控制LD腳位訊號脈衝的頻率，就能控制輸出類比訊號更新的頻率。

表2.3 DAC8043數位編碼輸入和類比電壓輸出對照表[5]

DATA INPUT		ANALOG OUTPUT
MSB ↓ ↓ LSB		
1111 1111 1111		+V _{REF} (2047/2048)
1000 0000 0001		+V _{REF} (1/2048)
1000 0000 0000		0 Volts
0111 1111 1111		-V _{REF} (1/2048)
0000 0000 0000		-V _{REF} (2048/2048)

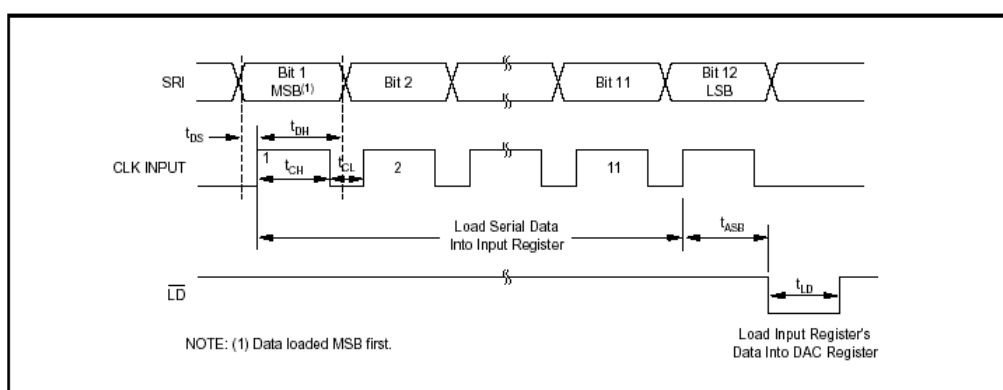


圖2.7 DAC8043轉換時序圖[5]

在本系統中，使用了四個DAC8043，讓使用者可以用來量測、偵錯，減少系統發展的時間。

2.4 CPLD硬體架構

本發展系統使用了兩顆CPLD以取代龐大的邏輯電路，以下將對CPLD做簡單的介紹。

2.4.1 CPLD簡介

伴隨著微電子技術的快速發展，數位化的觀念在微電子技術中得以實現。由於數位電子的技術在一些特殊應用上，有其獨特的優勢，例如：邏輯電路、微處理機、數位訊號處理等；而且數位電路有精確度高、抗雜訊能力強、穩定性高等優點，使得在超大型積體電路(very large scale integrated circuit, VLSI)中，漸漸形成了主流趨勢，數位電路所佔的比重也慢慢地超過了類比電路[6]。

在一般的電路系統上，常使用TTL邏輯族作為基本的邏輯元件。但是當所設計的數位邏輯電路愈來愈龐大時，使用TTL邏輯族會造成電路板上的積體電路元件數相當多。如此一來，所要處理的電磁干擾(electromagnetic interference, EMI)也相對地複雜而困難。

拜積體電路技術快速發展，使得設計者可以針對電路系統上的需要，選擇適合自己的積體電路元件，來規劃其功能。CPLD就是其中的一種可程式邏輯積體電路。所謂CPLD為複式可規劃邏輯裝置的簡稱，其主要是將可規劃邏輯晶片(programmable logic device, PLD)的概念，延伸到更大階層之積體電路以改善系統之使用性。同時因其使用較少之晶圓空間，也改善了可靠度並降低成本。也就是說不把原本的PLD加大，但是增加輸入端、乘積項、微元件數(macrocells)。因此，一個CPLD含有多個邏輯元件方塊，每一個如同一個小型的PLD。而每一個邏輯方塊間之接線是利用可規劃之連接器作訊號繞線，如圖2.8與圖2.9所示。這樣的架構安排技巧使得其更有效地應用在可用之矽晶圓間，因而導致有更好的使用性且降低成本[7]。

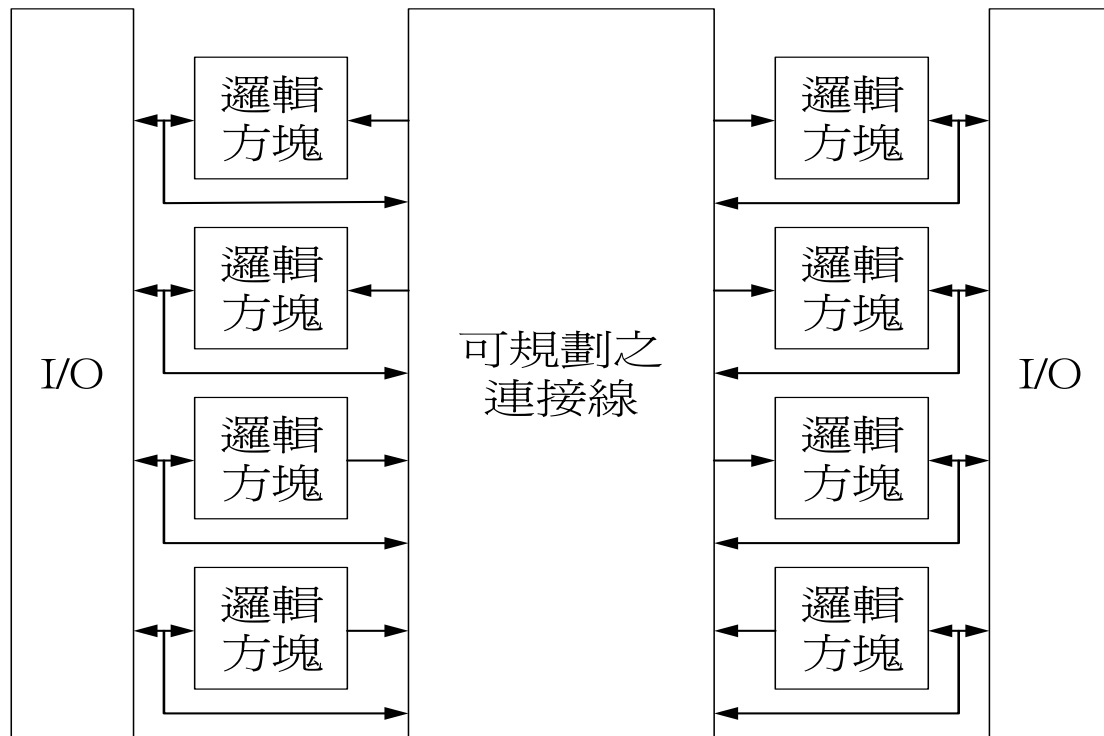


圖2.8 CPLD之架構方塊圖

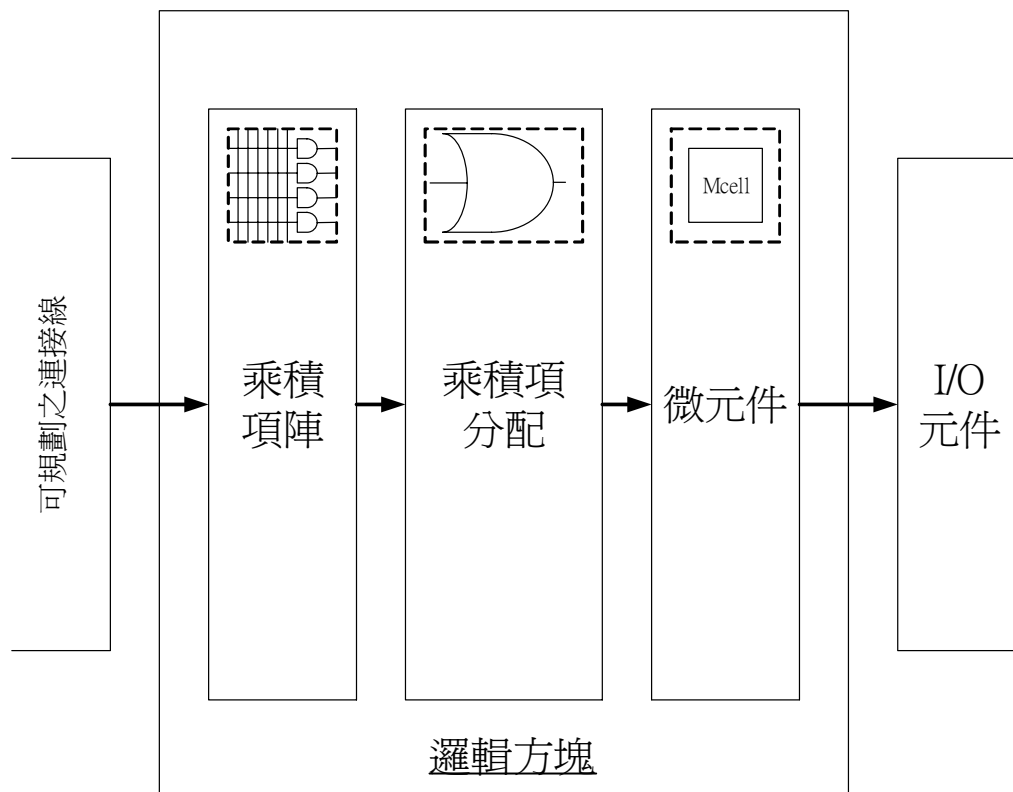


圖2.9 CPLD之邏輯方塊圖

因此，CPLD已經被大量地使用在硬體電路之研發上。加上CPLD在使用時，允許使用者設計單一晶片來取代傳統邏輯電路，並且可以重複下載或燒錄程式，以應付不同的系統需求來改變晶片功能。表2.4列出目前幾種邏輯晶片的比較。綜合上述，大致可以將CPLD歸納出以下幾個特點[8][9]：

一、可程式規劃能力：

提供非常彈性的設計方式。晶片幾乎可以無限次下載燒錄，並且能夠隨時更新。只要先將晶片內部的程式碼清除，就能將新的程式碼寫入晶片，不需更新整個電路或系統。讓使用者大大地節省更新系統的時間。

二、電路性能佳：

電路訊號依照不同的晶片種類，有不同的延遲時間。但是比之傳統邏輯電路的訊號延遲，CPLD的訊號延遲較小，也較容易得到正確的電路訊號，減低錯誤發生的機會。

三、設計時間短：

以往要完成一個特殊用途之晶片，通常都是使用專門用途積體電路(application specific integrated circuit, ASIC)。由於製作ASIC需要長時間的設計、規劃、驗證，而且還需送到晶圓廠去製造生產。如此一來，投資的時間成本極大，若是設計出現瑕疵，則所付出的金錢和時間將會付之一炬。因此，使用CPLD不只可以縮短設計時間，掌握最新技術脈動，還可以降低研發設計風險。

四、保密性高：

CPLD的快速發展，大量地取代了系統中的零散邏輯。再者，由於所設計的功能不再只含單一邏輯，而是多種邏輯元件的組合。此舉，使得仿冒者若欲仿冒該系統也就相形困難，具有保護智慧財產權的功用。

表2.4 基本邏輯晶片比較表[8][9]

項目	CPLD	Standard Logic	ASIC
執行速度	高速	低速	高速
內容量	高	低	極高
開發時間	短	中等	長
修改彈性	極有彈性	中等	沒有彈性
發展工具	完整	無	有
電路體積	小	大	小
電路之保密性	高	低	高

2.4.2 ispLSI 2192VE 系列簡介

ispLSI2192VE 是一個高密度的可規劃邏輯元件，其中包含了 8000個可規劃邏輯閘，192個暫存器，9或12個指定輸入腳位，3個指定時脈輸入腳位，2個指定全域輸出致能腳位，和一個全域繞線連接區(global routing pool, GRP)。GRP則提供所有組成分子間的內部連接功能。其連接方式採連續式連接(continuous interconnect)方式，這種連續式的繞線方式，內部延遲時間固定，讓使用者容易根據理想的效能設計，減少除錯與修改系統的時間。圖2.10表示 ispLSI2192VE 的

功能方塊圖[10]。

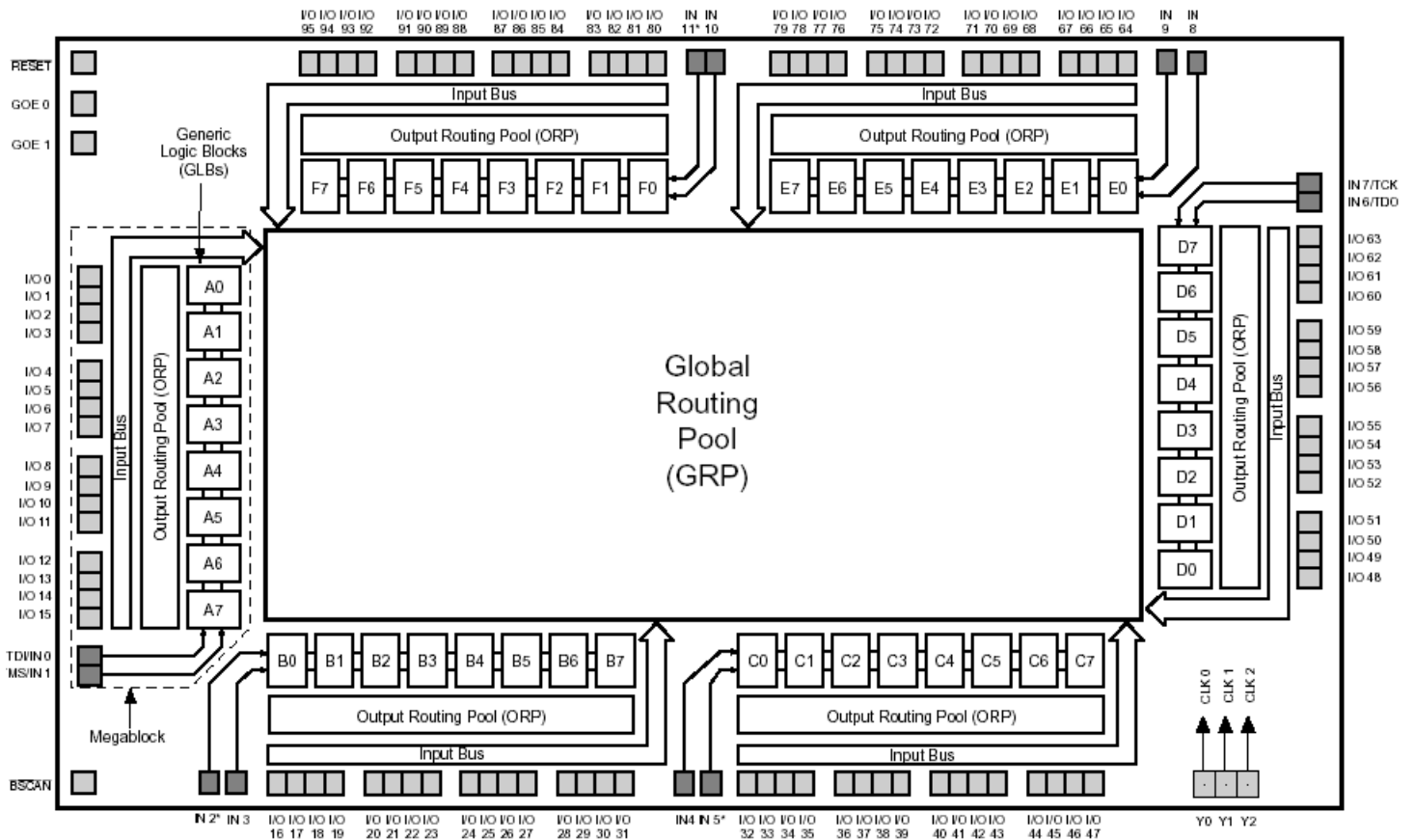


圖2.10 ispLSI2192VE功能方塊圖

ispLSI2192VE 透過邊界掃描測試連接埠(boundary scan test access port)的方式進行系統規劃，完全符合IEEE-1149.1測試能力標準，而且還可以重複規劃載入。所謂IEEE-1149.1標準，是在1980年代末期，一群歐洲公司為了制訂執行邊界掃描測試能力(boundary scan testability)的規範，所努力推動的一項測試標準。該標準於1990年被IEEE投票通過，內容包含測試連接埠(test access port, TAP)、測試暫存器(test register)等的定義。其中測試連接埠是由TDI(test data input)、TMS(test mode select)、TCK(test clock)和TDO(test data output)所組成。這些腳位間的控制器和暫存器配置如圖2.11所示[11]。

在 ispLSI2192VE 中，邏輯的基本單位是普通邏輯方塊(generic

logic block, GLB)。在圖2.10中，標示為A0、A1到F7的就是GLB。而整個 ispLSI2192VE 裡面，總共有48個GLB。每一個GLB由4個微元件所組成。除此之外，每一個GLB還有18個輸入，一個可規劃的及/或/互斥或邏輯閘陣列，以及四個可以被設計規劃的邏輯正反器。

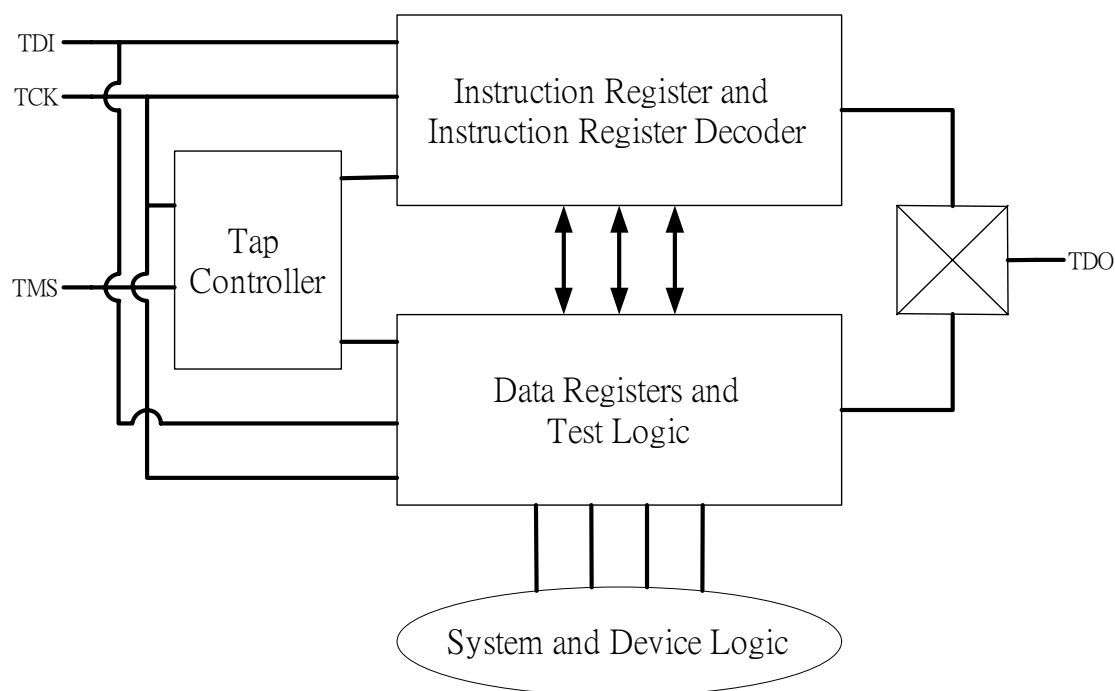


圖2.11 IEEE-1149.1控制方塊圖

8個GLB還可以和16個I/O單元(I/O cell)、兩個指定輸入腳位以及一個輸出繞線連接區(output routing pool, ORP)組成一個巨大方塊(megablock)。其中，這8個GLB的輸出靠著ORP連接到其餘的16個I/O單元。而在每一個晶片中，則包含了6個巨大方塊。

ispLSI2192VE 擁有96個I/O單元，每一個I/O單元直接連接到對應的I/O腳位。表2.5列出其每個腳位的訊號功能。這些I/O腳位可以獨立地被規劃成組合的輸入、元件的輸出或者是能夠以三態控制的雙向輸出入埠，並且能夠接受一般TTL邏輯族常用的5V及3.3V之訊號位準。對於 ispLSI2192VE 的時脈輸入，建議使用外部腳位中的指定時

脈輸入埠，如圖2.10中的Y0、Y1、Y2。其最大的工作頻率輸入為225MHz，最大的訊號傳輸延遲為4.0ns。而且，微元件採積項和(sum of production term, SOP)的運算方式，具有較大的邏輯實現能力，適合應用在多組合邏輯或循序邏輯，卻少暫存器的系統之中。由於現在的嵌入式系統，要求的工作頻率愈來愈快，邏輯結構愈形複雜，且包含很多不同功能的積體電路元件，致使系統上不再只有單一電壓源供應。因此，根據以上這些特點，ispLSI2192VE 很適合應用在高速邏輯運算、混合電壓的電路系統上。

表2.5 ispLSI2192VE外部腳位功能表[10]

訊號腳位名稱	功能描述
RESET	輸入低電位於此重置腳位時，將清除晶片中所有暫存器的儲存值。
GOE 0, GOE 1	全域輸出致能輸入腳位。
Y0, Y1, Y2	指定時脈輸入腳位。
BSCAN	用於規劃晶片功能的邊界掃描致能輸入腳位。 當輸入低電位時，致能程式規劃模式，啟動TMS、TDI、TDO和TCK的控制功能。
TDI/IN 0	這個腳位有兩個功能。當BSCAN為低電位時，串列資料由此腳位輸入來規劃晶片；當BSCAN為高電位時，則為一指定的輸入腳位。
TCK/IN 7	這個腳位有兩個功能。當BSCAN為低電位時，

	做為邊界掃描狀態機的時脈輸入腳位；當 BSCAN 為高電位時，則為一指定的輸入腳位。
TMS/IN 1	這個腳位有兩個功能。當 BSCAN 為低電位時， 做為邊界掃描狀態機的模式控制腳位；當 BSCAN 為高電位時，則為一指定的輸入腳位。
TDO/IN 6	這個腳位有兩個功能。當 BSCAN 為低電位時， 做為讀取串列移位暫存器資料的輸出腳位；當 BSCAN 為高電位時，則為一指定的輸入腳位。
IN 2-5, IN 8-11	晶片的指定輸入腳位。
GND	地(Ground)。
VCC	直流供應電壓。
NC	No Connect。不能連接任何的訊號輸入、VCC 或 GND。
I/O	晶片的輸出入腳位。

2.5 數位訊號處理器硬體架構簡介

本論文發展的數位訊號處理系統，採用德州儀器公司所開發的TMS320C6711B做為核心的數位訊號處理器。TMS320C6711B為一32位元整數長度、可使用浮點(floating-point)運算、最大內頻為150MHz的DSP晶片。其不但提供快速便捷的硬體架構及指令群供使用者應用，而且和一般CPU比較之後，其特別的設計更適合做數位訊號處理工作。以下歸納出TMS320C6711B的幾個重要特點[12]：

- CPU架構採用先進的超長指令(very long instruction word, VLIW)設計，具有4個可作浮點或定點(fixed-point)運算的數學邏輯單元(ALU)，2個定點運算的數學邏輯單元及2個具有浮點和定點運算的乘法器(multiplier)，並且能夠同時並行運作。
- 提供8/16/32位元資料格式。
- 數學運算單元可作40位元延伸資料格式運算。
- 數學運算單元可作8位元溢位(overflow)保護及正規化(normalization)處理。
- 提供位元運作功能，支援控制及資料處理上的應用。
- 具有2個32位元內建計數器。
- 具有高速運算能力，一個時脈週期可同時執行8個指令，所以其MIPS數最高為時脈頻率的八倍，故其最高的時脈頻率可達300MHz。
- 富有彈性的鎖相迴路時脈產生器。
- 可以使用C語言、組合語言來進行DSP的規劃與設計。
- 德州儀器公司提供了完整且方便的軟、硬體發展環境。

以下幾個小節，將詳細介紹TMS320C6711B的硬體架構和操作原理。

2.5.1 TMS320C6711B之硬體架構簡介

表2.6列出C67XX家族的主要兩種DSP，C6711及C6711B的特性表。其中包含晶片中內部隨機存取記憶體(on-chip RAM)的容量，週邊元件，執行時間及包裝形式等。

表2.6 C6711/C6711B處理器的特性對照表[3]

Hardware Features		C6711B
Peripherals	EMIF(Clock source = ECLKIN)	1
	EDMA(Internal clock source = CPU clock frequency)	1
	HPI	1
	McBSPs(Internal clock source = CPU/2 clock frequency)	2
	16-Bit Timers(Internal clock source = CPU/4 clock frequency)	2
On-Chip Memory	Size(Bytes)	72K
	Organization	4KB L1P Cache,4KB L1D Cache,64KB Unified
CPU ID+CPU Rev ID	Control Status Register(CSR[31:16])	0x0202
Frequency	MHz	150, 100
Cycle Time	ns	6.7ns(C6711B- 150),10ns(C6711B- 100)
Voltage	Core(V)	1.8V
	I/O(V)	3.3V
PLL Options	CLKIN frequency multiplier	Bypass(x1),x4
BGA Package	27 x 27 mm	256-Pin BGA(GFN)

TMS320C6711B內部包含CPU、內部程式記憶體、內部資料記憶體、DMA(direct memory access)控制器、外部記憶體控制介面、週邊裝置等，CPU中含8個運算單元及許多暫存器，負責指令之執行。其詳細的內部功能如圖2.12所示。

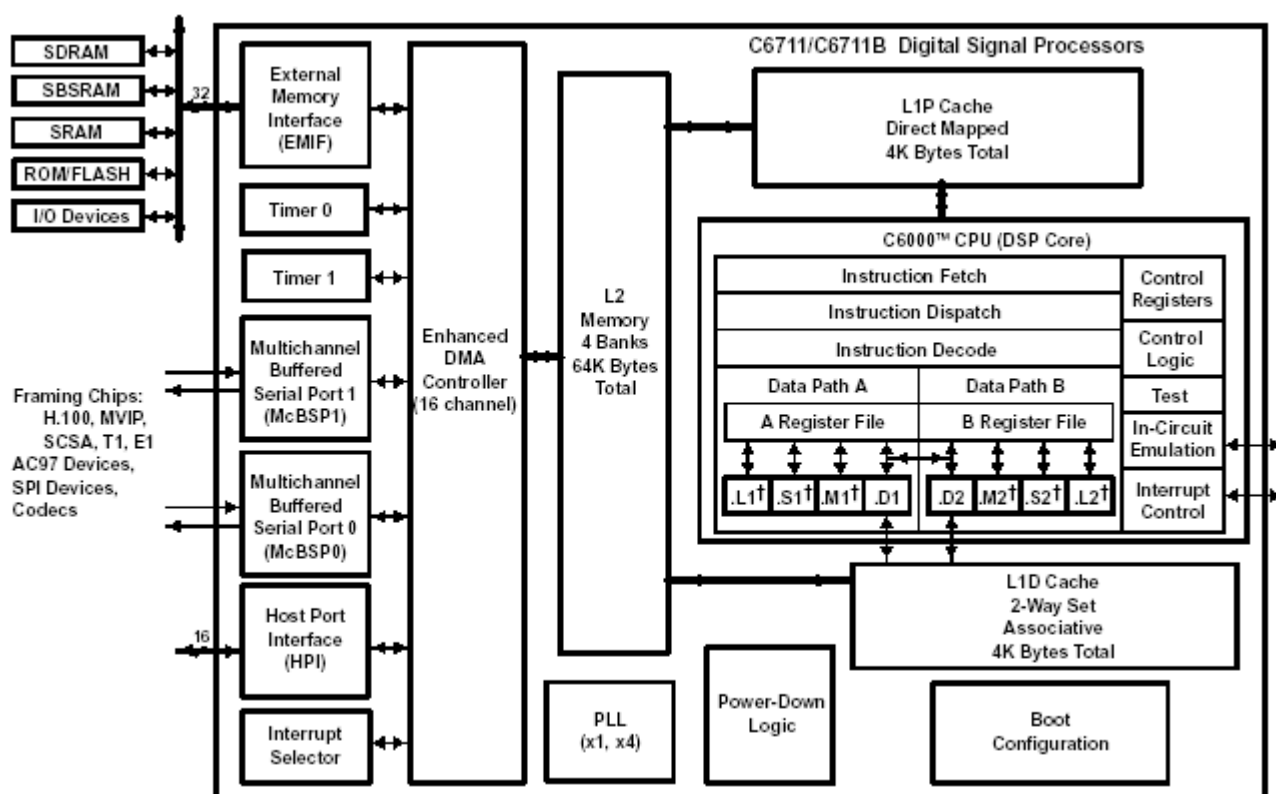


圖2.12 C6711/C6711B內部功能方塊圖

2.5.2 TMS320C6711B內部CPU結構

CPU中共有兩個運算單元組，各含四個運算單元，分別稱為.L、.S、.M、.D運算單元。其中.M運算單元為一16位元之乘法器，.L、.S、.D運算單元則為數學/邏輯運算單元，並且各具有下列功能：

- .L運算單元—邏輯功能、計數器。
- .S運算單元—位元移位、分支(branch)、與控制暫存器交換資料。
- .D運算單元—產生線性(linear)、環狀(circular)位址，以存取外界記憶體資料。

CPU中共有2組暫存器群組，各有16個32位元之暫存器。各暫存器可獨立使用，也能結合相鄰暫存器，成為40位元的延伸暫存器。

CPU中還有十個控制暫存器，如表2.7所示。

表2.7 TMS320C6711B之控制暫存器[12]

Abbreviation	Name
AMR	Addressing Mode Register
CSR	Control Status Register
IFR	Interrupt Flag Register
ISR	Interrupt Set Register
ICR	Interrupt Clear Register
IER	Interrupt Enable Register
ISTP	Interrupt Service Table Pointer
IRP	Interrupt Return Pointer
NRP	Nonmaskable Interrupt Return Pointer
PCE1	Program Counter

TMS320C6711B之指令由運算單元執行，而指令運算主要是使用暫存器中的資料。CPU中的硬體架構限制了各暫存器與運算單元間資料存取路徑，整個資料存取路徑如圖2.13所示。

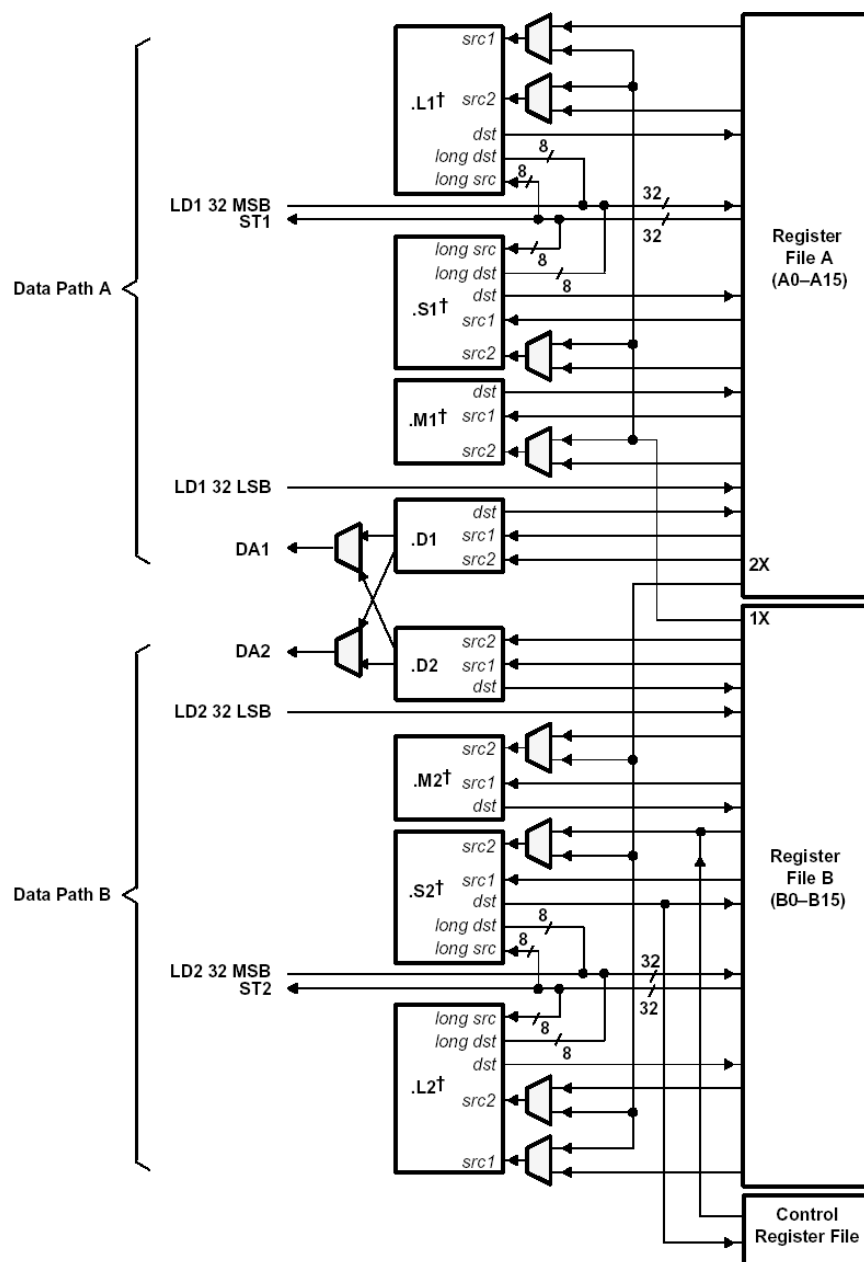


圖2.13 TMS320C6711B CPU之資料存取路徑圖

大致而言，暫存器群組A主要是提供給第一運算單元組

(.L1、.S1、.M1、.D1)使用。各運算單元皆可自由使用每一個暫存器。同樣地，暫存器群組B主要提供第二運算單元組(.L2、.S2、.M2、.D2)自由使用。但為了增加彈性，CPU提供了另外兩個資料路徑1X及2X，作為第一運算單元組使用暫存器群組B，以及第二運算單元組使用暫存器群組A之用。不過，每一運算單元組同時只允許使用一筆跨群組資料。另外還提供ST1、ST2、LD1、LD2四個路徑作為將暫存器資料存取至記憶體之用。其他還有兩種路徑，一是用來傳輸控制暫存器資料至.S2運算單元作為運算元之用；二是由.D運算單元產生之DA1及DA2，作為對記憶體存取資料所需之位址。

2.5.3 TMS320C6711B記憶體分配

TMS320C6711B使用32位元位址，總共可以存取4Gbytes的記憶體及輸出入元件。其存取輸出入元件的方式與記憶體相同，亦即採用記憶體映射輸出入(memory-map I/O)。內部記憶體從位址0x0開始，而且可以供程式或資料存取；外部記憶體從位址0x80000000開始，可供規劃外部靜態隨機存取記憶體(SRAM)、動態隨機存取記憶體(synchronous dynamic RAM, SDRAM)、唯讀記憶體(read-only memory, ROM)等的位址配置。整個系統的記憶體配置如表2.8所示。

表2.8 TMS320C6711B系統記憶體配置表[3]

MEMORY BLOCK DESCRIPTION	BLOCK SIZE (BYTES)	HEX ADDRESS RANGE
Internal RAM(L2)	64K	0000 0000 – 0000 FFFF
Reserved	24M – 64K	0001 0000 – 017F FFFF
EMIF Registers	256K	0180 0000 – 0183 FFFF
L2 Registers	256K	0184 0000 – 0187 FFFF

HPI Registers	256K	0188 0000 – 018B FFFF
McBSP 0 Registers	256K	018C 0000 – 018F FFFF
McBSP 1 Registers	256K	0190 0000 – 0193 FFFF
Timer 0 Registers	256K	0194 0000 – 0197 FFFF
Timer 1 Registers	256K	0198 0000 – 019B FFFF
Interrupt Selector Registers	512	019C 0000 – 019C 01FF
Device Configuration Registers [C6711C only]	4	019C 0200 – 019C 0203
Reserved	256K – 516	019C 0204 – 019F FFFF
EDMA RAM and EDMA Registers	256K	01A0 0000 – 01A3 FFFF
Reserved	768K	01A4 0000 – 01AF FFFF
GPIO Registers [C6711C only]	16K	01B0 0000 – 01B0 3FFF
Reserved	480K	01B0 4000 – 01B7 BFFF
PLL Controller Registers [C6711C only]	8K	01B7 C000 – 01B7 DFFF
Reserved	4M + 520K	01B7 E000 – 01FF FFFF
QDMA Registers	52	0200 0000 – 0200 0033
Reserved	736M – 52	0200 0034 – 2FFF FFFF
McBSP 0 Data/Peripheral Data Bus	64M	3000 0000 – 33FF FFFF
McBSP 1 Data/Peripheral Data Bus	64M	3400 0000 – 37FF FFFF
Reserved	64M	3800 0000 – 3BFF FFFF
Reserved	1G + 64M	3C00 0000 – 7FFF FFFF
EMIF CE0	256M	8000 0000 – 8FFF FFFF
EMIF CE1	256M	9000 0000 – 9FFF FFFF
EMIF CE2	256M	A000 0000 – AFFF FFFF
EMIF CE3	256M	B000 0000 – BFFF FFFF
Reserved	1G	C000 0000 – FFFF FFFF

2.5.4 TMS320C6711B主電腦介面與直接記憶體存取控制器

主電腦介面(host-port interface, HPI)是一個16位元的並聯輸出入埠，提供外界主電腦與TMS320C6711B的CPU間交換資料的路徑。一般設計上，外界電腦被當作主機(master)，負責主控此介面，可透過HPI經過直接記憶體存取控制器(direct memory access, DMA)的輔助通道對CPU的記憶體空間存取資料。對CPU端，HPI以32位元為資料存取單位；但對於主電腦端，則提供16位元資料存取介面，以節省硬體接腳。若要執行32位元資料存取，則採連續存取兩次之方式進行。

HPI有三個暫存器：HPI控制暫存器(HPIC)、主電腦位址暫存器(HPIA)、主電腦資料暫存器(HPID)。其中，HPIC可由主電腦與CPU雙方做資料存取，而HPIA、HPID只能由主電腦做資料存取，如表2.9所示。

表2.9 HPI暫存器功能簡表

暫存器名稱	外部主機讀/寫	CPU讀/寫	CPU讀/寫位址
HPID	RW*	—	—
HPIA	RW	—	—
HPIC	RW	RW	0x01880000

*R是指Read；而W是指Write。

在TMS320C6711B中共有4個可程式控制的DMA通道及一個連接HPI供外接主電腦使用之輔助DMA通道。這些DMA通道使用於在不打擾CPU的情況下，在整個記憶體範圍內，包括內部資料記憶體、內部程式記憶體、內部週邊裝置及外部記憶體，做資料區塊的傳送。

每一個資料區塊傳送可以包含多個資料框的傳送，而每一個資料框傳送可包含多筆資料的傳送。每一筆資料包括讀與寫的動作，而且可將每一筆資料設定為byte、halfword或word。此外，每一個DMA通道讀寫資料的優先順序，也可以獨立設定為先或後於CPU。

妥善規劃TMS320C6711B後，將會發現其擁有許多以前DSP（如：TMS320C2X、TMS320C5X等）所不及的功能。運算速度快、數學功能強大這些優點，更是使得TMS320C6711B成為目前數位訊號處理系統的寵兒。本論文所發展的系統，即是著眼於此，希望倚其強大的功能解決許多以往礙於硬體限制所未能實現的理論架構；並且能在這個系統的幫助下，實現出更新穎、更具實用性的控制模型。