

Spectre & Meltdown

Борисав Живановић

10. фебруар 2023.

- 1 Архитектура и микроархитектура
- 2 Кеширање
- 3 Предвиђање гранања и прекоредно извршавање
- 4 Основни мехнанизми изолације
- 5 Употреба кеша као side-channel
- 6 Spectre
- 7 Meltdown

Шта рачунар заиста зна да ради?

- Језик рачунара: **скуп инструкција** (енгл. ISA, Instruction Set Architecture)
- Аритметичке операције: **add, sub, div, mul, ...**
- Померање података:
 - са улазног уређаја у меморију
 - из меморије на излазни уређај
 - са једне меморијске локације на другу
- Условно гранање: извршавање кода уколико је логички услов испуњен

Условно гранање

- Кључни механизам - омогућава имплементацију било ког алгоритма
- Концпети виших програмских језика као што су **if**, **else**, **for**, **while**, **switch** се свODE на условно гранање

Instruction Set Architecture

- Представља слој апстракције изнад микроархитектуре
- Главна разлика између различитих ISA је у количини логики коју појединачна инструкција може да садржи
- Подела: CISC (Complex Instruction Set Computer), RISC (Reduced Instruction Set Computer)
- x86 је иницијално био класична CISC архитектура
- Данас x86 инструкције на нивоу ISA се превode у **микроинструкције** налик на RISC инструкције
 - ово се дешава на нивоу микроархитектуре и програмер тога није свестан!

Микроархитектура

- Представља конкретну имплементацију ISA
- Замисао је да се кроз време имплементација побољшава, а да се задржи компатибилност са постојећим софтвером
- Неке разлике између различитих микроархитектура:
 - параметри кеша (капацитет, асоцијативност, величина линије, број нивоа)
 - број језгара
 - подршка за механизме који крше секвенцијалан модел извршавања

Меморијска хијерархија I

Ideally one would desire an indefinitely large memory capacity such that any particular... word would be immediately available... We are... forced to recognize the possibility of constructing a hierarchy of memories each of which has greater capacity than the preceding but which is less quickly accessible.

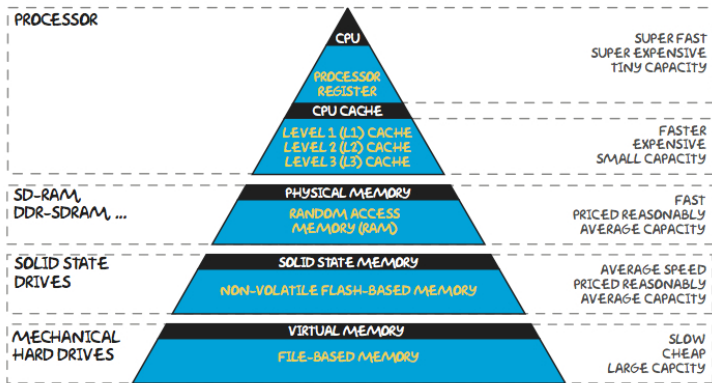
Burks, Goldstine, von Neumann (1946)

Меморијска хијерархија II

- Проблем: не постоји бесконачно брза и бесконачно велика меморија
- Чињеница: постоје технологије меморије које омогућавају релативно велики капацитет, по цену релативно мале брзине
 - ...као и обрнуто!
 - брзина и капацитет меморије су, по правилу, обрнуто сразмерни
- Да ли је могуће добити највећи капацитет уз највећу брзину, по најмањој цени?
- Меморијска хијерархија нам ово *донекле* омогућава
 - цена: *приближно* најспорија меморија
 - брзина: *приближно* најбржа меморија

Меморијска хијерархија III

THE MEMORY HIERARCHY



Локалитет I

- **Просторни локалитет:** уколико је некој локацији приступљено, вероватно ће бити приступљено и суседним локацијама
 - пример: приступање суседним елементима низа, извшавање наредних инструкција
- **Временски локалитет:** уколико је некој локацији приступљено, вероватно ће јој бити приступљено у скоријем временском периоду
 - пример: позив методе у петљи, приступ елементима *linked list*
- Мерењима је доказано да програми поштују наведене особине

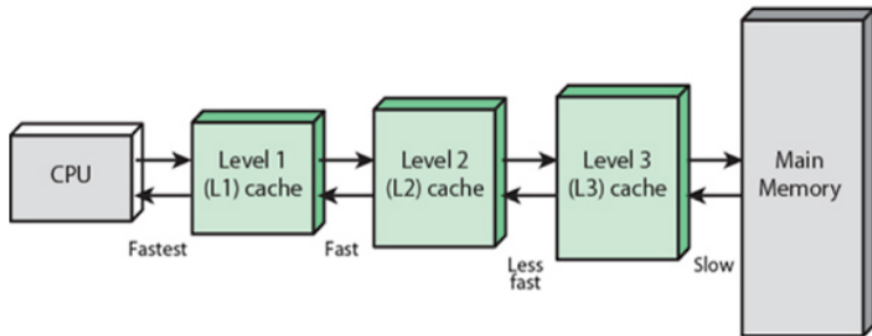
Локалитет II

- Цео меморијски подсистем је оптимизован за програме који поштују локалитет
 - уколико покренемо заједно један програм који поштује локалитет (Matlab) са другим који не поштује (GCC), може да дође до давања предности оном који поштује!
- Поједине специјализоване архитектуре избацују кеш меморију уколико није могуће направити решење које поштује локалитет
 - у овом случају, кеширање би успорило програм
- Занимљивост: постоје случајеви у којима су операције над *array list* брже него над *linked list*, јер иако је временска сложеност операција већа, операције се далеко брже извршавају уколико је цео низ у кешу!

Кеш меморија I

- Налази се у процесору, најчешће имплементирана у SRAM технологији
- Чува тренутно потребан подкуп радне меморије програма
 - подкуп се динамички одређује уз претпоставку локалитета
- Програмер не мора да буде свестан конкретне имплементације кеша
 - али је то, у одређеним случајевима, пожељно
 - постоје инструкције које омогућавају измену стања кеша (CLFLUSH, PREFETCHW)
- Сваки меморијски приступ мора да прође кроз кеш

Кеш меморија II



Кеш меморија III

- **Cache hit:** тражени податак је пронађен у кешу
- **Cache miss:** тражени податак није пронађен у кешу
- **Hit time:** време које је потребно да се утврди да ли је тражени податак у кешу
- **Miss time:** време које је потребно да се тражени податак добава у кеш

Предвиђање гранања

- `if(x < y) {...} else {...}`
- Променљиве `x` и `y` представљају вредности из радне меморије
- Одређивање гране коју треба извршити није могуће док обе вредности не буду добављене у кеш
- Условно гранање често изазива **cache miss**
 - ...и на тај начин зауставља рад процесора
- Идеја:
 - извршавање гране за коју се претпоставља да ће бити изабрана док се чека IO
 - чување или одбацивање резултата након утврђивања да ли је извршавање гране требало да се деси

Прекоредно извршавање

- $a1 = b1 + c1;$
 $a2 = b2 + c2;$
 $a = a1 + a2;$
- Шта ако су вредности **b2** и **c2** у кешу, а потребно је прво сачекати добављање **b1** и **c1**?
- У секвенцијалном моделу извршавања, процесор би био заустављен
- Идеја:
 - на нивоу ISA задржавамо секвенцијални модел извршавања
 - на нивоу микроархитектуре инструкције извршавамо у редоследу који зависи од доступних података
 - резултат програма мора остати исти!