

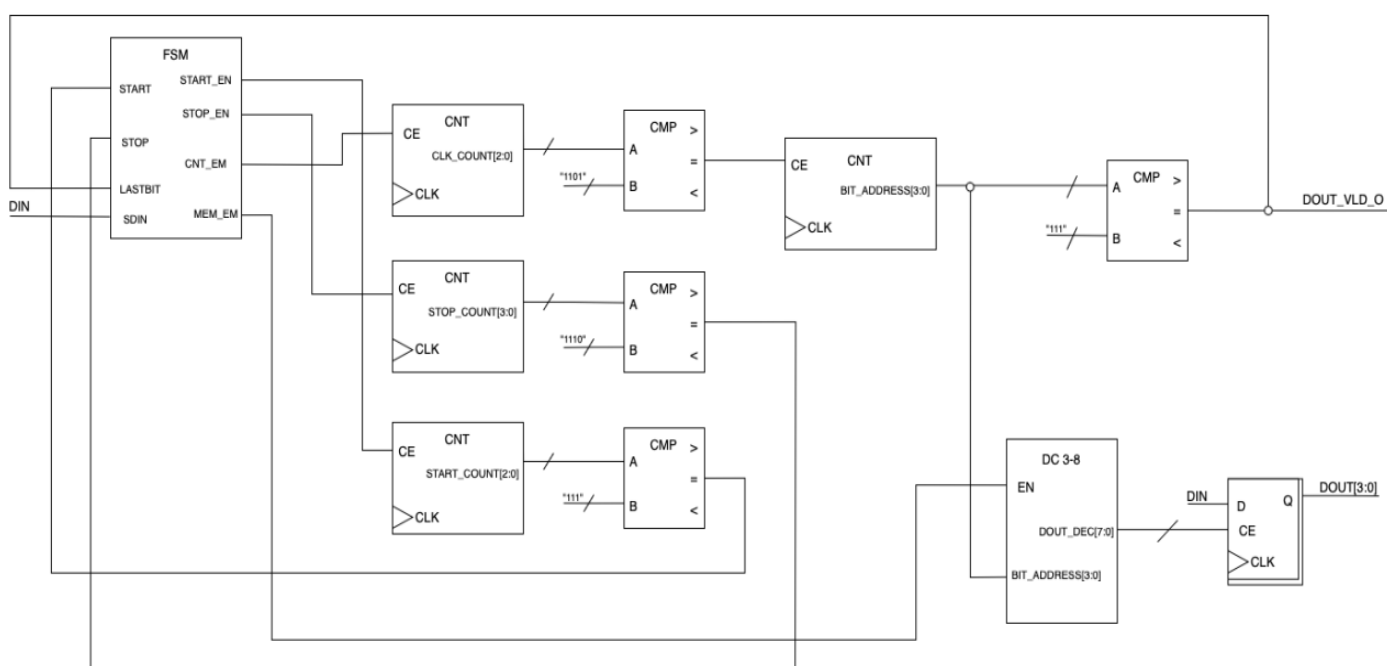
Výstupná správa

Meno: Boris Nicolas Dráb

Login: xdrabbo00

Architektúra navrhnutého obvodu (na úrovni RTL)

Schéma obvodu



Popis

Na presné určenie stredovej pozície bitu a jeho indexu využíva obvod štyri čítače. Prvý sleduje osem taktov hodín, aby identifikoval midbit štartovacieho bitu. Druhý zabezpečuje vzorkovanie dátových bitov v šesťnásť cyklových intervaloch, tretí udržiava adresovanie registra. Posledný čítač potom počíta šesťnásť cyklov súvisiacich so stopbitom. Na správne uloženie údajov do registra sa používa dekodér 8 na 3, ktorý prijíma adresu bitu ako vstup.

Návrh automatu (Finite state machine)

Schéma automatu

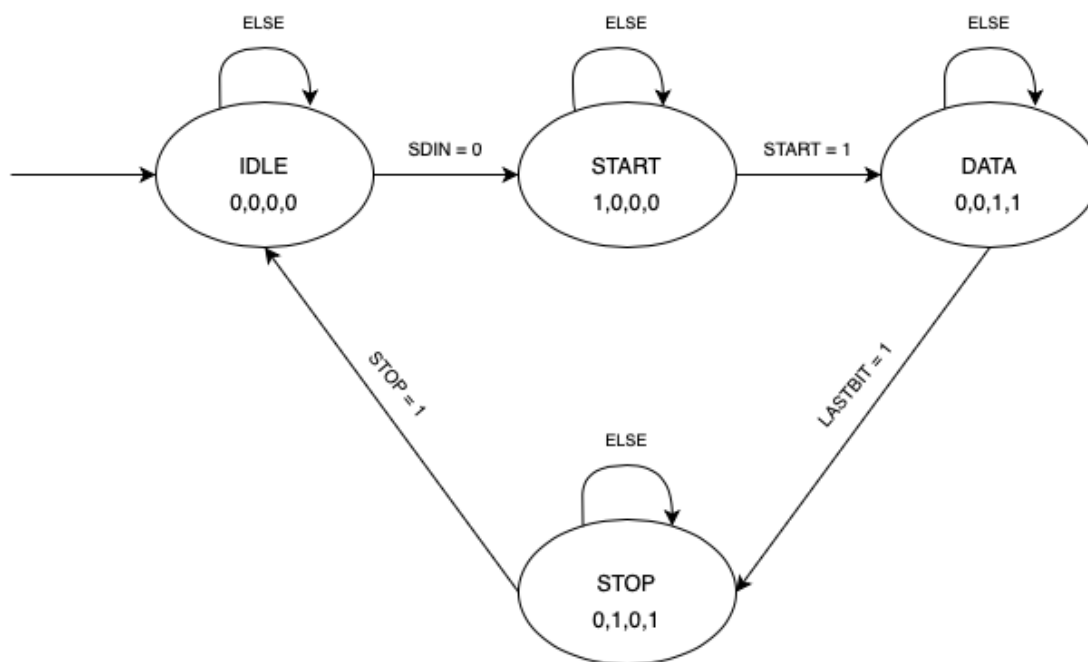
Vysvetlivky:

Stavy: IDLE, START, DATA, STOP

Vstupné signály: START_BIT, SDIN, STOP_BIT, LAST_BIT

Mealyho výstupy: žiadne

Moorovy výstupy: START_EN, STOP_EN, CNT_EN, MEM_EN



Popis

Automat sa postupne prepína medzi štyri stavy. IDLE predstavuje stav pred začiatkom prenosu, keď systém čaká na príchod dát. START_BIT nastáva po detekcii štartovacieho bitu, pričom sa vyčkáva na midbit prvého dátového bitu. V stave DATA prebieha samotný príjem dátových bitov. Nakoniec, v stave STOP sú všetky dáta už prijaté a systém čaká na ukončenie prenosu.

Snímok obrazovky zo simulácie

