

PROJET VHDL - CHRONOMETRE

Introduction

Le projet proposé consiste à implémenter et tester un chronomètre sur la carte NEXYS A7. En son centre siège un FPGA Xilinx Artix-7, un circuit logique reconfigurable. Cet Artix-7 est lié, par soudure sur circuit imprimé, à différents périphériques. **Ces derniers peuvent donc interagir avec le chronomètre** une fois celui-ci correctement implémenté au sein de l'Artix-7.

On y trouve:

- des boutons-poussoirs et des interrupteurs à 2 positions
- 16 LEDs ;
- 8 afficheurs à 7 segments.

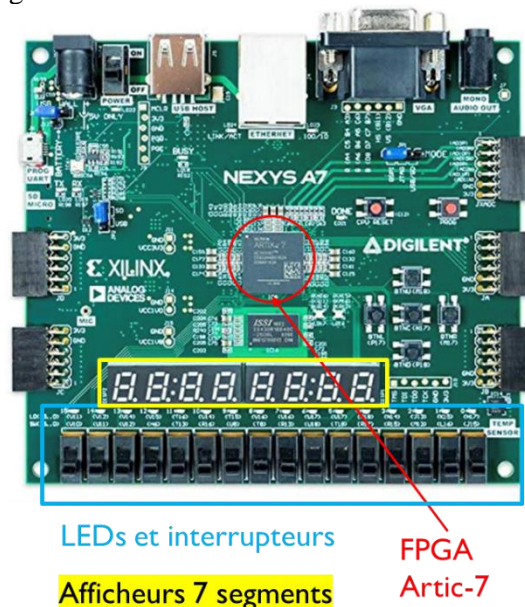


Figure 1 - Carte Nexys A7

L'entité principale « **Chronomètre** » permet le comptage des dixièmes de secondes, des secondes et des minutes. Les dixièmes de secondes sont affichées sur un chenillard constitué de 10 leds, les secondes et les minutes sont affichées sur 4 afficheurs 7 segments. Le chronomètre est remis à 0 lorsque le comptage arrive à 59 min 59 sec 9/10^e sec. Un interrupteur permet d'accélérer le comptage pour vérifier la fonctionnalité du chronomètre en séance de TP. Un autre interrupteur permet de démarrer le comptage, l'arrêter et le reprendre. Enfin, un bouton poussoir permet la remise à zéro du chronomètre. L'architecture du projet est présentée figure 1.

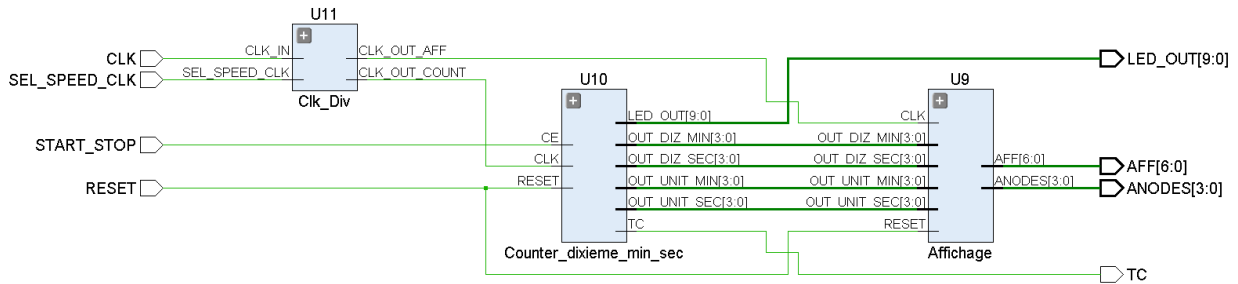


Figure 2- Architecture générale du chronomètre (page principale)

Le travail demandé consiste à écrire le code VHDL de toutes les entités constituant le chronomètre :

- Chronometre.vhd (main ou page principale)

- CLK_DIV.vhd
- COUNTER_DIXIEME_MIN_SEC.vhd
 - Counter_dixieme_RE.vhd
 - Counter_Unit_4b_RE.vhd (utilisée 2 fois)
 - Counter_Diz_4b_RE.vhd (utilisée 2 fois)
- Affichage.vhd
 - Counter_2b.vhd
 - Transcodeur_anodes.vhd
 - Mux_4x1x4b.vhd
 - Transcodeur_7seg.vhd

1 - Entité principale (Chronometre)

Cette entité est l'entité de plus haut niveau, elle comporte **3 entités** :

- une entité de génération d'horloges (horloge pour le comptage, normal ou accéléré, et horloge pour l'affichage)
- une entité chargée du comptage
- une entité chargée de l'affichage

Entrées :

- CLK : horloge externe de la carte NEXYSA7 (100MHz)
- SEL_SPEED_CLK : interrupteur d'accélération du comptage
- START_STOP : interrupteur de démarrage du comptage, arrêt comptage et reprise comptage
- RESET : bouton poussoir de remise à zéro

Sorties :

- LED_OUT[9:0] : barrette de 10 leds pour l'affichage des dixièmes de secondes sur un chenillard
- AFF[6:0] : afficheur 7 segments pour l'affichage des minutes (dizaine ou unité) et des secondes (dizaine ou unité)
- ANODES [3:0] : anodes pour le contrôle des 4 afficheurs 7 segments
- TC : « Terminal count », led indiquant la fin du comptage 59 min 59 sec 9/10^e sec

Attention à désactiver les 4 afficheurs qui ne sont pas utilisés.

2 - Entité de gestion des horloges (CLK_DIV)

Cette entité permet de générer une **première horloge** (CLK_OUT_COUNT) qui sert de **base pour le comptage des dixièmes de secondes** et donc des secondes et des minutes (attention à ne pas créer plusieurs horloges). Pour cela, vous devez créer un compteur qui permet générer un signal carré de période **0,1s**.

Lorsque l'interrupteur SEL_SPEED_CLK est activé, cette période doit être diminuée pour permettre une vérification rapide de la fin de comptage (1 minute sera balayée en 1 seconde). CLK_OUT_COUNT a donc 2 valeurs suivant la valeur de SEL_SPEED_CLK.

La **deuxième horloge** (CLK_OUT_AFF) est utilisée pour l'**affichage des données sur les afficheurs 7 segments**. L'affichage est multiplexé, c'est-à-dire que les données sont envoyées successivement sur les afficheurs en contrôlant les anodes correspondantes (*cf* entité Affichage). Vous devez identifier la période qui permet d'afficher les données multiplexées suffisamment vite pour ne pas voir le multiplexage (persistance rétinienne).

3 - Entité de gestion du comptage (COUNTER_DIXIEME_MIN_SEC)

Cette entité est chargée du **comptage du temps** (dixièmes, secondes et minutes). Elle comporte 5 entités dont le code est basé sur le compteur étudié en TD.

La première entité est dédiée au **comptage et à l'affichage des dixièmes de secondes**. Elle comporte 3 entrées et 2 sorties. Elle ne compte que si le signal CE (Count enable) est à 1. En sortie, chaque dixième de seconde est relié à une Led (sortie LED_OUT sur 10 bits). Le signal TC indique la fin de comptage et pourra être relié à l'horloge du bloc suivant.

Les 4 autres entités sont quasiment identiques, la limite de comptage étant de 9 pour les unités des secondes et des minutes et de 5 pour les dizaines des secondes et des minutes. Les sorties de ces entités sont des vecteurs de 4 bits, qui seront les entrées de l'entité gérant l'affichage.

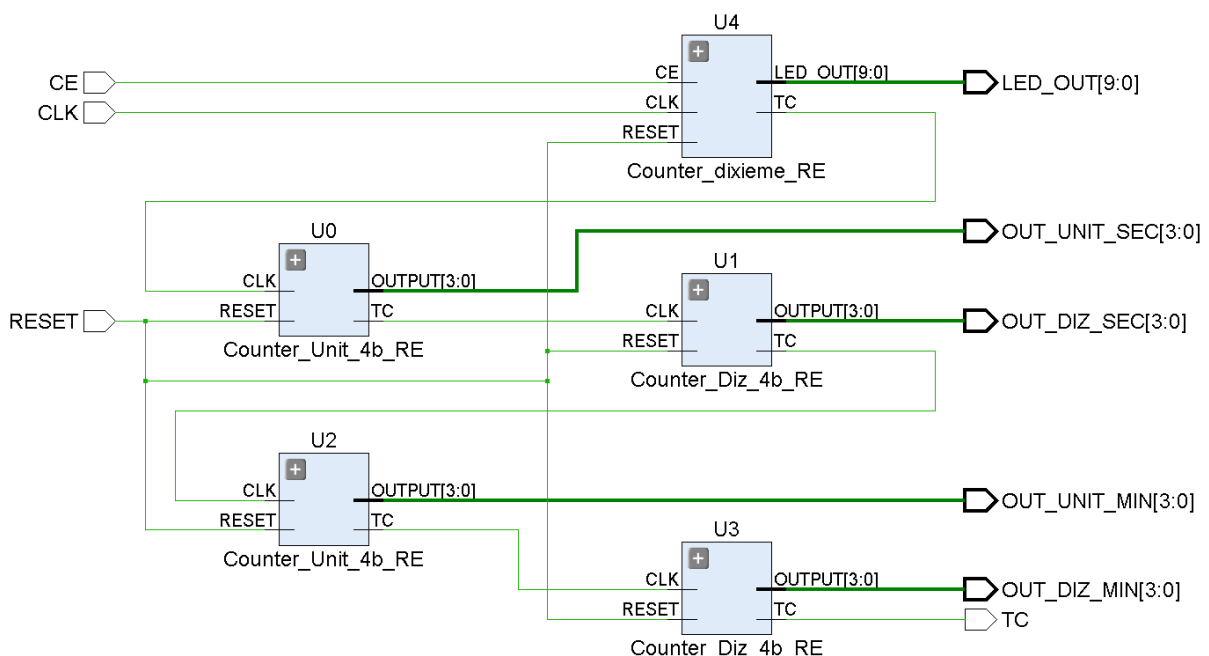


Figure 3- Entité COUNTER_DIXIEME_MIN_SEC

4 - Entité de gestion de l'affichage (Affichage)

Cette entité permet de gérer l'affichage des secondes et des minutes sur les afficheurs 7 segments.

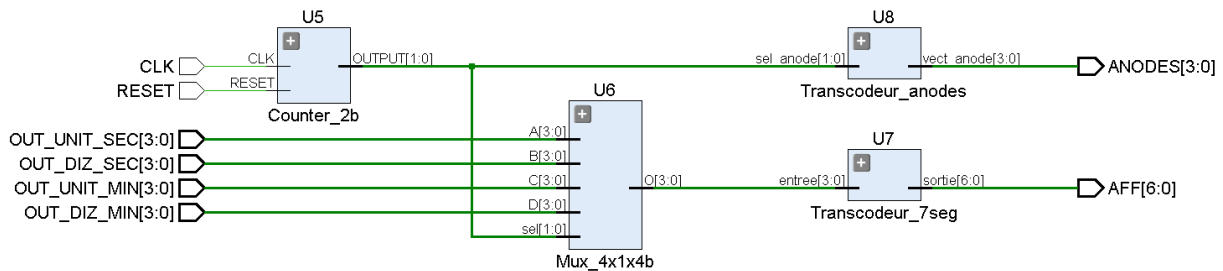


Figure 4- Entité Affichage

Dans le projet, seuls les 4 afficheurs de droite sont utilisés (ils correspondent aux AN0, AN1, AN2 et AN3). Les anodes des sept LED formant chaque chiffre sont reliées en un point commun (anode commune), mais les cathodes des LED restent séparées (figure ci-dessous). Les signaux cathodiques sont communs à tous les chiffres mais ils ne peuvent éclairer que les segments du chiffre dont le signal d'anode est activé.

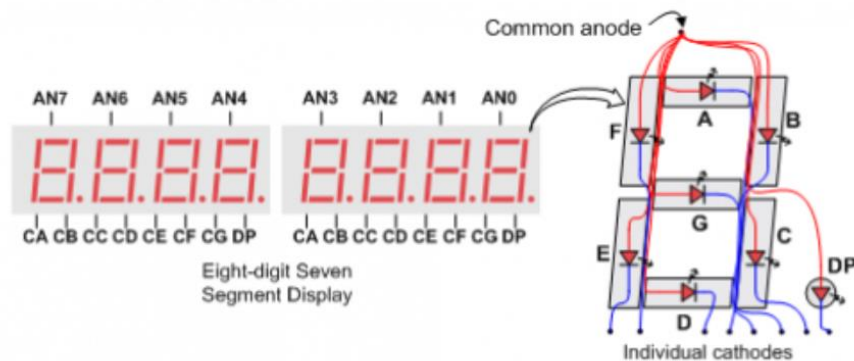


Figure 5- Câblage des afficheurs sur la carte NEXYS A7

Les cathodes sont nommées CA à CG. Par exemple, les 4 cathodes « D » des 8 afficheurs sont regroupées en un seul nœud de circuit appelé « CD ». On dit que les afficheurs sont multiplexés, ce qui permet de limiter le nombre d'entrées/sorties sur le FPGA.

a) Entité Counter_2b

Etant donné qu'il y a 4 afficheurs à contrôler, il est nécessaire de créer un **compteur 2 bits** (Counter_2b). Chaque valeur du compteur permet d'envoyer sur l'afficheur adéquat, la valeur à afficher :

Valeur du compteur	Donnée à afficher	Anode à activer
0	seconde	AN0
1	dizaine de seconde	AN1
2	minute	AN2
3	dizaine de minute	AN3

b) Transcodeur_anodes

L'entité Transcodeur_anodes permet d'activer l'anode correspondant à la valeur du compteur 2 bits. Attention, l'anode est activée sur un niveau bas.

Vous complétez au préalable le tableau suivant en vous aidant du câblage des afficheurs représenté figure 6 :

transcodeur_anodes	
sel_anode[1 :0]	vect_anode[3 :0]
00	
01	
10	
11	

c) Mux 4x1x4b

Le multiplexeur permet de sélectionner la donnée à afficher sur l'anode correspondante.

Vous complétez au préalable le tableau suivant :

mux 4x1x1b					
A	B	C	D	sel [1 :0]	0
				00	
				01	
				10	
				11	

d) Transcodeur 7seg

L'entité transcodeur 7 segments associe au code binaire 4 bits le code 7 segments correspondant à l'affichage de la valeur hexadécimale de l'entrée.

Vous complétez au préalable le tableau suivant :

transcodeur_7segs		
A [3 :0]	0[6 :0]	Caractère associé
0000		0
0001		1
0010		2
0011		3
0100		4
0101		5
0110		6
0111		7
1000		8
1001		9
1010		A
1011		B
1100		C
1101		D
1110		E
1111		F

5 - Implémentation en séance de TP

Sur les consignes de l'enseignant, faire l'association entre les entrées et sorties du « chronomètre » avec les broches (« pinouts ») du FPGA Artix-7 de la carte Nexys A7 (création du fichier chronometre.xdc). Vous pouvez utiliser le schéma de la figure 6.

Implémenter sur carte de développement Nexys A7 et faire les ajustements si nécessaire.

Question bonus : vous pouvez implémenter la séparation des minutes et des secondes par un point clignotant à une période de 1 sec. Le point correspond au signal DP (digital point) sur l'afficheur.

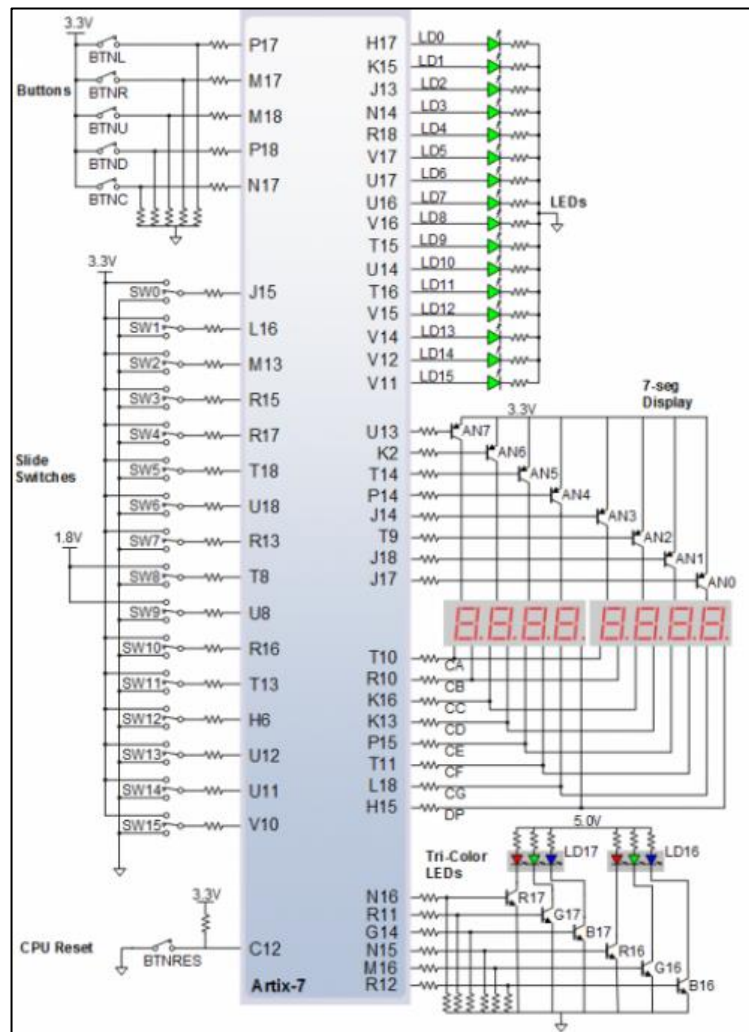


Figure 6- Représentation du composant et des périphériques associés sur la carte

6 - Evaluation

Chaque item ci-dessous compte pour environ 1/3 de la note totale

1) Oral individuel

Pendant la séance de TP, chaque étudiant sera évalué individuellement sur une des sources qu'il aura développées.

2) Fonctionnement du projet sur la carte

A la fin de la séance de TP, les points qui seront vérifiés et notés sont les suivants :

- Effet du RESET
- Effet du START_STOP
- Effet de SEL_SPEED_CLK
- Vérification de la fréquence de comptage normale
- Vérification de la fréquence de comptage accéléré
- Vérification de la fin du comptage
- Vérification de la fréquence d'affichage
- Vérification de l'état d'activation des anodes
- Vérification de l'affichage
- Vérification du chenillard

3) Compte-rendu

Le travail de l'équipe composée de 2 à 3 binômes fera l'objet d'un **compte-rendu par binôme**.

Chaque binôme devra suivre les directives suivantes pour les entités qu'elle aura eu en charge d'écrire.

Pour chaque entité, vous devez expliciter :

- les entrées-sorties (nom, taille, fonction)
- le rôle de l'entité
- la table de vérité
- si l'entité décrit un opérateur combinatoire ou séquentiel

D'autre part, votre dossier devra comporter les documents suivants :

- les codes VHDL de toutes vos entités et des test-bench associés.
- les chronogrammes pertinents prenant en compte tous les signaux (reset, CE, TC...)
- les schémas RTL des entités de haut-niveau

Les comptes-rendus (au format pdf) devront être déposés sur Moodle au plus tard le mardi 3 février 2026 à 8h00.