



UNIVERSIDADE D
COIMBRA



DEPARTAMENTO DE ENGENHARIA ELETROTÉCNICA E DE COMPUTADORES

CO-PROJETO HARDWARE E SOFTWARE

Assignment 1

Autor:

Gonçalo Bastos
Leonardo Cordeiro

Numero de Estudante:

2020238997
2020228071

January 12, 2024

Parte 1

Up and Down Counter

Implementamos um contador controlado pelo switch [0] que controla a orientação da contagem, a contagem é sempre mostrada nos LED's, amostragem da contagem é ainda feita nos 4 display de 7 segmentos, em uma versão os 4 dígitos Hexadecimais, em outra versão os 4 dígitos decimais. A figura 1 também serve para mostrar esta implementação apesar de termos lá o detect pattern este pode ser ignorado e a saída do counter vai para os leds.

Detect Pattern

Neste exercício criamos um decoder de raiz, a partir de lógica combinacional, como se pode ver na figura 1:

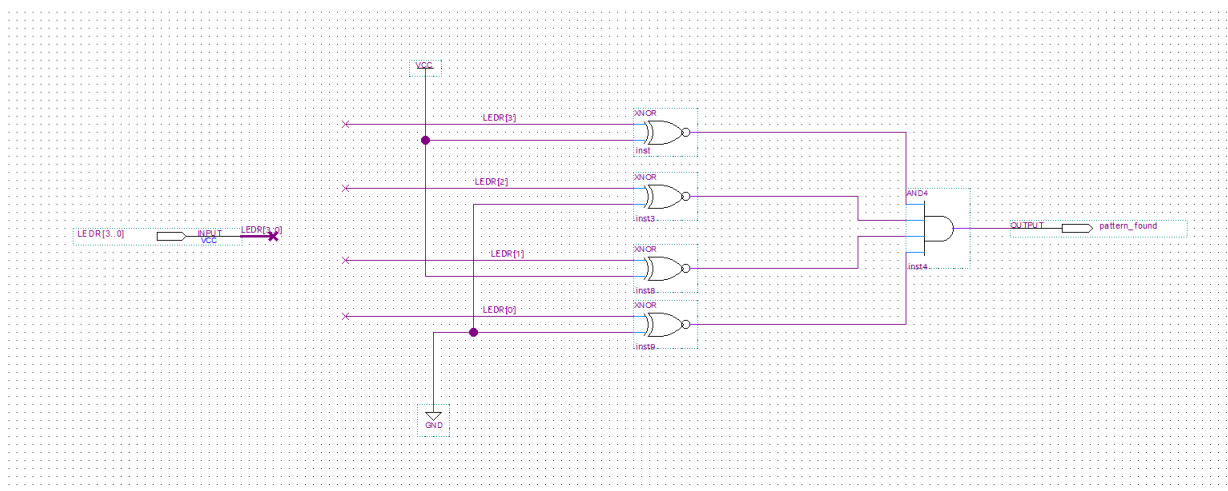


Figure 1: Lógica combinacional do Decoder

E utilizamos este decoder para detetar um padrão nos LEDS[3..0], o padrão definido foi '1010' ou seja, '10' em decimal. Mantivemos o contador, em vez de usar os switches e apenas adicionamos o decoder ao nosso esquemático, se a sequência for detetada o LEDG[0] acende-se, esta implementação esta a seguir:

PIO Detect Pattern

Adicionamos um PIO no plantform designer para evitar o uso dos switches, e em software simulamos a recepção de dados pelo processador e o decode da sequência pretendida enviando o número 10 e o número 0 alternadamente, quando o número 10 é recebido, verificasse que isso é detetado acendendo o LEDG[0].

Testes

No vídeo de nome parte1_testes temos uma demonstração do trabalho desenvolvido a correr na placa FPGA.

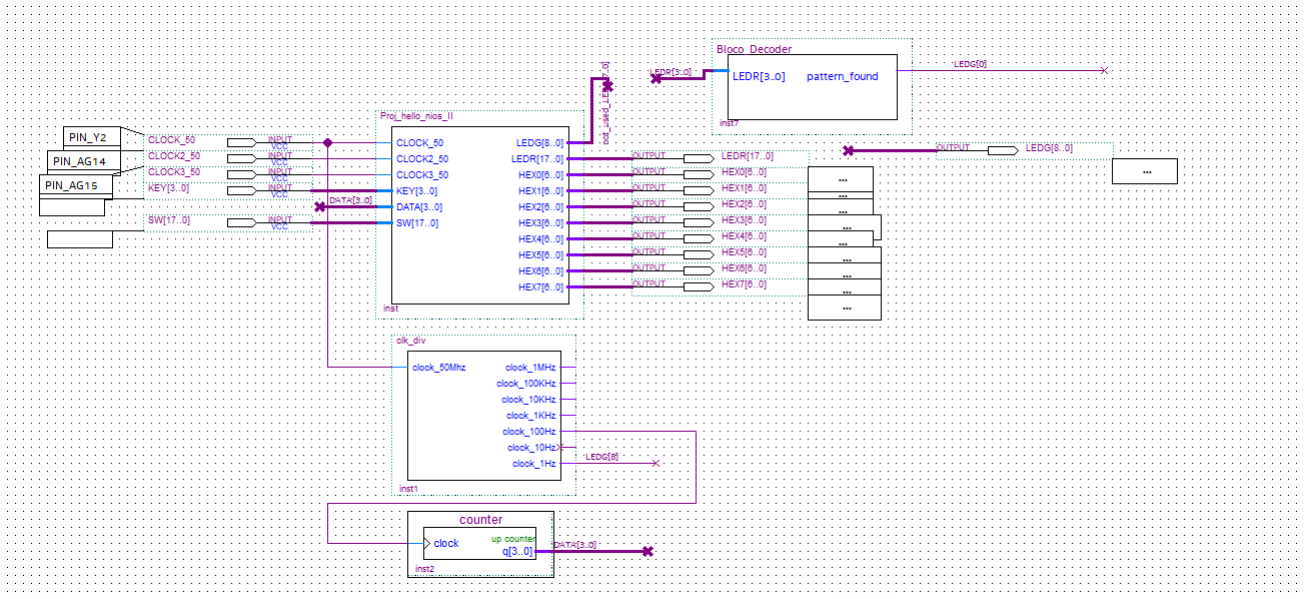


Figure 2: Plataform Designer VGA test

Use	C...	Name	Description	Export	Clock	Base	End	IRQ	T
<input checked="" type="checkbox"/>		clk	Clock Source		exported				
<input checked="" type="checkbox"/>		cpu	Nios II Processor		clk	# 0x0002_0800	0x0002_0fff		
<input checked="" type="checkbox"/>		onchip_memory	On-Chip Memory (RAM or ROM) Intel ...		clk	# 0x0001_0000	0x0001_ffff		
<input checked="" type="checkbox"/>		jtag_uart	JTAG UART Intel FPGA IP		clk	# 0x0002_10c0	0x0002_10c7		
<input checked="" type="checkbox"/>		key	PIO (Parallel I/O) Intel FPGA IP		clk				
		clk	Clock Input	Double-click to export	[clk]				
		reset	Reset Input	Double-click to export	[clk]				
		s1	Avalon Memory Mapped Slave	Double-click to export	[clk]	# 0x0002_1030	0x0002_103f		
		external_connection	Conduit	key_external_connection					
<input checked="" type="checkbox"/>		ledr	PIO (Parallel I/O) Intel FPGA IP		clk				
		clk	Clock Input	Double-click to export	[clk]				
		reset	Reset Input	Double-click to export	[clk]				
		s1	Avalon Memory Mapped Slave	Double-click to export	[clk]	# 0x0002_1020	0x0002_102f		
		external_connection	Conduit	ledr_external_connection					
<input checked="" type="checkbox"/>		switch	PIO (Parallel I/O) Intel FPGA IP		clk				
		clk	Clock Input	Double-click to export	[clk]				
		reset	Reset Input	Double-click to export	[clk]				
		s1	Avalon Memory Mapped Slave	Double-click to export	[clk]	# 0x0002_1010	0x0002_101f		
		external_connection	Conduit	switch_external_connec...					
<input checked="" type="checkbox"/>		hex_0	PIO (Parallel I/O) Intel FPGA IP		clk				
		clk	Clock Input	Double-click to export	[clk]				
		reset	Reset Input	Double-click to export	[clk]	# 0x0002_10b0	0x0002_10bf		
		s1	Avalon Memory Mapped Slave	Double-click to export	[clk]				
		external_connection	Conduit	hex_0_external_connec...					
<input checked="" type="checkbox"/>		hex_1	PIO (Parallel I/O) Intel FPGA IP		clk	# 0x0002_10a0	0x0002_10af		
<input checked="" type="checkbox"/>		hex_2	PIO (Parallel I/O) Intel FPGA IP		clk	# 0x0002_1090	0x0002_109f		
<input checked="" type="checkbox"/>		hex_3	PIO (Parallel I/O) Intel FPGA IP		clk	# 0x0002_1080	0x0002_108f		
<input checked="" type="checkbox"/>		hex_4	PIO (Parallel I/O) Intel FPGA IP		clk	# 0x0002_1070	0x0002_107f		
<input checked="" type="checkbox"/>		hex_5	PIO (Parallel I/O) Intel FPGA IP		clk	# 0x0002_1060	0x0002_106f		
<input checked="" type="checkbox"/>		hex_6	PIO (Parallel I/O) Intel FPGA IP		clk	# 0x0002_1050	0x0002_105f		
<input checked="" type="checkbox"/>		hex_7	PIO (Parallel I/O) Intel FPGA IP		clk	# 0x0002_1040	0x0002_104f		
<input checked="" type="checkbox"/>		pio_0	PIO (Parallel I/O) Intel FPGA IP		clk				
		clk	Clock Input	Double-click to export	[clk]				
		reset	Reset Input	Double-click to export	[clk]				
		s1	Avalon Memory Mapped Slave	Double-click to export	[clk]	# 0x0002_1000	0x0002_100f		
		external_connection	Conduit	pio_0_external_connec...					

Figure 3: Plataform Designer Parte 1

Parte 2- VGA

Para testar o VGA adicionamos no plataform designer os seguintes componentes: *video_pll_0*, *video_vga_controller*, *video_dual_clock_buffer*, *video_scaler*, *video_rgb_ressampler*, e para testar o VGA foi utilizado o *video_test_pattern*. Conseguimos testar com sucesso o VGA como pode ser visualizado abaixo.

System: LCD_VGA Path: clk_0										
Use	Connections	Name	Description	Export	Clock	Base	End	IRQ	Tags	Opcode Name
<input checked="" type="checkbox"/>		clk_0	Clock Source							
		clk_in	Clock Input	clk	exported					
		clk_in_reset	Reset Input	reset						
		clk	Clock Output	Double-click to export	clk_0					
		clk_reset	Reset Output	Double-click to export						
<input checked="" type="checkbox"/>		video_pll_0	Video Clocks for DE-series Boards							
		ref_clk	Clock Input	Double-click to export	clk_0					
		ref_reset	Reset Input	Double-click to export	[ref_clk]					
		video_in_clk	Clock Output	Double-click to export	video_pll_0...					
		vga_clk	Clock Output	Double-click to export	video_pll_0...					
		reset_source	Reset Output	Double-click to export						
<input checked="" type="checkbox"/>		video_vga_controller_0	VGA Controller							
		clk	Clock Input	Double-click to export	video_pll...					
		reset	Reset Input	Double-click to export	[clk]					
		avalon_vga_sink	Avalon Streaming Sink	Double-click to export	[clk]					
		external_interface	Conduit	video_vga_controller_0...						
<input checked="" type="checkbox"/>		video_dual_clock_buffer_0	Dual-Clock FIFO							
		dock_stream_in	Clock Input	Double-click to export	clk_0					
		reset_stream_in	Reset Input	Double-click to export	[dock_strea...]					
		dock_stream_out	Clock Input	Double-click to export	video_pll...					
		reset_stream_out	Reset Input	Double-click to export	[dock_strea...]					
		avalon_dc_buffer_sink	Avalon Streaming Sink	Double-click to export	[dock_strea...]					
		avalon_dc_buffer_source	Avalon Streaming Source	Double-click to export	[dock_strea...]					
<input checked="" type="checkbox"/>		video_scaler_0	Scaler							
		clk	Clock Input	Double-click to export	clk_0					
		reset	Reset Input	Double-click to export	[clk]					
		avalon_scaler_sink	Avalon Streaming Sink	Double-click to export	[clk]					
		avalon_scaler_source	Avalon Streaming Source	Double-click to export	[clk]					
<input checked="" type="checkbox"/>		video_rgb_resampler_0	RGB Resampler							
		clk	Clock Input	Double-click to export	clk_0					
		reset	Reset Input	Double-click to export	[clk]					
		avalon_rgb_sink	Avalon Streaming Sink	Double-click to export	[clk]					
		avalon_rgb_slave	Avalon Memory Mapped Slave	Double-click to export	[clk]					
		avalon_rgb_source	Avalon Streaming Source	Double-click to export	[clk]					
<input checked="" type="checkbox"/>		video_test_pattern_0	Test-Pattern Generator							
		clk	Clock Input	Double-click to export	clk_0					
		reset	Reset Input	Double-click to export	[clk]					
		avalon_generator_source	Avalon Streaming Source	Double-click to export	[clk]					

Figure 4: Platform Designer VGA test

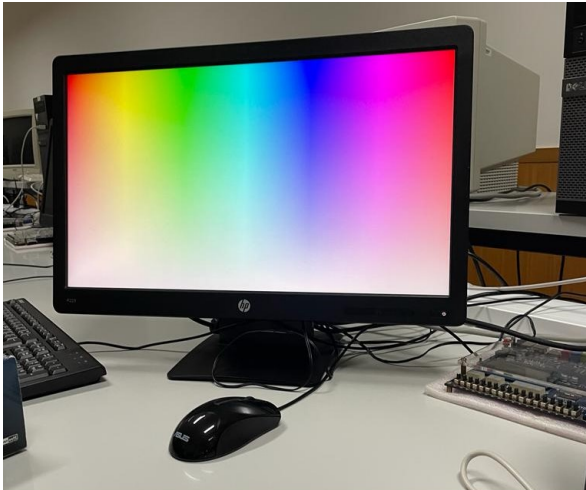


Figure 5: VGA Test Demonstration