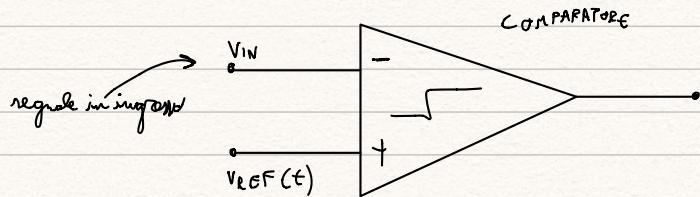


# STRUTTURA BASE DI UN ADC

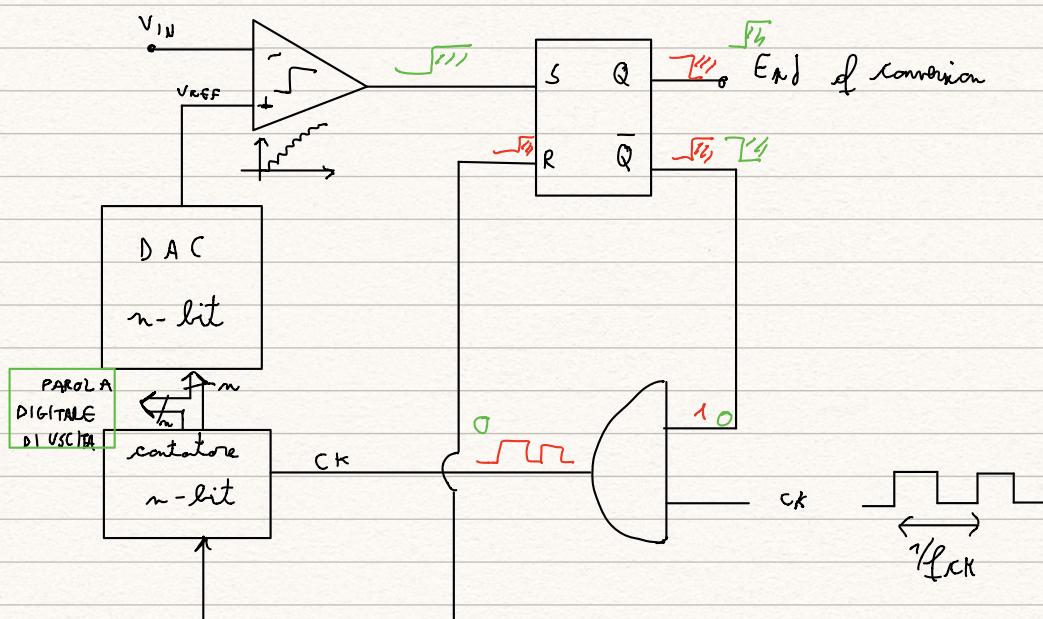


tenzione di riferimento variata nel tempo secondo opportuni criteri

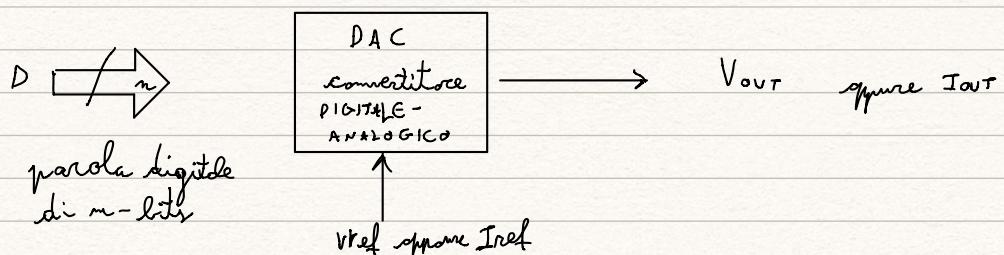
- $V_{IN}$  è mantenuta costante durante tutto il tempo della conversione da un  $S$  a  $H$

- quindi  $|V_{IN} - V_{REF}(t)| \leq \frac{1}{2} \text{ LSB}$

## ADC A GRADINATA:



## CONVERTITORE DIGITALE / ANALOGICO



grandezza analogica  
di riferimento

TENSIONE DI FONDO SCALA ( $V_{FS}$ ): massimo valore della tensione analogica di uscita

FULL SCALE RANGE (FSR): massima dinamica del segnale analogico di uscita



$$\begin{aligned} \text{MSB} &\rightarrow D = D_{m-1} \cdot 2^{m-1} + D_{m-2} \cdot 2^{m-2} + \dots + D_1 \cdot 2^1 + D_0 \cdot 2^0 \\ \downarrow & \\ V_{out} &= \frac{V_{FS}}{2^m} \cdot D = \\ &= \frac{V_{FS}}{2^m} \left( D_{m-1} \cdot 2^{m-1} + \dots + D_1 \cdot 2^1 + D_0 \cdot 2^0 \right) = \\ &= V_{FS} \left[ \frac{D_{m-1}}{2^1} + \frac{D_{m-2}}{2^2} + \dots + \frac{D_1}{2^{m-1}} + \frac{D_0}{2^m} \right] \end{aligned}$$

### CARATTERISTICA DI TRASFERIMENTO IDEALE



la tensione di uscita non raggiunge mai  $V_{FS}$ , ma ne rimane distanziata di un LSB

### ALTRI PARAMETRI:

STABILITÀ: indice del deterioramento nel tempo delle caratteristiche del DAC

ACCURATEZZA: massima differenza che si può prevedere tra l'uscita del convertitore reale e la corrispondente uscita dal DAC ideale

PRECISIONE: capacità del DAC di fornire il medesimo valore analogico di uscita a posita di parola digitale in ingresso

## ADC A GRADINATA (2)

$$V_{in} = 0 \Rightarrow T_{conv}|_{min} = 0$$

$V_{in} \approx V_{FS}$   $\Rightarrow$  l'uscita del DAC necessita di  $2^m$  colpi di clock per portarsi a  $(V_{FS} - \frac{V_{FS}}{2^m})$

$$\hookrightarrow T_{conv}|_{max} = \frac{2^m}{f_{CK}}$$



⌚ velocità di conversione relativamente bassa

ADC a 10 bit  $\Rightarrow$   $V_{in} \approx V_{FS}$  necessita di 1024 colpi di clock per essere convertito

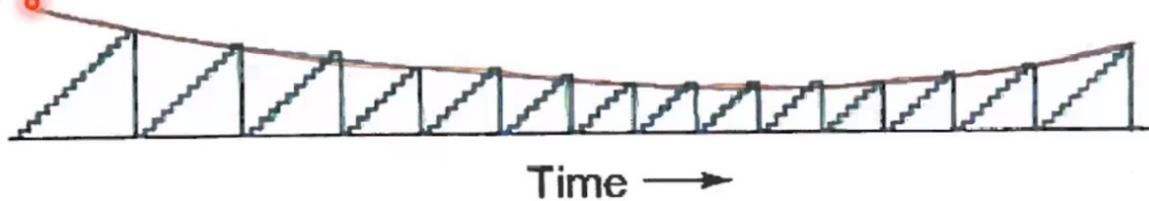
$$f_{CK} = 1\text{ MHz} \Rightarrow T_{conv}|_{max} = 1.024\text{ ms} \Rightarrow \approx 1000 \text{ convers./s}$$

😊 architettura semplice, basata su pochi blocchi funzionali  
 $\hookrightarrow$  ADC economico

⌚ la parola digitale fornita in uscita è il più piccolo valore di  $V_{DAC}$  che sia maggiore di  $V_{in}$ , ma non è necessariamente il valore di  $V_{DAC}$  più vicino a  $V_{in}$   $\Rightarrow V_{in}$  è semi sovrastimato

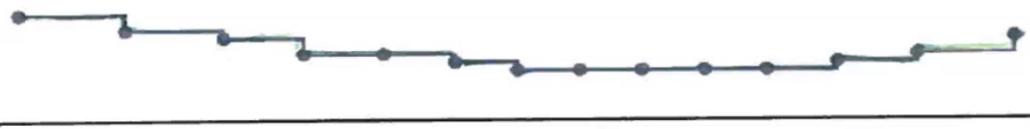
## ADC A GRADINATA

Analog input



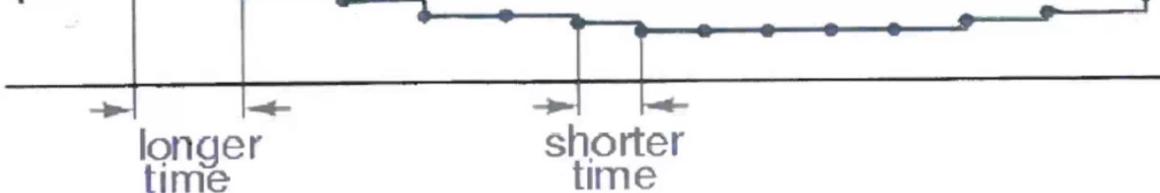
Time →

Digital output

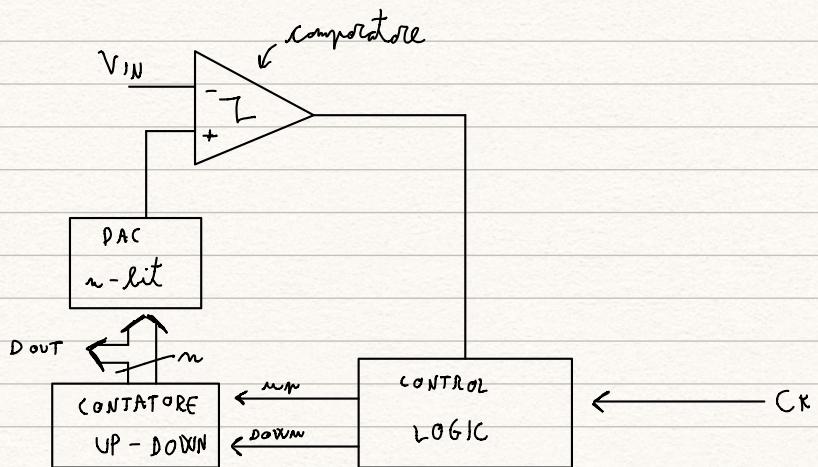


Time →

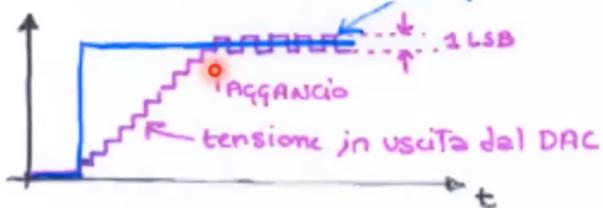
Digital output



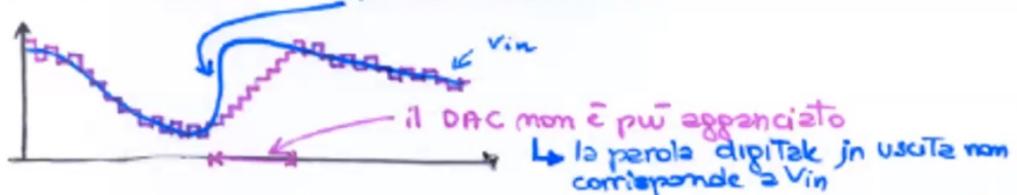
# ADC TRACKING:



• SEGNALE COSTANTE  $V_{in}$  (costante dopo l'aggancio)



• FRONTE RAPIDO  $V_{in}$  (fronte rapido di  $V_{in}$ )



Quale è la massima frequenza di aggancio di un Tracking ADC?

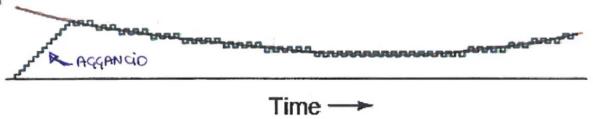
$$\text{massima pendenza} = \frac{V_{FS}}{2} \omega_{in} \cos(\omega_{in} t) \Big|_{\text{max}} = \frac{V_{FS}}{2^n} \frac{\pi}{2} f_{in}$$

massima velocità di variazione dell'uscita del DAC:  $1\text{LSB}/t_{on} = \frac{V_{FS}}{2^n} \times f_{in}$

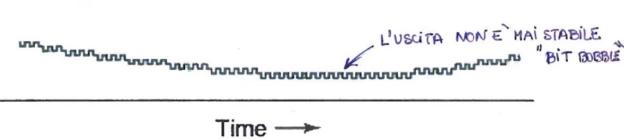
$$\Rightarrow V_{FS} \pi f_{in} < \left( \frac{V_{FS}}{2^n} \right) f_{in} \Rightarrow f_{in} < \frac{f_{in}}{2^n \pi} \quad f_{in} = 1\text{MHz}; n=10 \Rightarrow f_{in} < 300\text{Hz}!!$$

## ADC TRACKING

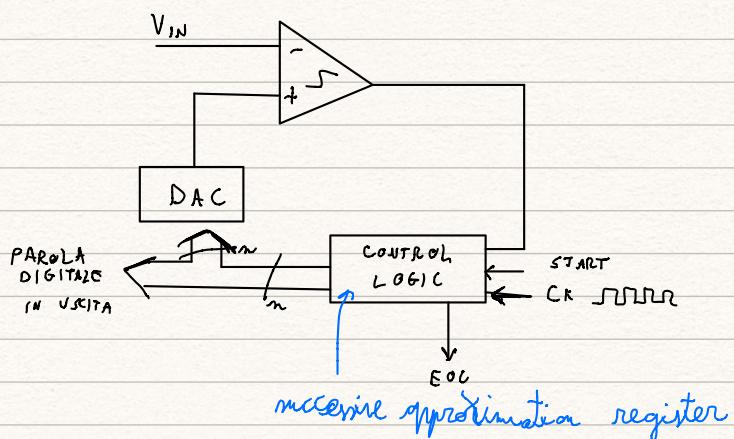
Analog Input



Digital output



# ADC AD APPROXIMAZIONI SUCCESSIVE ("ADC SAR")



## ADC AD APPROXIMAZIONI SUCCESSIVE

La logica di controllo asserisce inizialmente il MSB  $\Rightarrow V_{DAC} = \frac{V_{FS}}{2}$

$$\text{MSB} = 1 \quad \text{se } V_{in} \geq \frac{V_{FS}}{2}$$

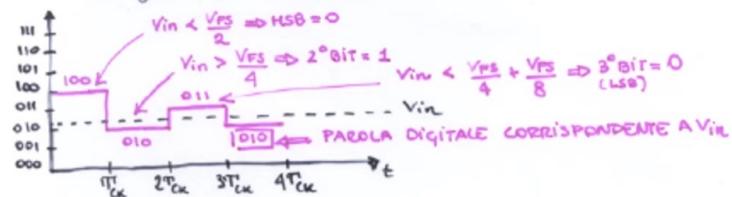
$$\text{MSB} = 0 \quad \text{se } V_{in} < \frac{V_{FS}}{2}$$

Al secondo colpo di CR è asserito il bit successivo

$$(\text{MSB}=1) \quad 2^{\text{BIT}} = 1 \quad \text{se } V_{in} \geq \frac{V_{FS}}{2} + \frac{V_{FS}}{4}$$

$$2^{\text{BIT}} = 0 \quad \text{se } V_{in} < \frac{V_{FS}}{2} + \frac{V_{FS}}{4}$$

e così via fino all'esaurimento dei bit

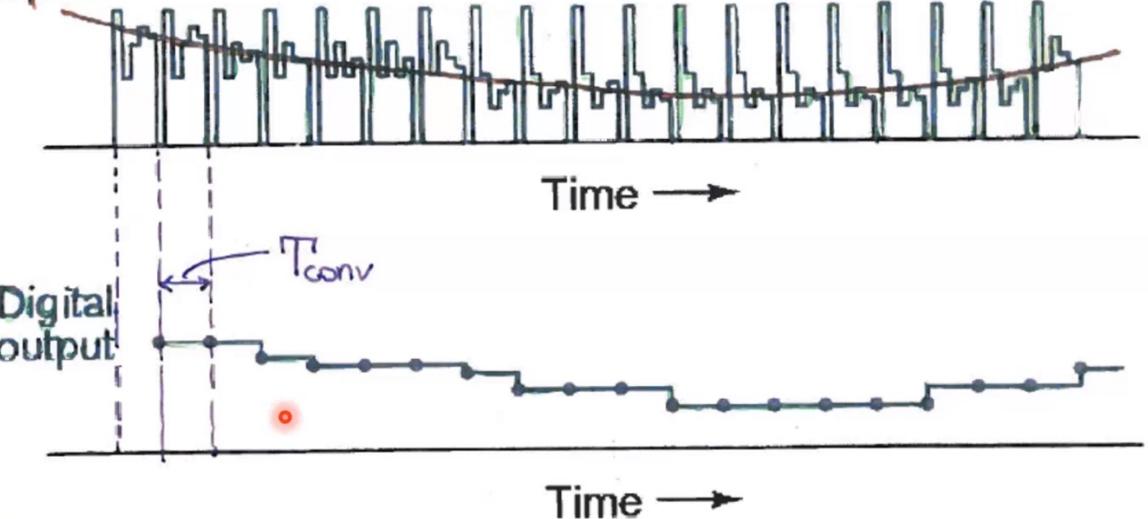


TEMPO DI CONVERSIONE  $T_{conv} = \frac{m}{f_{CK}}$  (ADC-10bit ;  $f_{CK} = 1\text{MHz} \Rightarrow T_{conv} = 10\mu\text{s}$ )

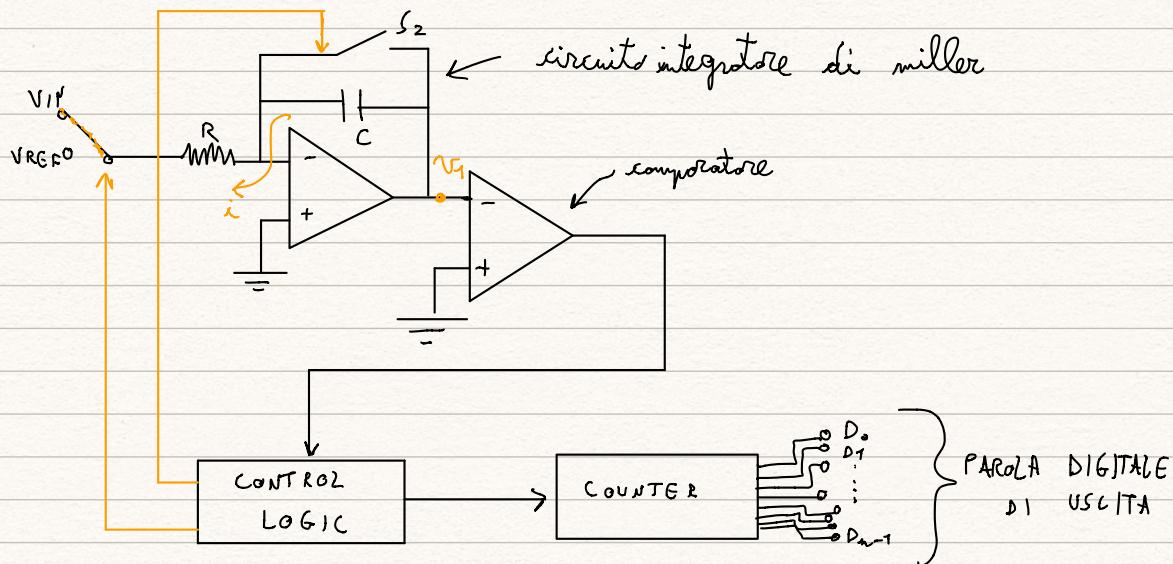
$T_{conv}$  limitato dal settling time del DAC e del tempo di risposta del comparatore. In generali il ritardo della logica SAR è trascurabile.

## ADC AD APPROXIMAZIONI SUCCESSIVE

Analog input



# ADC A DOPPIA RAMPA (DUAL-SLOPE ADC)



Hip:  $V_{in} < 0$

→ PRIMA DELL'INIZIO DELLA CONVERSIONE:  $S_2$  CHIUSO  $\Rightarrow V_2 = 0$

→ INIZIO DEL CICLO DI CONVERSIONE: FASE 1

- $S_2$  SI APRE

- $S_1$  CONNETTE L'INGRESSO DELL'INTEGRATORE A  $V_{in}$   
 $\hookrightarrow i = \frac{V_{in}}{R} \Rightarrow V_2$  CRESCHE LINEARMENTE (PENDENZA  $\frac{i}{C} = \frac{V_{in}}{RC}$ )

- CONTATORE È ABILITATO E CONTA PER UN TEMPO  $T_1$

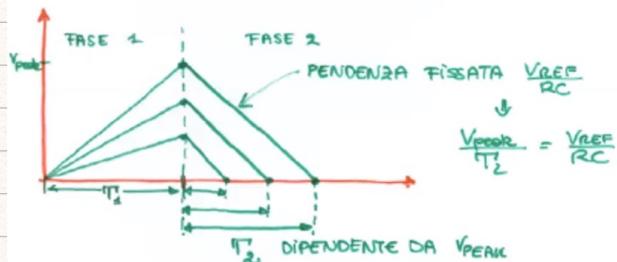
- la prima fase termina quando il contatore ha contato  $m_{REF} (= 2^m)$  e viene resettato

CICLO DI CONVERSIONE: FASE 2

- $S_3$  CONNETTE LA TENSIONE  $V_{REF}$  ALL'INGRESSO DELL'INTEGRATORE  
 $\hookrightarrow i = \frac{V_{REF}}{R} \Rightarrow V_2$  DECRESCE LINEARMENTE (PENDENZA  $\frac{V_{REF}}{RC}$ )

- IL CONTATORE È ABILITATO E CONTA

- QUANDO  $V_2 = 0 \Rightarrow$  IL COMPARATORE COMMUTA E LA LOGICA FERMA IL CONTATORE



## ADC A DOPPIA RAMPA (3)

$$\begin{aligned} \text{FASE 1: } \frac{V_{peak}}{T_1} &= \frac{V_{in}}{RC} \\ \text{FASE 2: } \frac{V_{peak}}{T_2} &= \frac{V_{ref}}{RC} \end{aligned} \quad \left\{ \Rightarrow \frac{V_{in}}{RC} T_1 = \frac{V_{ref}}{RC} T_2 \right. \\ \left. \Rightarrow T_1 V_{in} = T_2 V_{ref} \right.$$

$$\hookrightarrow T_2 = \frac{V_{in}}{V_{ref}} T_1$$

MA:

- $m_{REF}$  È PROPORZIONALE A  $T_1$
- il (conteggio del counter  $\otimes T_2$ ) È PROPORZIONALE A  $T_2$

$$k = m_{REF} \left( \frac{V_{in}}{V_{ref}} \right) = \frac{m_{REF}}{V_{ref}} \cdot V_{in} = \frac{2^m}{V_{ref}} \cdot V_{in}$$

risoluzione dell'adc

↳ la perdita digitale k è in uscita al contatore al tempo  $T_2$  è la perdita digitale equivalente a  $V_{in}$

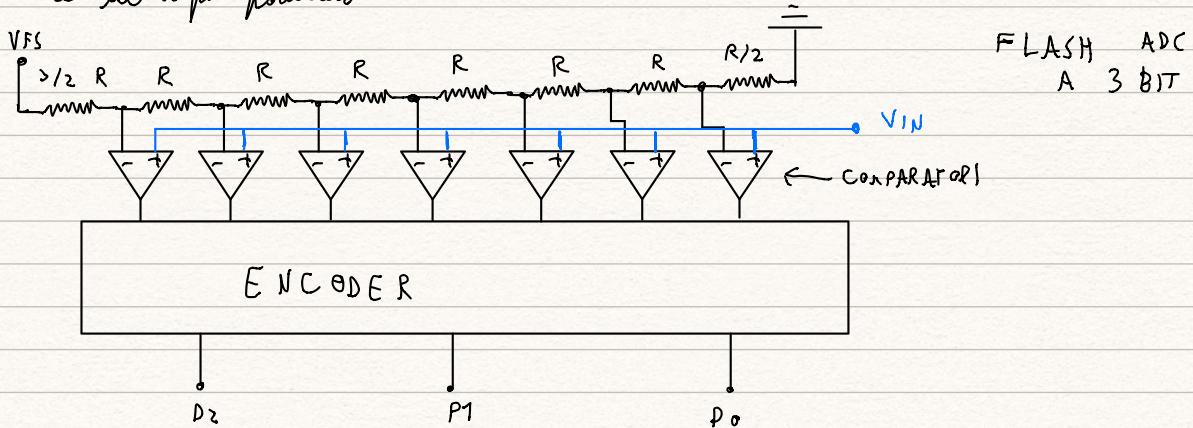
☺ elevata accuratezza, poiché le prestazioni non dipendono dalle tolleranze sui valori di  $R$  e  $C$

☺ ridotto numero di componenti e blocchi circuitali

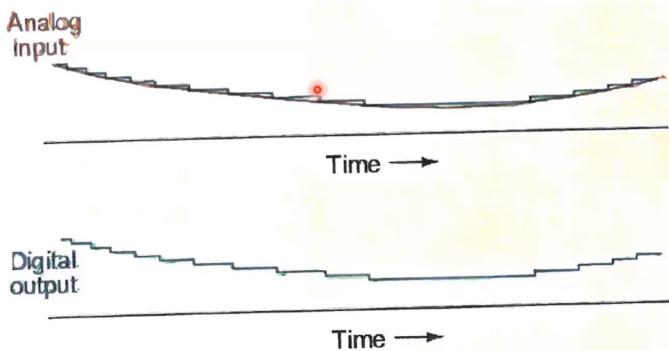
☺ tempi di conversione piuttosto lunghi

# FLASH ADC

Per raggiungere elevate velocità di conversione è necessario ricorrere ad ADC basati su architetture di tipo parallelo.



## FLASH ADC



## • DINAMICA DELL'ADC

È data dal rapporto fra il massimo valore formabile dell'ADC e il valore del minimo intervallo di tensione che può essere discriminato

$$\text{DINAMICA} = 20 \log \frac{\text{FSR}}{\text{LSB}} = 20 \log \frac{\text{FSR}}{\frac{\text{FSR}}{2^m}} = 20 \log 2^m = \\ = 6.02 \cdot m$$

ADC a 12 bit con  $V_{\text{REF}} = 5V$

$$000000000001 \rightarrow \frac{V_{\text{REF}}}{2^{12}} = \frac{5V}{4096} = 1.22mV$$

$$111111111111 \rightarrow 0V_{\text{REF}} = 5V$$

$$\text{DINAMICA} = 20 \log \frac{5V}{1.22mV} = 72 \text{dB}$$

$$= 12 \cdot 6.02 = 72 \text{dB}$$

## RAPPORTO SEGNALE / RUMORE

Quale è il valore massimo di rapporto segnale / rumore (SNR) ottenibile con un ADC ideale?

SEGNALE: sinusoida di ampiezza max consentita

RUMORE: rumore di quantizzazione

$$\begin{aligned} \text{SNR}_{\text{MAX}} &= \frac{\text{potenza max segnale}}{\text{potenza min rumore}} = \\ &= 10 \log \frac{\left( \frac{\text{FSR}}{2} \cdot \frac{1}{\sqrt{2}} \right)^2}{\frac{\text{LSB}^2}{12}} = \text{valore efficece} \\ &= 10 \log \frac{\frac{\text{FSR}^2}{8}}{\frac{\text{FSR}^2}{2^{2n}} \frac{1}{12}} = 10 \log \left[ 2^{2n-1} \cdot 3 \right] = \\ &= (2n-1) \left[ 10 \log 2 \right] + 10 \log 3 = 6.02 \cdot n + 1.76 \quad \uparrow \\ &\qquad\qquad\qquad \text{n° di bit dell'ADC} \end{aligned}$$

$$\hookrightarrow \text{ADC} \approx 12 \text{ bit} \quad \text{SNR}_{\text{max}} = 12 \cdot 6.02 + 1.76 = 74 \text{ dB}$$

In realtà all'interno dell'ADC si sovrappongono al segnale analogico anche altri rumori elettronici

→ il risultato della conversione sarà soggetto ad un rumore maggiore del solo rumore di quantizzazione.

**BIT EFFICACI** dell'ADC: numero di bit che un ADC ideale, affatto dal solo rumore di quantizzazione, dovrebbe possedere per presentare il medesimo SNR.

$$m_{\text{bit eff.}} = \frac{\text{SNR} - 1.76 \text{ dB}}{6.02 \text{ dB}}$$

$$\begin{aligned} \text{ADC a 12 bit; FSR} = 5V; \text{SNR}_{\text{reale}} &= 68 \text{ dB} \Rightarrow \frac{68 - 1.76}{6.02} = 11 \text{ bit efficaci} \\ 100000000001 \rightarrow 2.5012 \pm 1 \text{ LSB} \quad \uparrow & \end{aligned}$$

## EFFECTIVE NUMBER OF BIT (ENOB)

L'uscita dell'ADC (anche se ideale) può perdere risoluzione in tutti i casi in cui il segnale analogico in ingresso presenta un'ampiezza minore della minima ampiezza consentita

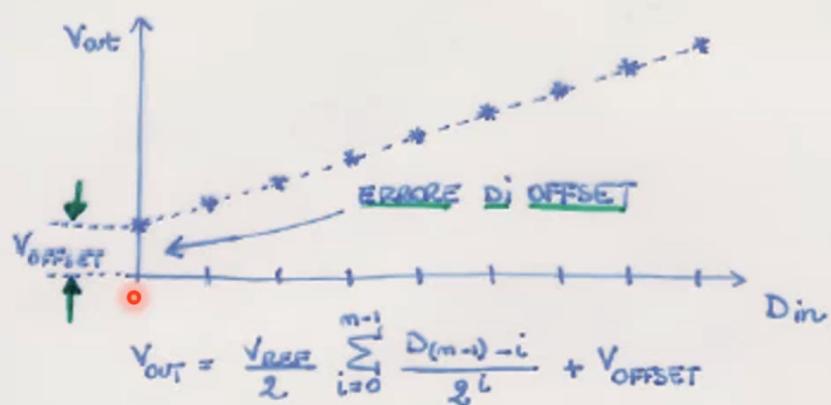
→ il segnale di ingresso non sfrutta l'intera dinamica

↓ quando il segnale di ingresso non ha ampiezze sufficienti per sfruttare l'intera dinamica dell'ADC è conveniente amplificare preliminarymente il segnale di ingresso per "portarlo in dinamica".

# CONVERTITORI DIGITALI - ANALOGICI

## ERROTI STATICI E NON LINEARITÀ, PARAMETRI DINAMICI

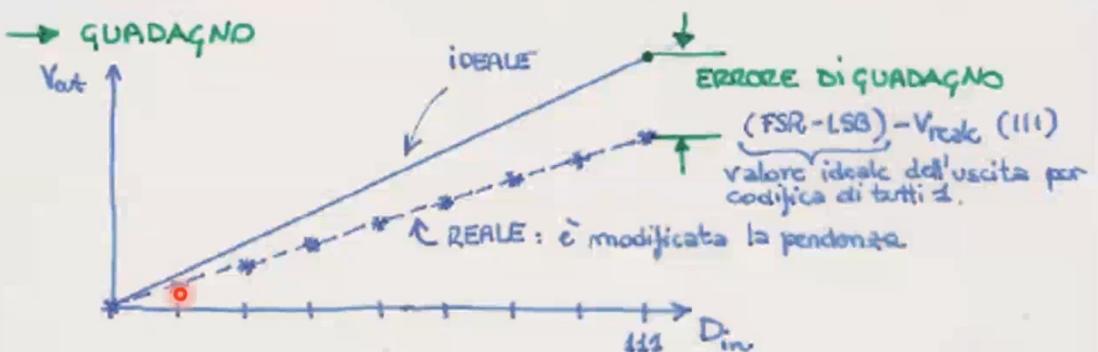
### → OFFSET



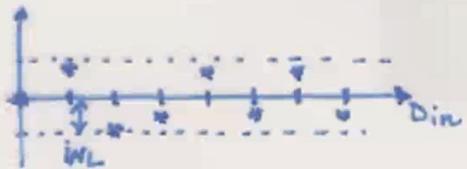
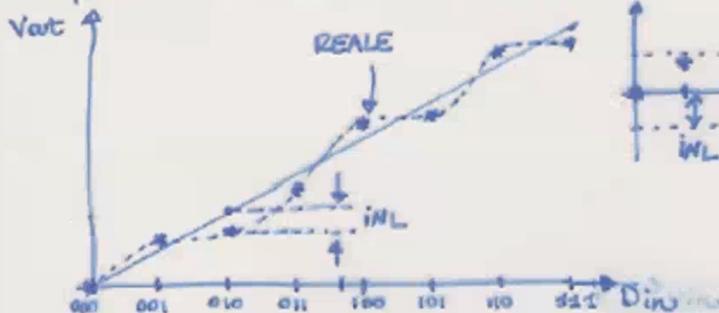
- Tipicamente  $V_{OFFSET} \approx$  qualche mV
- può essere regolato a zero mediante potenziometri, ma il suo valore cambia nel tempo di funzionamento

## ERROTI STATICI E NON LINEARITÀ, PARAMETRI DINAMICI

### → GUADAGNO

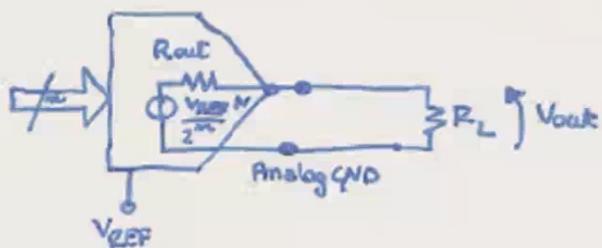


→ NON-LINEARITÀ INTEGRALE: massimo scostamento presente tra un punto della caratteristica reale del DAC ed il corrispondente punto sulla caratteristica ideale.



## ERROTI STATICI E NON LINEARITÀ, PARAMETRI DINAMICI

### → IMPEDENZA DI USCITA



Esempio: DAC ZN558D:  $R_{out} = 4 k\Omega$ ,  $V_{Ref} = 5V$ , 8 bits

Calcoliamo il valore minimo della resistenza che può essere connesso in uscita perché l'errore sulla tensione di uscita sia minore di  $\frac{1}{2}$  LSB:

$$LSB = \frac{V_{Ref}}{2^m} = \frac{5V}{2^8} = \frac{5V}{256} = 19.5 mV$$

$$\downarrow \Delta V_{out} \leq \frac{19.5 mV}{2} = 9.75 mV \Rightarrow I_{out} \leq \frac{\Delta V_{out}}{R_{out}} \approx 2.5 \mu A$$

$$\downarrow R_L > \frac{V_{Ref}}{I_{out \max}} = \frac{5V}{2.5 \mu A} = 2 M\Omega$$

↳ condizione molto stringente, soprattutto se a valle c'è un amplificatore invertente!

## ERROTI STATICI E NON LINEARITÀ, PARAMETRI DINAMICI

→ SETTLING TIME: tempo necessario perché l'uscita analogica del DAC si arresti entro una banda di oscillazione assegnata quando l'ingresso commuta da tutti i bit pari a 0 a tutti i bit pari a 1.

Questa banda di oscillazione tipicamente assegnata è  $\pm 0.5$  LSB attorno al valore esistitivo finale



• parametro legato alla banda dell'opamp utilizzato

## ERROTI STATICI E NON LINEARITÀ, PARAMETRI DINAMICI

### → GLITCH SUL SEGNALE DI USCITA

Fenomeno provocato dalla non istantanéità del comando degli switch

↳ sono prodotte transitoriamente tensioni di uscita differenti da quella finale

ESEMPIO: DAC a 4 bit commutazione 0101 → 1011

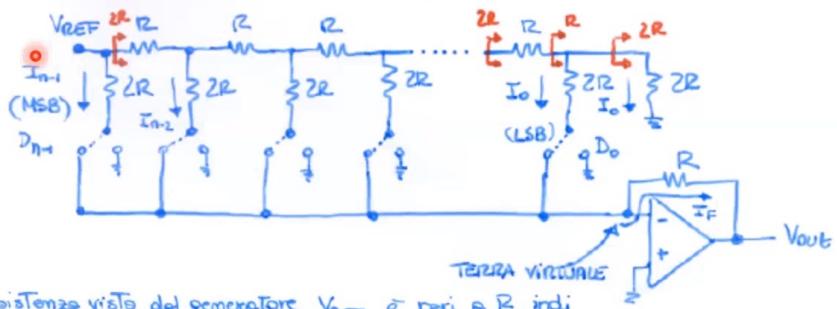
↳ l'uscita dovrebbe commutare da  $V_{out} = \frac{5}{16} V_{ref}$   
a  $V_{out} = \frac{11}{16} V_{ref}$

Se il 3° bit è lento nel commutare:

0	1	0	1	$\frac{5}{16} V_{ref}$
1	1	1	1	$\frac{15}{16} V_{ref}$
10	1	1	1	$\frac{11}{16} V_{ref}$

GLITCH!

## CONVERTITORI A SCALA R-ZR



- resistenza vista dal generatore  $V_{REF}$  è pari a  $R$ , indipendentemente dalla parola digitale in ingresso, grazie al modo di Terra virtuale  $\rightarrow$  corrente erogata da  $V_{REF}$ :  $I_{REF} = \frac{V_{REF}}{R}$

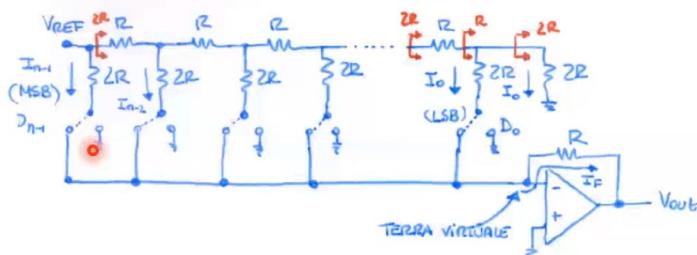
- corrente attraverso la resistenza di retroazione  $R$ :

$$I_{n-1} = \frac{V_{REF}}{2R}; I_{n-2} = \frac{I_{n-1}}{2}; I_{n-3} = \frac{I_{n-2}}{2} = \frac{I_{n-1}}{2^2}$$

$$I_F = \frac{J_{n-1}}{2^{n-1}} = \frac{V_{REF}}{2^n R}$$

$$\downarrow I_F = \frac{V_{REF}}{2R} \cdot D_{m-1} + \frac{V_{REF}}{2R} \cdot \frac{D_{m-2}}{2} + \frac{V_{REF}}{2R} \cdot \frac{D_{m-3}}{2^2} + \dots + \frac{V_{REF}}{2R} \cdot \frac{D_0}{2^{n-1}}$$

## CONVERTITORI A SCALA R-ZR



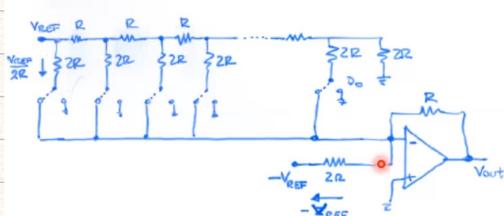
⊗ pesano le resistenze serie degli interruttori e la tensione di offset e le correnti di bias dell'opamp.

⊕ il massimo valore di resistenza che deve essere integrato è pari a  $2R$  indipendentemente dal numero di bit del DAC.

⊕ resistenza vista da  $V_{REF}$  non dipende dalla parola digitale in ingresso  $\rightarrow$  la resistenza serie del generatore  $V_{REF}$  pesa come errore di guadagno (poco importante), ma non dà INL e DNL.

→ Per avere tensione di fondo scala positiva è sufficiente scegliere  $V_{REF}$  negativa

## CONVERTITORI A SCALA R-ZR BIPOLARE



↓ l'uscita del DAC su nodo R-ZR viene ricavata di una quantità  $+\frac{V_{REF}}{2R} \cdot R = +\frac{V_{REF}}{2}$  grazie al termo aggiuntivo che sfiorisce il modo di Terra virtuale.

\* parola digitale di Tutti 0:  $V_{out} = \left( -\frac{V_{REF}}{2R} \right) \cdot R = +\frac{V_{REF}}{2}$

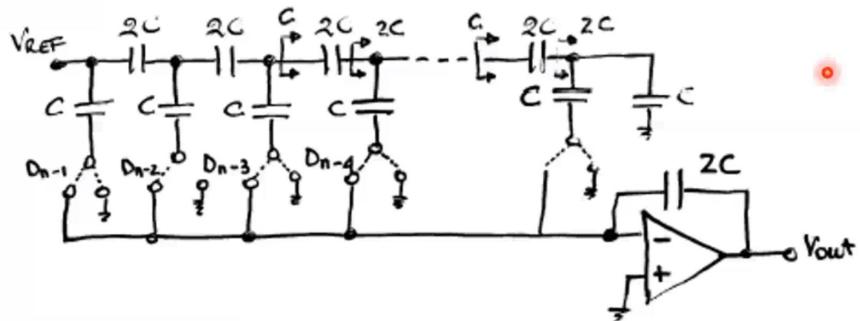
\* parola digitale di Tutti 1  $\Rightarrow N_0 = 2 - 1$

$$V_{out} = -\frac{V_{REF}}{2^m} \cdot N_0 + \frac{V_{REF}}{2} = -\frac{V_{REF}}{2^m} (2^n - 1) + \frac{V_{REF}}{2}$$

$$= -\frac{V_{REF}}{2} + \frac{V_{REF}}{2^n}$$

L<sub>b</sub> 1LSB sotto il massimo valore della tensione di uscita.

# CONVERTITORE A SCALA C-2C

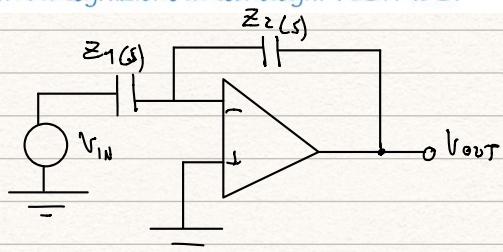


$$V_{out} = -\frac{V_{REF}}{2C} \left[ CD_{n-1} + \frac{C}{2} D_{n-2} + \dots + \frac{C}{2^{n-2}} D_1 + \frac{C}{2^{n-1}} D_0 \right] =$$

$$= -\frac{V_{REF}}{2^n} \left[ 2^{n-1} D_{n-1} + 2^{n-2} D_{n-2} + \dots + 2^1 D_1 + 2^0 D_0 \right] =$$

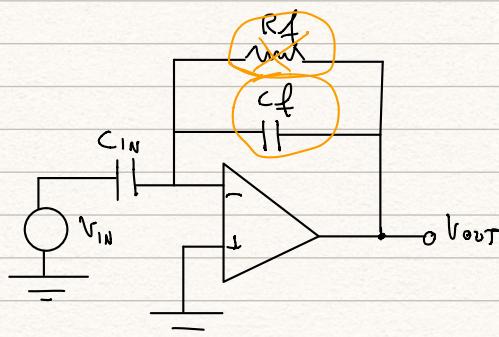
$$= -N \frac{V_{REF}}{2^n}$$

L'impiego delle capacità, al posto delle resistenze, rende questa topologia di DAC compatibile con l'integrazione in tecnologia VLSI MOS.



$$Z_2(s) = \frac{1}{sC_{in}}$$

$$Z_1(s) = \frac{1}{sC_{in}}$$



$$Z_2(s) = \frac{R_f}{1 + sC_f R_f}$$

$$Z_1(s) = \frac{1}{sC_{in}}$$

$$T(s) \stackrel{\Delta}{=} \frac{V_{out}(s)}{V_{in}(s)} = \frac{-R_f}{1 + sC_f R_f} \quad sC_{in} \xrightarrow[s \rightarrow \infty]{} \infty \quad \frac{-sC_{in}R_f}{sC_f R_f} = -\frac{C_{in}}{C_f}$$

capacità più semplici da integrare rispetto alle resistenze