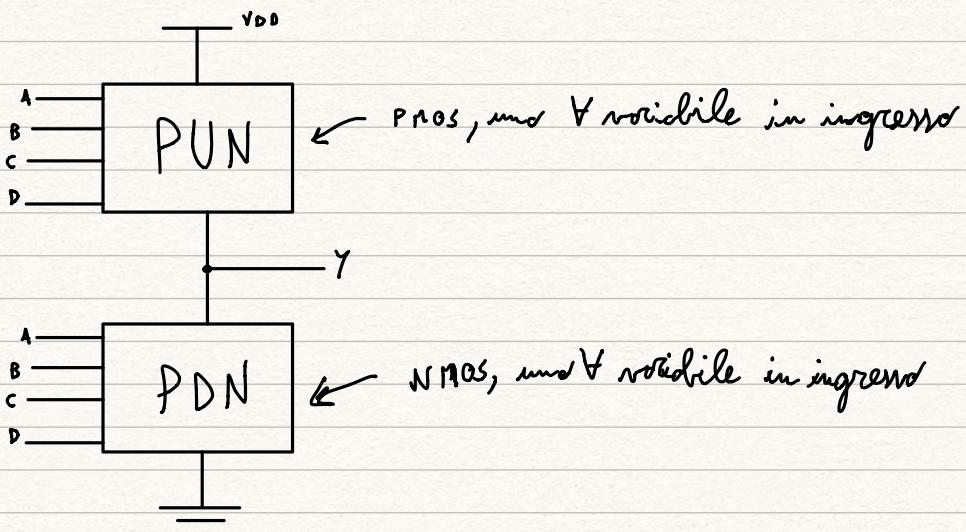


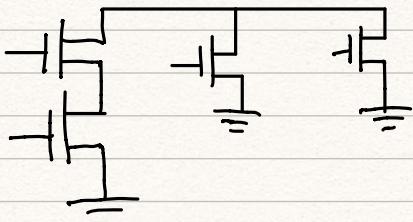
PORTE LOGICHE COMPLESSE IN TECNOLOGIA CMOS:



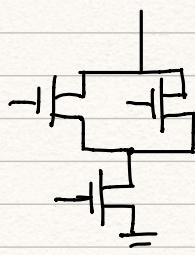
OR → connessione di più rombi in parallelo

AND → connessione di più elementi in serie

SOMMA DI PRODOTTI (SOP): Tanti rombi in parallelo, ciascuno con le serie di più transistori

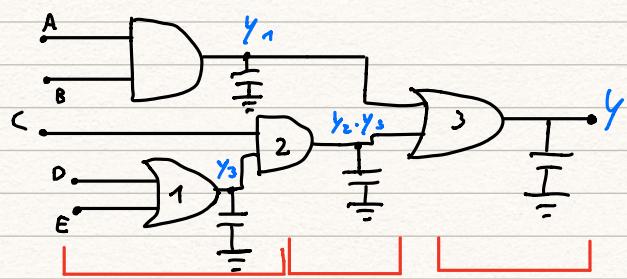


PRODOTTO DI SOMME (POS): la serie di tanti paralleli di tanti rombi



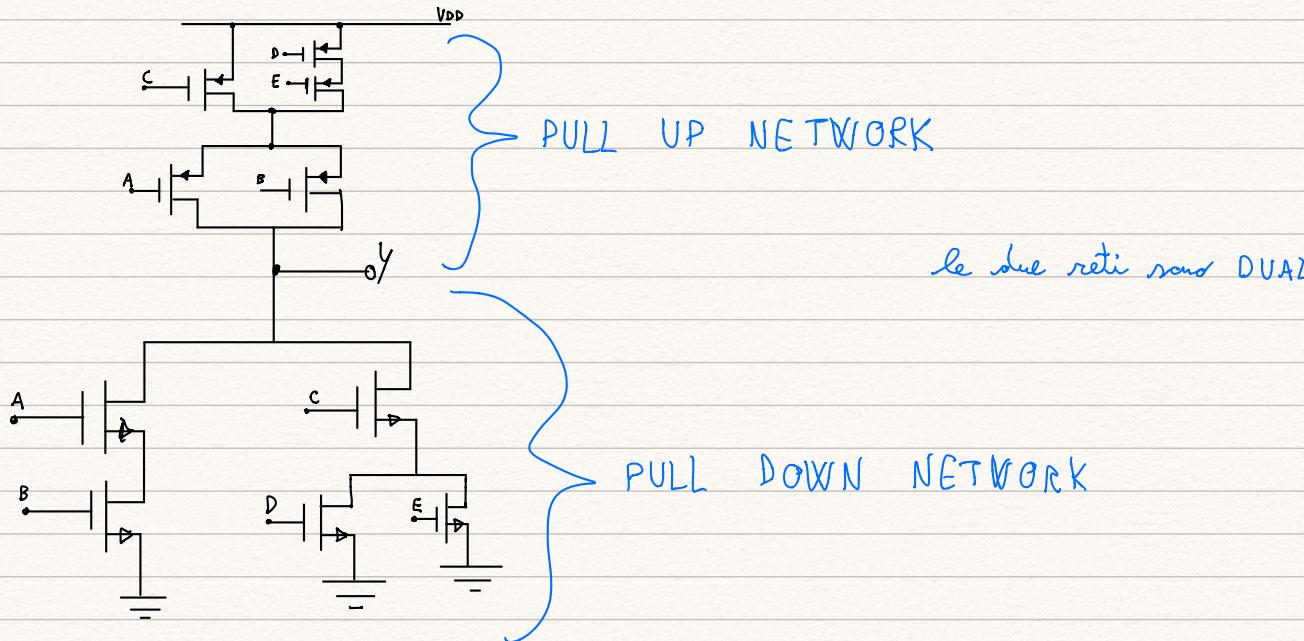
$$Y = \overline{A \cdot B + C \cdot (D+E)} = Y_1 + Y_2 \cdot Y_3$$

$$\begin{aligned} Y_1 &= A \cdot B \\ Y_2 &= C \\ Y_3 &= D + E \end{aligned}$$



$$\bar{Y} = A \cdot B + C \cdot (D+E)$$

$$\begin{aligned} Y &= \overline{A \cdot B + C \cdot (D+E)} = \overline{\overline{A \cdot B}} \cdot \overline{C} + (\overline{D+E}) = \\ &= (\overline{A} + \overline{B}) \cdot \overline{C} + \overline{D} \cdot \overline{E} = (\overline{A} + \overline{B}) \overline{C} + \overline{D} \cdot \overline{E} \end{aligned}$$



le due reti sono DUALI

condizioni più gravi:

PDN : - A serie B
- C serie D
- C serie E
↳ serie di due Nmos

PUN: - A serie D serie E
- B serie D serie E
↳ serie di 3 pmos

SERIE DI PIÙ TRANSISTORI

$$\left(\frac{w}{l}\right)_{eq} = \frac{1}{\sum_i \left(\frac{L}{w}\right)_i}$$

PARALLELO DI PIÙ TRANSISTORI

$$\left(\frac{w}{l}\right)_{eq} = \sum_i \left(\frac{w}{l}\right)_i$$

ad esempio inverter equivalente $\left(\frac{w}{l}\right)_{eq} = 2$

per avere inverter equivalente simmetrico $\left(\frac{w}{l}\right)_{eq} = 2,5 \left(\frac{w}{l}\right)_{eq} = 5$

PDN

serie di 2 transistori

$$\left(\frac{w}{l}\right)_{eq} = \frac{1}{\left(\frac{L}{w}\right)_A + \left(\frac{L}{w}\right)_B} = \frac{1}{2 \left(\frac{L}{w}\right)_n} = \left(\frac{w}{l}\right)_n \cdot \frac{1}{2}$$

\downarrow

$$\left(\frac{w}{l}\right)_A = 2 \left(\frac{w}{l}\right)_{eq} = 4 = \left(\frac{w}{l}\right)_B = \left(\frac{w}{l}\right)_C = \left(\frac{w}{l}\right)_D = \left(\frac{w}{l}\right)_E$$

PUN

scrivere di 3 transistori \rightarrow dimensione A-D-E, dimensione anche B-D-E

$$\left(\frac{W}{L}\right)_{req} = \frac{1}{\left(\frac{L}{W}\right)_A + \left(\frac{L}{W}\right)_D + \left(\frac{L}{W}\right)_E} = \frac{1}{3} \left(\frac{W}{L}\right)_P$$

$$\left(\frac{W}{L}\right)_{PA} = \left(\frac{W}{L}\right)_{PD} = \left(\frac{W}{L}\right)_{PE} = 3 \left(\frac{W}{L}\right)_{eq_P} = 3 \cdot 5 = 15$$

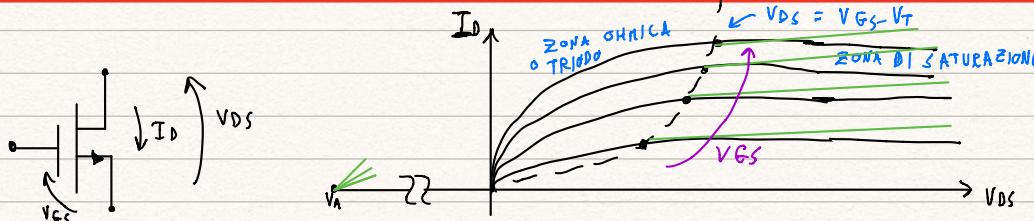
$$\left(\frac{W}{L}\right)_{PB} = 15$$

$$\left(\frac{W}{L}\right)_{eq_{c, \text{series}}} = \frac{1}{\left(\frac{L}{W}\right)_C + \left(\frac{L}{W}\right)_P} = 5$$

$$\left(\frac{W}{L}\right)_{PC} = 7,5$$

$$\frac{1}{\frac{1}{15} + \frac{1}{15}} = \frac{1}{\frac{1}{15} + \frac{2}{15}} = \frac{1}{\frac{3}{15}} = \frac{15}{3} = 5$$

TRANSISTORE CMOS: TRANSCARATTERISTICA, TRANSCONDUTTANZA E COMPORTAMENTO SU SEGNALE:

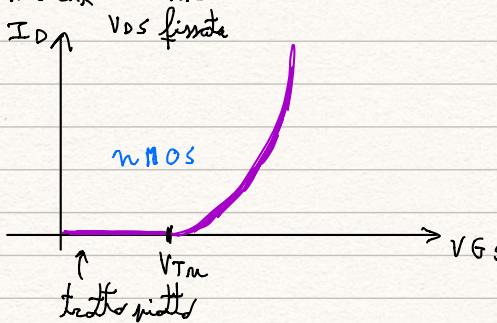


$$\text{saturazione } I_D = \frac{1}{2} \mu_n C_ox \frac{W}{L} (V_{GS} - V_{TN})^2 = k_n (V_{GS} - V_{TN})^2$$

con effetto early:

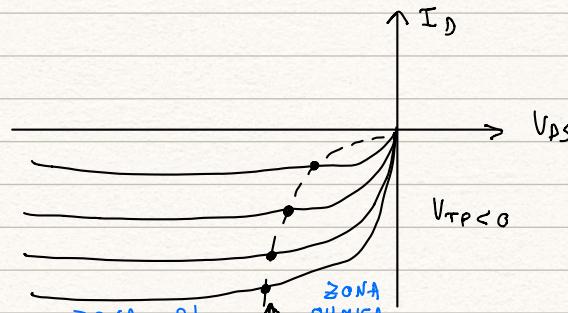
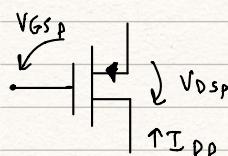
$$I_D = k_n (V_{GS} - V_{TN})^2 (1 + \lambda V_{DS}) \quad \lambda = \frac{1}{|V_A|}$$

TRANSCARATTERISTICA



$$\begin{cases} I_D = k_n (V_{GS} - V_{TN})^2 & V_{GS} > V_{TN} \\ I_D = 0 & V_{GS} < V_{TN} \end{cases}$$

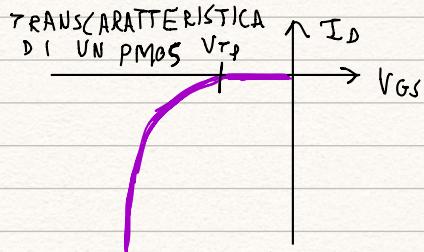
e per il pMOS?



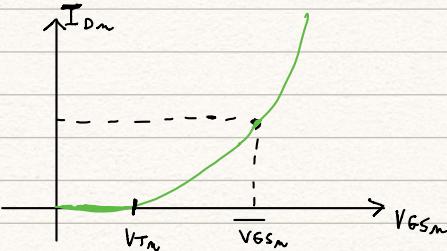
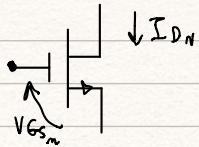
ZONAE DI
SATURAZIONE

$$V_{DS_P} = V_{GS_P} - V_T P$$

$$I_D = -\frac{1}{2} \mu_p C_o \frac{W}{L} (V_{GS_P} - V_{T_P})^2 = k_p (V_{GS_P} - V_{T_P})^2 \quad k_p < 0$$

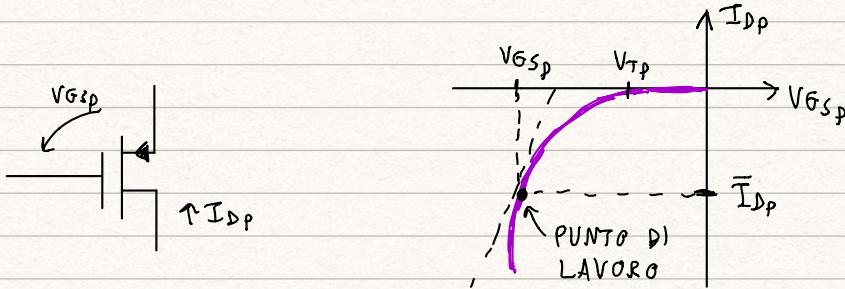


TRANSCONDUITANZA:



$$g_m \stackrel{\Delta}{=} \frac{\partial I_D \text{ sat}}{\partial V_{GS}} \Big|_{V_{DS} \text{ fissa}} = 2 k_n (V_{GS_N} - V_{T_N}) > 0$$

$$I_{D_{SAT}} = k_n (V_{GS_N} - V_{T_N})^2$$



$$g_m \stackrel{\Delta}{=} \frac{\partial I_D}{\partial V_{GS}} = 2 k_p (V_{GS_P} - V_{T_P}) > 0$$

$$k_p < 0 \quad (V_{GS_P} - V_{T_P}) < 0$$

$$I_{D_P} = k_p (V_{GS_P} - V_{T_P})^2$$

NOMENCLATURE:

letter minuscola, pedice maiuscolo

$$V_{GS} \stackrel{\Delta}{=} V_G - V_S \quad \text{Tensione DC al gate meno tensione DC al source}$$

tensione di segnale al gate meno tensione di segnale al source

e di segnale, lettera minuscola, pedice minuscolo

grazie

I_d e i_d somma di corrente DC (polarizzazione) e corrente di segnale

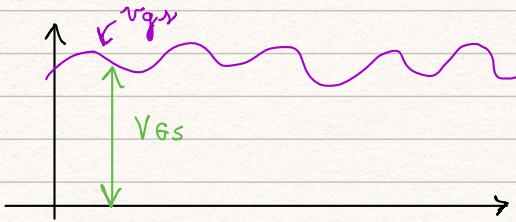
Tedro Smith

$$I_d = (i_D) = I_D + i_d$$

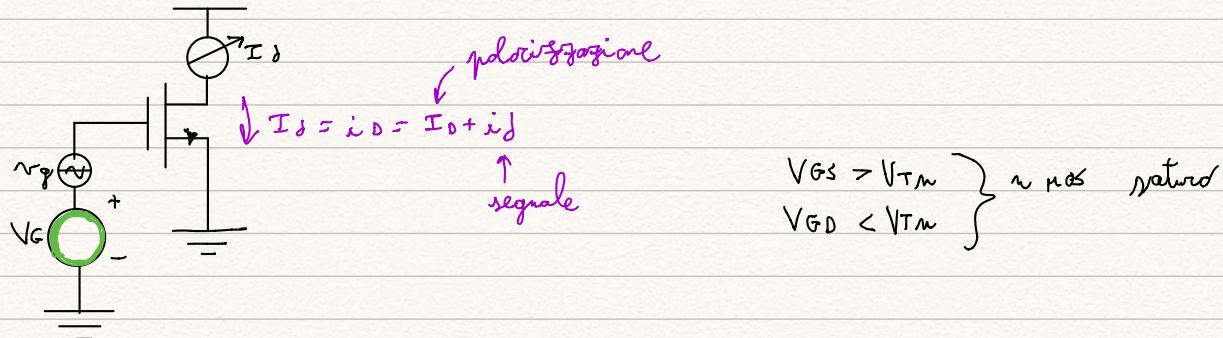
corrente di segnale
corrente di polarizzazione

V_{GS} e v_{GS}

$$V_{GS} = (v_{GS}) = V_{GS} + v_{GS}$$



COMPORTAMENTO DI UN TRANSISTORE NMOS SU SEGNALE:



$$\begin{aligned}
 I_d &= (I_D + i_d) = K_n \left[(V_G + v_g - V_T - v_s) - V_{Tm} \right]^2 = K_n \left[(V_{GS} + v_{GS}) - V_{Tm} \right]^2 = \\
 &= K_n \left[(V_{GS} - V_{Tm}) + v_{GS} \right]^2 = K_n \left[(V_{GS} - V_{Tm})^2 + 2(V_{GS} - V_{Tm})v_{GS} + v_{GS}^2 \right] = \\
 &= K_n (V_{GS} - V_{Tm})^2 + 2K_n (V_{GS} - V_{Tm})v_{GS} + K_n v_{GS}^2
 \end{aligned}$$

$\frac{ID}{i_d}$ corrente di polarizzazione i_d corrente di segnale

$$i_d = g_m v_{GS} + K_n v_{GS}^2$$

$\underbrace{g_m v_{GS}}$ termine lineare $\underbrace{K_n v_{GS}^2}$ termine quadratico

$$\text{Se } K_n v_{GS}^2 \ll g_m v_{GS} \rightarrow i_d = g_m v_{GS}$$

$$K_n v_{GS}^2 \ll 2K_n (V_{GS} - V_{Tm}) v_{GS}$$

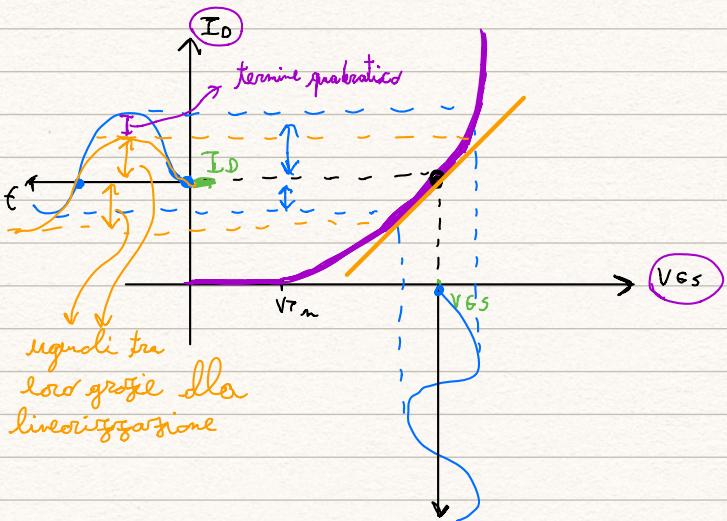
CONDIZIONE DI PICCOLO
SEGNALE

$$v_{GS} \ll 2(V_{GS} - V_{Tm})$$

scrivere SEMPRE

ERRORE DI LINEARITÀ:

$$\epsilon = \frac{K_n v_{GS}^2}{2K_n (V_{GS} - V_{Tm})} = \frac{v_{GS}^2}{2(V_{GS} - V_{Tm})}$$



$$i_d = g_m v_{gs} + k v_{gs}^2$$