



UNIVERSIDADE FEDERAL DO CEARÁ

Campus de Quixadá

Prof. Thiago Werlley Bandeira da Silva

QXD0146- Sistemas Digitais para Computadores

T1

Especificação

1. Descrição

O trabalho consiste na implementação de instruções (mostradas abaixo) para o processador desenvolvido em sala. Cada equipe deverá implementar todas as instruções.

| Instrução | Operação | Tipo | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|----------------|---------------------------|-------|----|----|----|----|----|-----------------|-----------------|-----------------|-----------------|-----------------|-----------------|-----------------|-----------------|-----------------|-----------------|-----------------|
| NOP | nop | NOP | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| HALT | halt | HALT | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 |
| MOV Rd, Rm | $Rd = Rm$ | MOV | 0 | 0 | 0 | 1 | 0 | Rd ₂ | Rd ₁ | Rd ₀ | Rm ₂ | Rm ₁ | Rm ₀ | - | - | - | - | - |
| MOV Rd, #Im | $Rd = \#Im$ | MOV | 0 | 0 | 0 | 1 | 1 | Rd ₂ | Rd ₁ | Rd ₀ | Im ₇ | Im ₆ | Im ₅ | Im ₄ | Im ₃ | Im ₂ | Im ₁ | Im ₀ |
| STR [Rm], Rn | $[Rm] = Rn$ | STORE | 0 | 0 | 1 | 0 | 0 | - | - | - | Rm ₂ | Rm ₁ | Rm ₀ | Rn ₂ | Rn ₁ | Rn ₀ | - | - |
| STR [Rm], #Im | $[Rm] = \#Im$ | STORE | 0 | 0 | 1 | 0 | 1 | Im ₇ | Im ₆ | Im ₅ | Rm ₂ | Rm ₁ | Rm ₀ | Im ₄ | Im ₃ | Im ₂ | Im ₁ | Im ₀ |
| LDR Rd, [Rm] | $Rd = [Rm]$ | LOAD | 0 | 0 | 1 | 1 | - | Rd ₂ | Rd ₁ | Rd ₀ | Rm ₂ | Rm ₁ | Rm ₀ | - | - | - | - | - |
| ADD Rd, Rm, Rn | $Rd = Rm + Rn$ | ULA | 0 | 1 | 0 | 0 | - | Rd ₂ | Rd ₁ | Rd ₀ | Rm ₂ | Rm ₁ | Rm ₀ | Rn ₂ | Rn ₁ | Rn ₀ | - | - |
| SUB Rd, Rm, Rn | $Rd = Rm - Rn$ | ULA | 0 | 1 | 0 | 1 | - | Rd ₂ | Rd ₁ | Rd ₀ | Rm ₂ | Rm ₁ | Rm ₀ | Rn ₂ | Rn ₁ | Rn ₀ | - | - |
| MUL Rd, Rm, Rn | $Rd = Rm * Rn$ | ULA | 0 | 1 | 1 | 0 | - | Rd ₂ | Rd ₁ | Rd ₀ | Rm ₂ | Rm ₁ | Rm ₀ | Rn ₂ | Rn ₁ | Rn ₀ | - | - |
| AND Rd, Rm, Rn | $Rd = Rm \text{ and } Rn$ | ULA | 0 | 1 | 1 | 1 | - | Rd ₂ | Rd ₁ | Rd ₀ | Rm ₂ | Rm ₁ | Rm ₀ | Rn ₂ | Rn ₁ | Rn ₀ | - | - |
| ORR Rd, Rm, Rn | $Rd = Rm \text{ or } Rn$ | ULA | 1 | 0 | 0 | 0 | - | Rd ₂ | Rd ₁ | Rd ₀ | Rm ₂ | Rm ₁ | Rm ₀ | Rn ₂ | Rn ₁ | Rn ₀ | - | - |
| NOT Rd, Rm | $Rd = \neg Rm$ | ULA | 1 | 0 | 0 | 1 | - | Rd ₂ | Rd ₁ | Rd ₀ | Rm ₂ | Rm ₁ | Rm ₀ | - | - | - | - | - |
| XOR Rd, Rm, Rn | $Rd = Rm \text{ xor } Rn$ | ULA | 1 | 0 | 1 | 0 | - | Rd ₂ | Rd ₁ | Rd ₀ | Rm ₂ | Rm ₁ | Rm ₀ | Rn ₂ | Rn ₁ | Rn ₀ | - | - |

2. Avaliação

- O trabalho deve ser realizado com a mesma equipe.
- Deve ser entregue (via SIGAA, até a data estipulada) com um breve relatório com detalhes da implementação.
- A entrega do relatório das instruções referente a tabela é obrigatória (explique através do relatório como foram feitas cada instrução).
- O trabalho deve ser apresentado até a data estipulada.