

## Raportul de activitate – stagiul de practică - Sergiu-Alex Ranga

În cadrul proiectului de cercetare NAPOSIP<sup>1</sup> - s-a propus realizarea unui stagiul de practică pentru masteranzi. În cadrul stagiului de practică s-a ținut un instructaj în domeniul proiectării și simulării circuitelor analogice și digitale de înaltă frecvență. În mod specific, s-a ținut instructaj în utilizarea programului de simulare numerică CPPSim (un program gratuit). Acest program este potrivit pentru modelarea atât a circuitelor analogice cât și a celor digitale, astfel fiind o unealtă potrivită pentru modelarea sintetizoarelor de frecvență de mare performanță (consum redus, timp de calare rapidă, implementare digitală). S-a asigurat un instructaj și în domeniul sintetizoarelor de frecvență, cu accent pe sintetizoare implementate cu tehnici de proiectare specific circuitelor digitale.

Pe parcursul stagiului de practică s-a studiat o componentă cheie a sintetizoarelor digitale: convertorul timp-numeric (în terminologia engleza – time to digital converter - TDC). S-au simulat diferite implementări cunoscute: convertor cu celule de întârziere (delay line TDC [1]), convertorul cu celule de întârziere paralele (Vernier delay line TDC [1]) și convertorul cu oscilator inel (gated ring oscillator TDC [2]). S-a identificat o nouă structură potrivită pentru realizarea convertorului TDC. Structura folosește un oscilator bazat pe un bistabil tip SR și un contor digital.

S-a studiat performanța convertoarelor (rezoluția și consumul de energie/putere). Simularea lor s-a realizat folosind programul CPPSim [3]. S-au identificat avantajele și dezavantajele acestor implementări. Circuitele simulate sunt salvate în librăria TDC [4], o librărie creată în programul CPPSim ce se poate descărca de pe site-ul proiectului NAPOSIP. În cele ce urmează sunt descrise modulele conținute în librăria TDC.

### 1. Introducere teoretică

Un convertor timp-numeric (TDC) este un dispozitiv pentru recunoașterea evenimentelor și furnizarea unei reprezentări digitale a timpului în care acestea au avut loc.

TDC-urile sunt dispozitive utilizate în mod obișnuit pentru măsurarea unui interval de timp și transformarea acestuia într-un rezultat digital (binar). Acestea sunt utilizate în multe aplicații diferite, unde trebuie determinat intervalul de timp dintre două impulsuri de semnal (impulsul de pornire și oprire). Măsurarea este pornită și oprită atunci când fie frontul crescător, fie frontul descrescător al unui impuls de semnal traversează un prag setat.

---

<sup>1</sup> Noi Abordări în analiza și Proiectarea Sintetizoarelor de frecvență de mare Performanță pentru sisteme de comunicații moderne - finanțat de Unitatea Executivă pentru Finanțarea Învățământului Superior, a Cercetării, Dezvoltării și Inovării (UEFISCDI) prin contractul de cercetare tip Bridge Grant (nr. contract 43BG/01.10.2016) în cadrul PNCDI III.

**This work was supported by a grant of the Romanian National Authority for Scientific Research and Innovation, CNCS/CCCDI – UEFISCDI, project number PN-III-P2-2.1-BG-2016-0268, within PNCDI III.**

## 2. Convertor timp-numeric (TDC) cu celule de întârziere

### Modul de verificare și rezultate de simulare

În Fig. 2.1. este prezentată schema concepută pentru testarea convertorului cu celule de întârziere. Blocurile  $x_{i2}$  (bloc pentru constantă) și  $x_{i0}$  (generator de semnal dreptunghiular) sunt folosite pentru a genera un semnalul de pornire al conversiei. Pentru scopul de testare s-a generat un semnal dreptunghiular cu frecvența de 33MHz<sup>2</sup>. Aceasta marchează începutul intervalului măsurat. Blocurile  $x_{i5}$  (constantă) și  $x_{i1}$  (generator de semnal dreptunghiular) sunt folosite pentru a genera semnalul de oprire al convertorului. Acest semnal dreptunghiular are frecvența de 10MHz. Frontul crescător al semnalului reprezintă sfârșitul intervalului măsurat. Aceste două semnale intră în convertorul TDC realizat cu celule de întârziere. Modulul TDC1 a fost conceput astfel încât să fie cascabil, pentru a ușura extinderea convertorului. Astfel în acest testbench convertorul este format din cascada a două module TDC1 (vezi descrierea modulului mai jos). Valoarea de ieșire a convertorului este legată la portul M (blocurile de conversie `double_inter2bin` și sumatorii `add2` au un rol doar pentru afișarea valorii convertite într-un format „user friendly”, nu au un rol aparte în conversie). Pentru integrarea convertorului într-o buclă calată poate fi nevoie de un automat secvențial, pentru a indica logicii de control existența unei conversii. Automatul secvențial este folosit pentru a detecta începutul și sfârșitul intervalului măsurat. Când s-a detectat un interval de măsurat, semnalul de ieșire `busy` este activat (activ pe 1 logic).

---

<sup>2</sup> Într-o buclă calată pe fază sau frecvență conversia pornește la un front pozitiv a semnalului generat de oscilatorul local. Astfel s-a ales valoarea de 101MHz, astfel imitând o frecvență crescută față de frecvența semnalului de referință (10MHz)

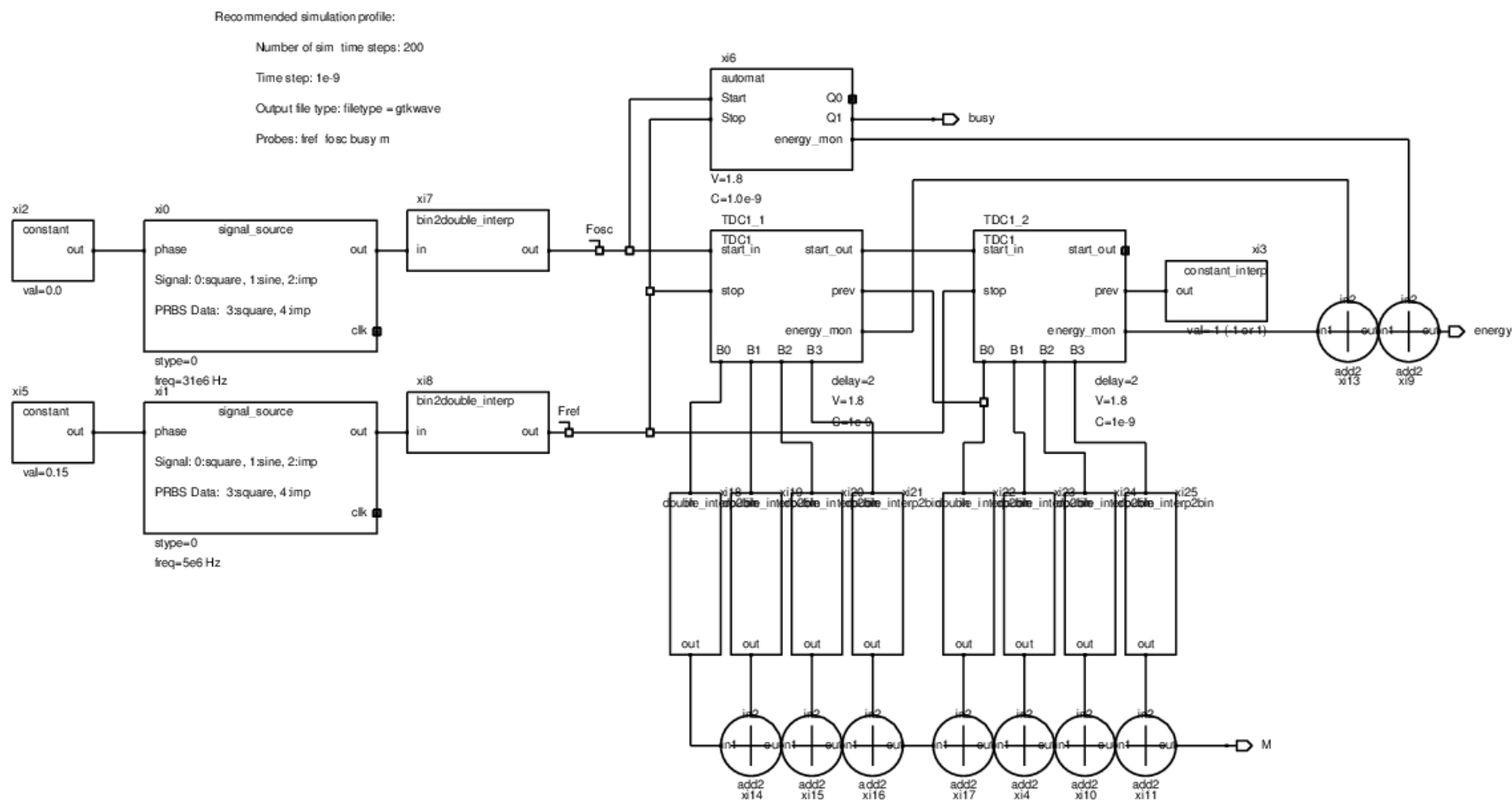


Fig. 2.1. Banca de test a convertorului cu linii de întârziere și cu automat secvențial pentru detectarea intervalului de măsurare

Profil de simulare recomandat:

- Numărul pașilor de simulare: 1000
- Durata pasului de simulare (timpul de eșantionare): 1e-9
- Tipul fișierului de ieșire: filetype=gtkwave
- Sonde (probe): fref fosc busy m

În Fig. 2.2. este prezentat rezultatul simulării pentru TDC cu celule de întârziere. În simulare s-a captat o conversie. Pe palierul de 1 logic al semnalului *fref* valoarea convertită este reținută. În primul caz, între semnalul de start (notat *fosc* în figura) și semnalul stop (notat cu *fref* în figura) este o diferență de timp de 12 ns. Primul cursor este plasat la frontul crescător al semnalului *fosc*, și este originea de unde se măsoară intervalul. Al doilea cursor este plasat pe frontul pozitiv a semnalului *fref*. Diferența de timp dintre cele două cursoare este de 8 ns. La ieșirea *m* a convertorului apare valoarea de 3 (această valoare este proporțională cu intervalul măsurat). În Fig. 2.3. sunt prezentate trei conversii consecutive. La prima conversie intervalul măsurat este de 12 ns, iar valoarea returnată pe ieșirea *m* este 5. La al doilea și al treilea conversie intervalul măsurat este de 8 ns și de 5 ns, iar valorile returnate sunt 3 și 2. Aceste valori sunt trecute în Tabelul 2.1. Din acest tabel putem să deducem o formulă empirică pentru valoarea numerică returnată de convertor:

$$m = \left\lceil \frac{T}{R} \right\rceil - 1 \quad (1.1)$$

unde *T* este intervalul de timp măsurat, *R* este rezoluția convertorului (în exemplul de față este de 2 ns – timpul de propagare pe o celulă de întârziere<sup>3</sup>) operatorul  $\lceil \cdot \rceil$  (paranteza dreaptă) notează partea întreagă al unei valori fracționare.

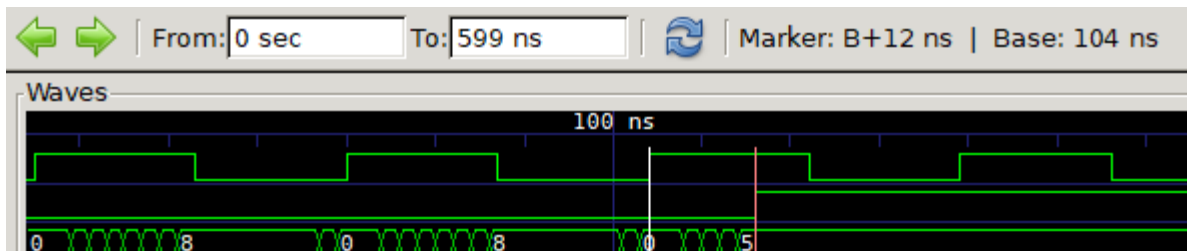


Fig. 2.2. O conversie

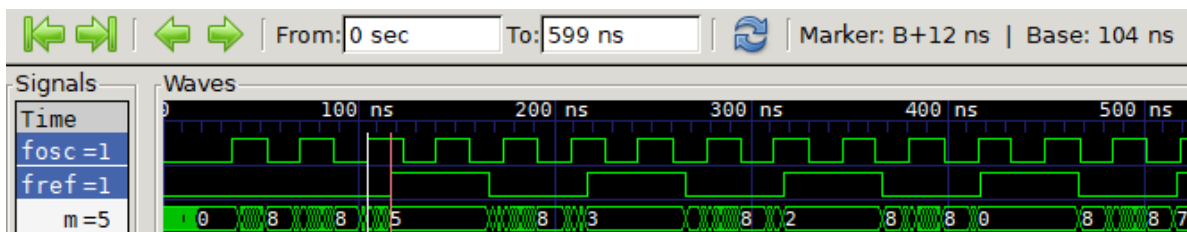


Fig. 2.3. Trei conversii consecutive

<sup>3</sup> Întârzierea celulei este dat de timpul de propagare pe două inversoare, s-a considerat un timp de propagare de 1 ns pe un inversor

Tabelul 2.1. Intervale de timp și valoarea returnată de convertor

Interval timp T [ns]	Valoare returnat de TDC
12	5
8	3
5	2

Semnalul de pornire este deplasat de-a lungul lanțului de celule de întârziere<sup>4</sup>. La sosirea semnalului de oprire, starea liniei de întârziere este prelevată de către flip-flop-uri. Unul dintre avantajele evidente ale acestui TDC este că poate fi implementat pe deplin digital, fiind simplu și compact. Cu toate acestea, rezoluția este relativ scăzută, deoarece este întârzierea unui singur buffer.

### Modulul TDC1

În Fig. 2.4 este prezentată schema convertorului timp numeric (modulul TDC1) cu linie de întârziere, iar în Tabelul 2.2 și Tabelul 2.3 sunt listate semnalele de intrare/ieșire și parametri - modulului TDC1. *start\_in* primește semnalul de pornire, *stop* pe cel de oprire. *Start\_out* transportă semnalul de pornire la următorul *start\_in*. Semnalul *prev* este folosit la cascada modulului TDC1, și se leagă bitul cel mai nesemnificativ al convertorului „aval”. Valoarea convertită va fi prezentată pe ieșirea *B[3:0]*. *Energy\_mon* redă energia consumată de modul.

<sup>4</sup> Celule de întârziere la rândul lor sunt compuse dintr-un buffer (o întârziere) și un latch, pentru a capta valoarea semnalului propagat în „veriga” locală

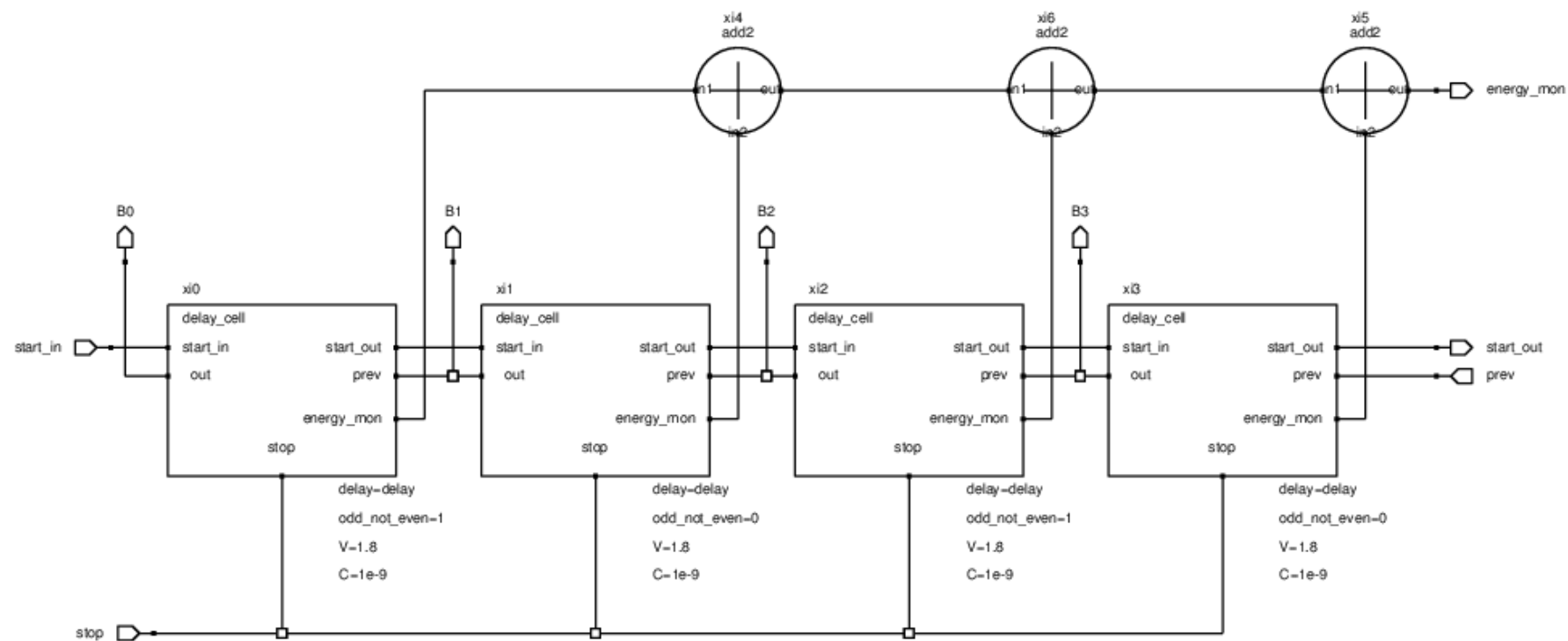


Fig. 2.4. Schema convertorului timp-numeric cu line de întârziere

Tabelul 2.2. Semnale de intrare/ieșire a modului TDC1 (convertor cu linie de întârziere)

Port	Direcție	Lățime	Descriere
Start_in	intrare	1	Port de intrare pentru evenimentul de intrare.
Stop	intrare	1	Port de intrare pentru evenimentul de oprire.
Prev	intrare	1	Port folosit la cascada convertorului, valoarea celui mai nesemnificativ bit obținut de un convertor din „aval”. Dacă este ultimul convertor din lanț, atunci se fixează valoarea 0 pe intrarea prev
Start_out	ieșire	1	Port folosit la cascada convertorului, pasează semnalul de start_in întârziat de 4 ori, pentru a fi folosit de convertorul din „aval”.
B[3:0]	ieșire	4	Valoarea returnată de convertor = valoarea conversiei locale + valoarea conversiei din convertorul „amonte”
energy_mon	ieșire	flotant	Port pentru monitorizarea consumului de energie, prin gestionarea capacităților încărcate/descărcate; acest port este folosit doar în timpul simulării cu scopul de a estima consumul dinamic al circuitului

Tabelul 2.3. Parametri modului TDC1 (convertor cu linie de întârziere)

Parametru	Tipul semnal	Descriere
delay	flotant	Acest parametru este pasat spre submodulul „delay_cell”; prin acest parametru este impusă întârzierea celulei
V	flotant	Tensiunea de alimentare; parametrul este utilizat pentru calculul energiei consumate
C	flotant	Capacitatea parazită a unui pin de intrare a porților logice, parametru folosit pentru estimarea energiei

### Modulul „delay\_cell”

În Fig. 2.5. este prezentată schema modului „delay\_cell”, iar în Tabelul 2.4. sunt trecute semnalele de intrare/ieșire a modului. Parametri modului „delay\_cell” sunt la fel ca și parametri modului TDC1 din Tabelul 2.3. Semnalul de pornire intră pe portul *start\_in*, este întârziat de două inversoare și iese pe portul *start\_out*. Semnalul de oprire intră pe portul *stop*. *Prev* este folosit la cascada modulelor „delay\_cell”. Pe *prev* se leagă valoarea înregistrată de celula din „aval”. *Energy\_mon* redă energia consumată de celulă. O implementare a celulei de întârziere înseamnă utilizarea unei întârzieri (două porți inversoare) și un bistabil D (pentru a înregistra valoarea locală pe linia de întârziere). Pentru monitorizarea consumului de putere dinamică este urmărită activitatea semnalelor de intrare în cele două inversoare. Se presupune că o schimbare a valori pe cele două semnale va determina încărcarea sau descărcarea capacității parazite a porți inversoare.

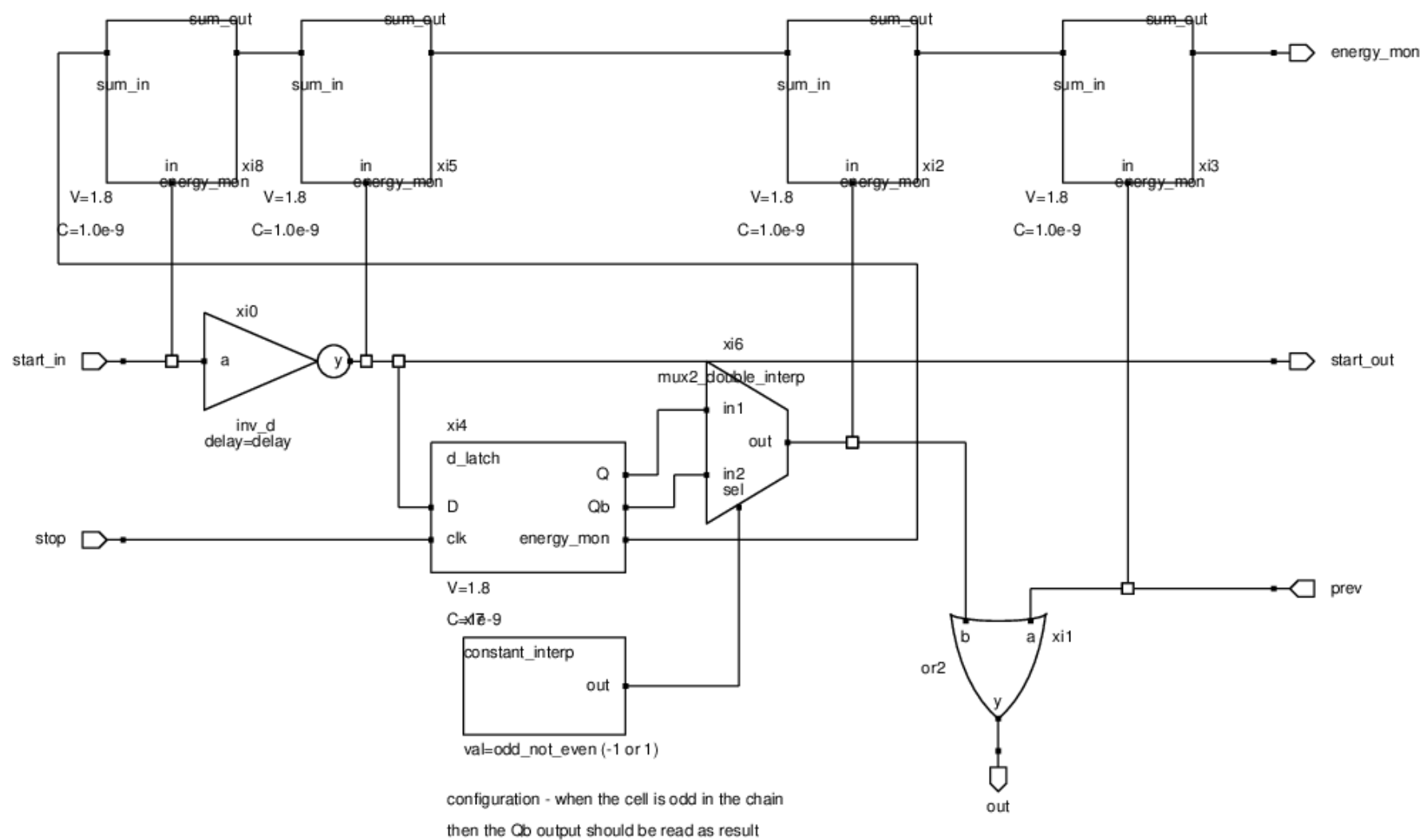


Fig. 2.5. Schema modulului „delay\_cell”



Din cauza că întârzierea este realizată cu un inversor, semnalul de start pasat la celula „aval” este inversat. Însă circuitul latch D are două ieșiri, Q și Q negat. În celula aval ieșirea *out* trebuie culeasă de pe semnalul Q negat. Pentru a realiza această posibilitate s-a ales ca printr-un parametru de configurare, *odd\_not\_even*, să fie selectabilă ori ieșirea Q ori ieșirea Q negat.

*Tabelul 2.4. Semnale de intrare/ieșire a modului „delay\_cell”*

Port	Direcție	Lățime	Descriere
Start_in	intrare	1	Port de intrare pentru evenimentul de intrare.
Stop	intrare	1	Port de intrare pentru evenimentul de oprire.
prev	intrare	1	Port folosit la cascada celulei, valoarea înregistrată de o celulă din „aval”. Dacă este prima celulă din lanț, atunci se stabilește valoarea 0 pe intrarea prev
Start_out	ieșire	1	Port folosit la cascada celulei, pasează semnalul de start_in întârziat de 4 ori, pentru a fi folosit de convertorul din „aval”.
out	ieșire	1	Port folosit la cascada celulei, valoarea înregistrată în convertor + valoarea înregistrată în convertorul „aval”
energy_mon	ieșire	flotant	Port pentru monitorizarea consumului de energie, prin gestionarea capacităților încărcate/descărcate

*Tabelul 2.5. Parametri modului „delay\_cell”*

Parametru	Tipul semnal	Descriere
delay	flotant	Acest parametru este pasat spre submodulul „delay_cell”; prin intermediul acestui parametru este impusă întârzierea celulei
Odd_not_even	boolean	-1 pentru a selecta Q pe ieșirea out, 1 pentru a selecta Q negat (Qb) pe ieșirea out
V	flotant	Tensiunea de alimentare; parametrul este utilizat pentru calculul energiei consumate
C	flotant	Capacitatea parazită a unui pin de intrare a porților logice; parametru folosit pentru estimarea energiei

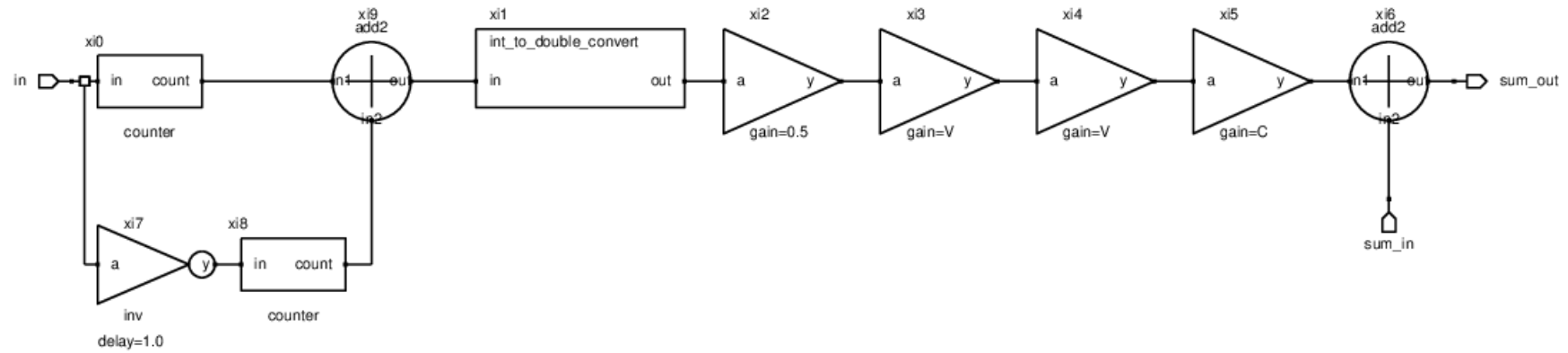


Fig. 2.6. Schema modulului „energy\_mon”

### Modulul „energy\_mon”

Monitorul de energie (Fig. 2.6) oferă informații cu privire la consumul de energie din sistem. Consumul de energie dinamică în circuitele digitale este datorat încărcării/descărcării capacităților parazite din circuit. Energia stocată într-un condensator este

$$E = \frac{1}{2} CV^2, \quad (1.2)$$

unde V este tensiunea de încărcare și C este capacitatea parazită încărcată/descărcată. Acest modul contorizează tranzițiile (fronturile crescătoare descrescătoare) unui semnal, adică numărul de încărcări/descărcări ale unei capacități și calculează energia utilizată.

Tabelul 2.6. Parametri modulului „energy\_mon”, „d\_latch” și „sr\_latch”

Parametru	Tipul semnal	Descriere
V	flotant	Tensiunea de alimentare; parametrul este utilizat pentru calculul energiei consumate
C	flotant	Capacitatea parazită a unui pin de intrare a porților logice parametrul folosit pentru estimarea energiei

### Modulul „d\_latch”

În Fig. 2.7 este prezentată schema modulului „d\_latch”, însemnând implementarea unui bistabil D folosind porți logice și un bistabil SR. Este de remarcat ca se realizează o monitorizare a energiei consumate. Semnalele de intrare/ieșire a modulului sunt trecute în Tabelul 2.7. Parametri modulului se regăsesc în Tabelul 2.6.

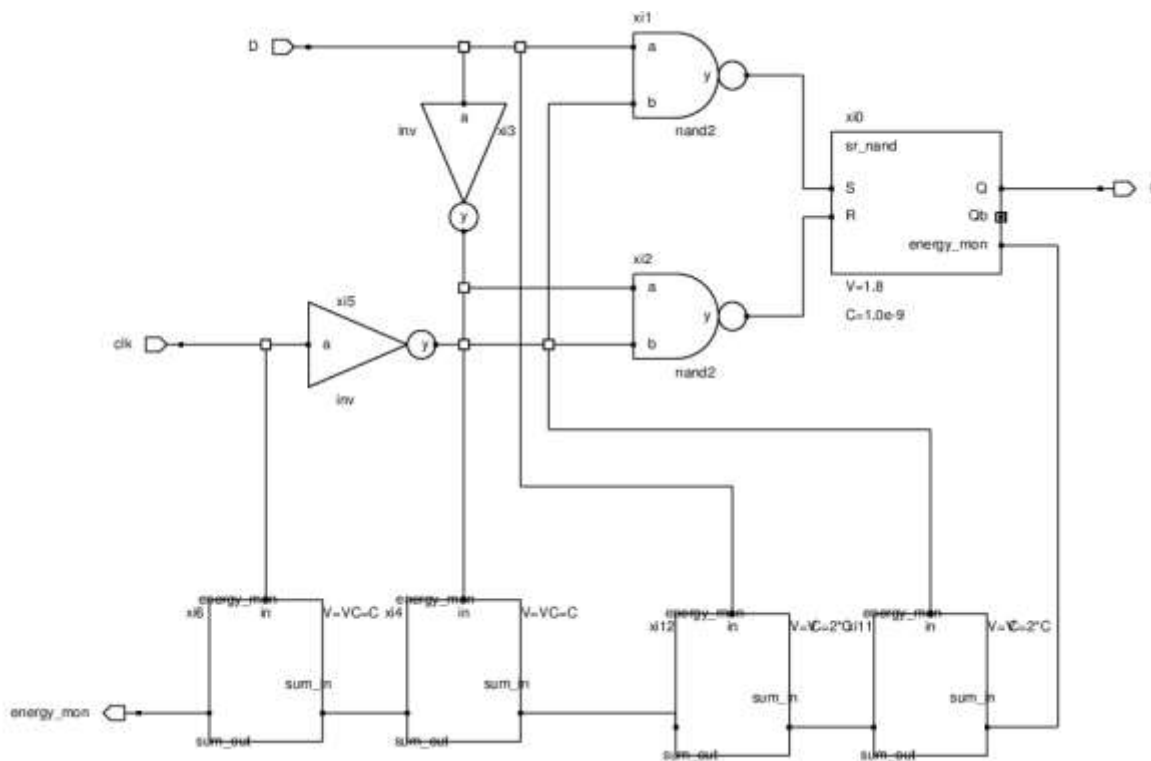


Fig. 2.7. Schema modulului „d\_latch”

Tabelul 2.7. Semnale de intrare/ieșire a modulului „d\_latch”

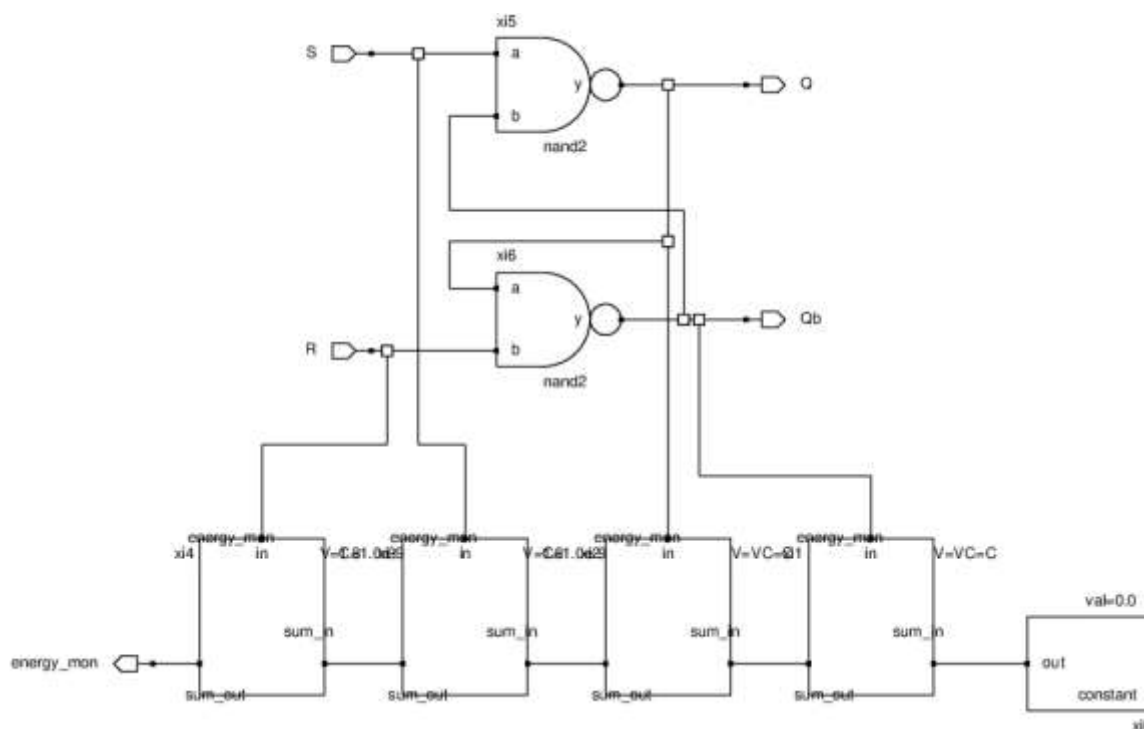
Port	Direcție	Lățime	Descriere
D	intrare	1	Intrare de date
clk	intrare	1	Semnal de tact (active pe palier)
q	ieșire	1	Semnal înregistrat
energy_mon	ieșire	flotant	Port pentru monitorizarea consumului de energie, prin gestionarea capacităților încărcate/descărcate

### Modulul „sr\_nand”

Modulul „sr\_nand” este modelul unui bistabil set/reset realizat cu porți logice nand. Lista semnalelor de intrare/ieșire se regăsesc în Tabelul 2.8. Parametri modulului se regăsesc în Tabelul 2.6.

*Tabelul 2.8. Semnale de intrare/ieșire a modulului „sr\_nand”*

Port	Direcție	Lățime	Descriere
S	intrare	1	Intrare set (activ pe palier)
R	intrare	1	Intrare reset (activ pe palier)
Q	ieșire	1	Semnal înregistrat
Qb			Q negat
energy_mon	ieșire	flotant	Port pentru monitorizarea consumului de energie, prin gestionarea capacităților încărcate/descărcate



*Fig. 2.8. Bistabil SR cu poartă NAND și monitor de energie*

### Automatul secvențial

Un automat, reprezintă orice sistem (dispozitiv) ce operează în momente discrete de timp și este definit de variabile ce iau valori discrete care pot fi codificate binar și își pot atribui un număr

fini de configurații distincte. Chiar dacă intrarea unui automat este invariabilă, starea lui internă se poate modifica. Din acest motiv, un automat poate avea un comportament variabil la ieșire chiar în intervalul de timp în care intrarea lui este invariabilă. [5]

Tabelul 2.9. Diagrama Karnaugh pentru  $R_1$ 

$Q_1Q_0$ Start Stop	00	01	11	10
00	0	0	0	0
01	0	1	0	0
11	0	1	0	1
10	0	0	0	1

$$R_1 = \overline{Q_1}Q_0\text{Stop} + Q_1\overline{Q_0}\text{Start}$$

Tabelul 2.10. Diagrama Karnaugh pentru  $S_1$ 

$Q_1Q_0$ Start Stop	00	01	11	10
00	1	1	1	1
01	1	0	1	1
11	1	0	1	0
10	1	1	1	0

$$S_1 = \overline{Q_1}\overline{Q_0} + \overline{Q_1}Q_0\text{Stop} + Q_1Q_0 + Q_1\overline{Q_0}\text{Start}$$

Tabelul 2.11. Diagrama Karnaugh pentru  $R_0$ 

$Q_1Q_0$ Start Stop	00	01	11	10
00	0	1	0	0
01	0	0	0	0
11	1	0	0	0
10	1	1	0	0

$$R_0 = \overline{Q_1}Q_0\text{Stop} + \overline{Q_1}\overline{Q_0}\text{Start}$$

Tabelul 2.12. Diagrama Karnaugh pentru  $S_0$ 

$Q_1Q_0$ Start Stop	00	01	11	10
00	1	0	1	1
01	1	1	1	1
11	0	1	1	1
10	0	0	1	1

$$S_0 = \overline{Q_1}Q_0\text{Stop} + \overline{Q_1}\overline{Q_0}\text{Start}$$

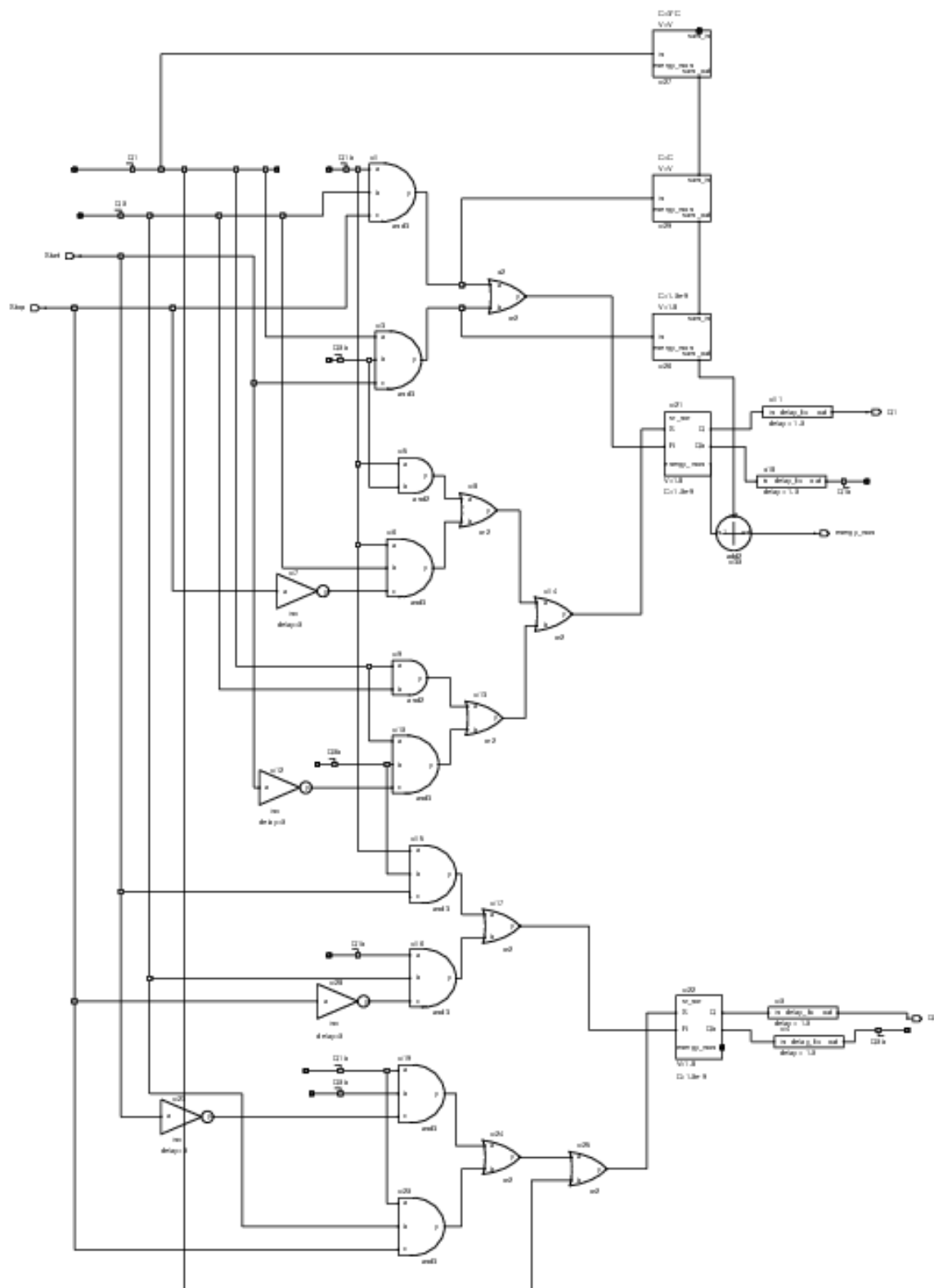


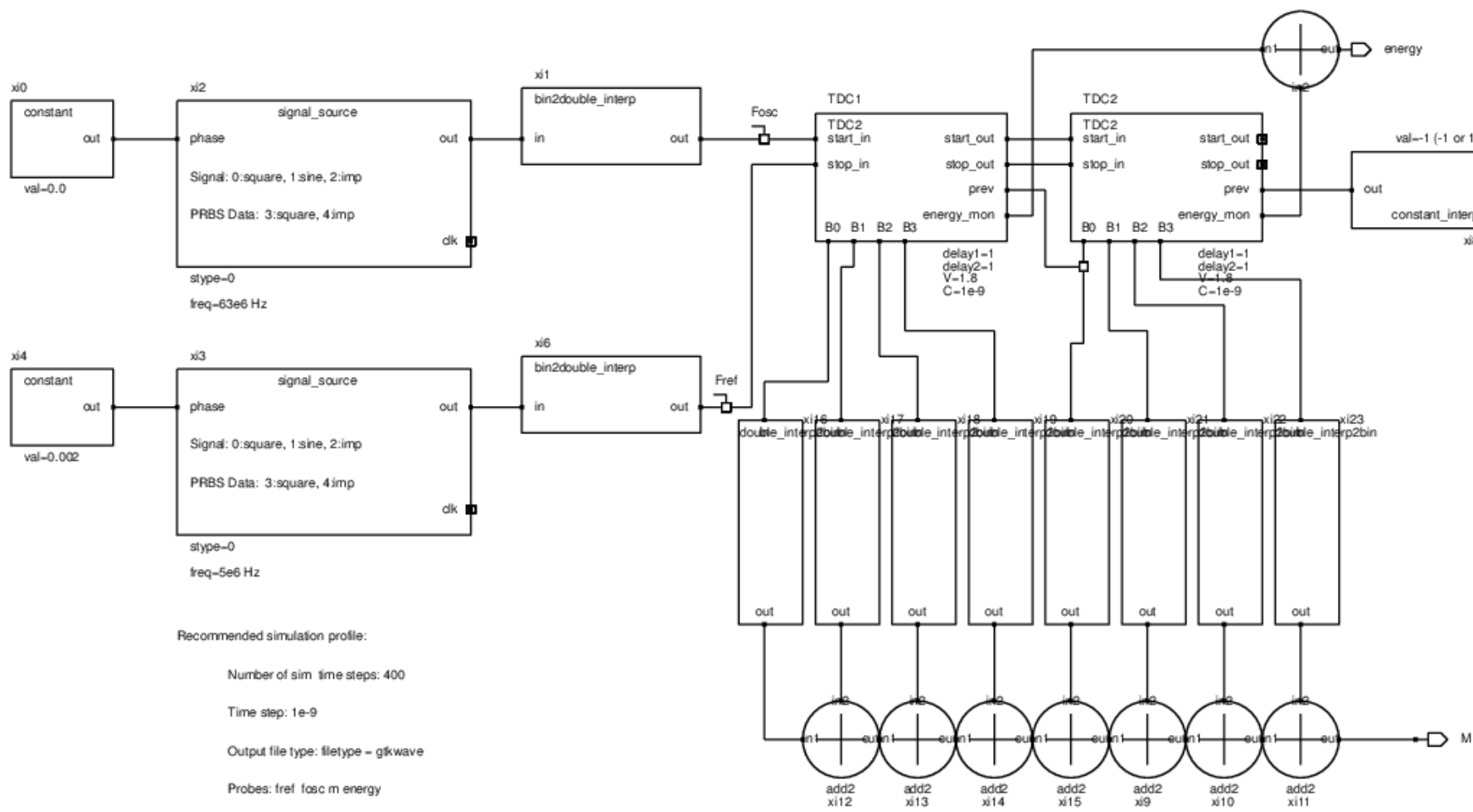
Fig. 2.9. Automat secvențial pentru detectarea perioadelor active

### 3. TDC cu linie de întârziere Vernier

Schema pentru testarea convertorului cu linie de întârziere Vernier este reprezentată în Fig. 3.1. Blocurile  $x_{i0}$ ,  $x_{i1}$  și  $x_{i2}$  sunt folosite pentru a genera un semnal de pornire al convertorului. La integrarea TDC-ului în buclă, semnalul de pornire este oscilația controlată de buclă. În cazul de față, pentru oscilația locală s-a folosit un semnal dreptunghiular de 63 MHz. Blocurile  $x_{i4}$ ,  $x_{i3}$  și  $x_{i6}$  sunt folosite pentru a genera semnalul de oprire al convertorului. La integrarea convertorului în buclă, acest semnal este oscilația de referință. Frontul crescător al semnalului reprezintă sfârșitul intervalului măsurat. S-a ales frecvența de 5MHz pentru frecvența oscilației de referință. Aceste două semnale intră în convertorul TDC realizat cu celule de întârziere Vernier. Valoarea de ieșire a convertorului este dată de către portul M. Modulul TDC2 a fost conceput pentru a fi cascadat. În acest testbench este demonstrat și modul de cascadoare a modulului TDC2 (compus din instanțele TDC1 și TDC2). Energia consumată este redată pe ieșirea „energy”. Ieșirea conversiei se citește de pe ieșirile B[3:0] ale celor două module TDC2. Restul componentelor deservesc doar conversii de date, pentru ușurarea afișării rezultatului final.

Profil de simulare recomandat:

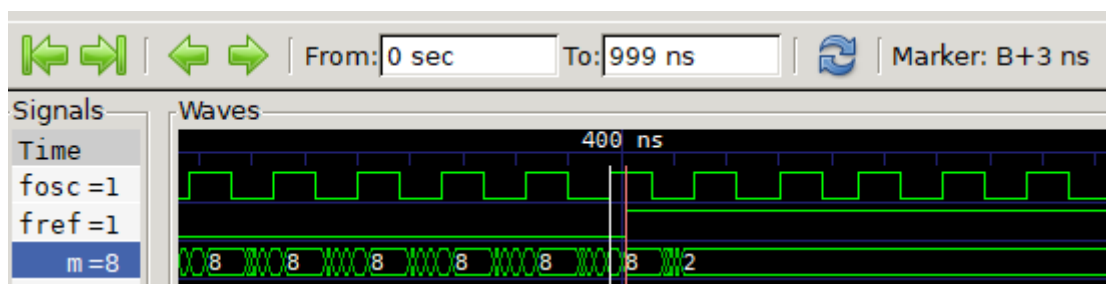
- Number of sim time steps: 1000
- Time step: 1e-9
- Output file type: filetype=gtkwave
- Probes: fref fosc m



- *Fig. 3.1. Schemă TDC cu linie de întârziere Vernier*



Rezultatul acestei simulări este reprezentat în Fig. 3.2. La 400 ns există un front crescător pe semnalul de pornire, după 3 ns apare și frontul pozitiv a oscilației de referință (pentru măsurare cursorul de baza este așezat pe momentul de pornire, iar celălalt cursor pe momentul de oprire).



*Fig. 3.2. Rezultatul simulării*

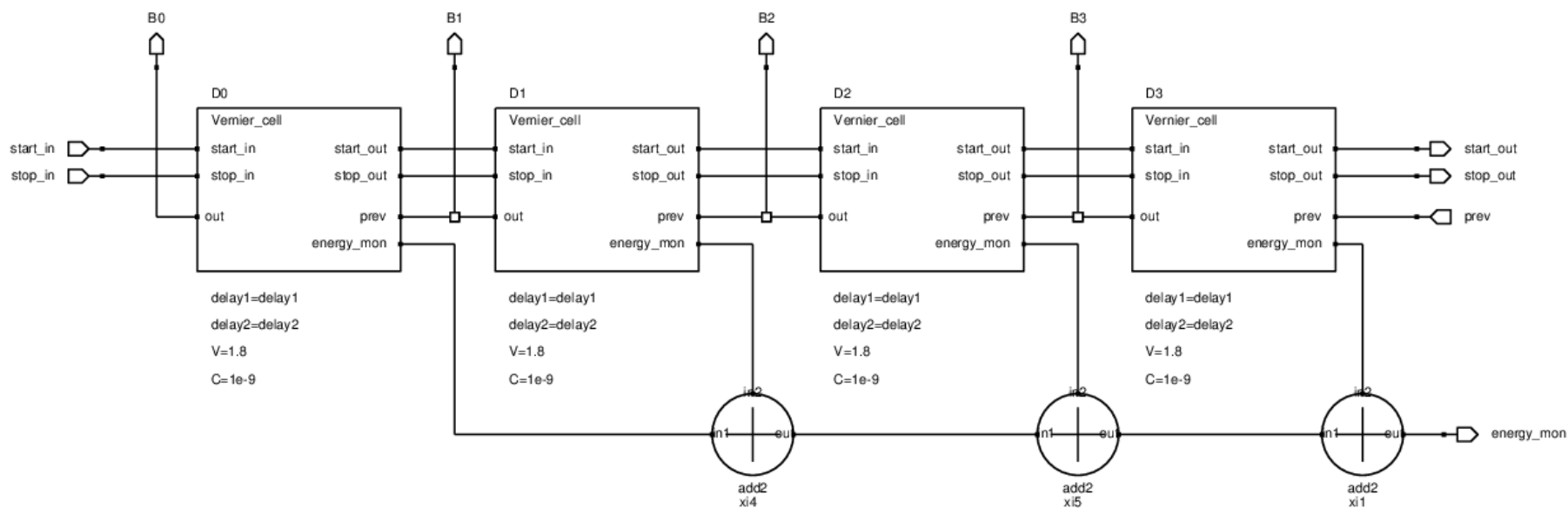


Fig. 3.3. Schema modului TDC2 (TDC bazat pe celule de întârziere Vernier)

## Modulul TDC2

TDC-ul cu linie de întârziere Vernier (Fig. 3.3.) este capabil să măsoare intervalul de timp cu rezoluția mai mică decât timpul de propagare pe o poartă. Aceasta este compusă din două linii de întârziere care întârzie semnalul de pornire și semnalul de oprire. Întârzierea în prima linie este puțin mai mare decât întârzierea din a doua linie. În timpul măsurării, semnalul de pornire se propagă de-a lungul primei linii, iar semnalul de oprire are loc ulterior. Din simulare reiese că semnalul de oprire urmărește semnalul de pornire. Prin urmare, rezoluția depinde de diferența dintre două etape de întârziere în locul unui singur element de întârziere:

$$R_{TDC2} = t_{p1} - t_{p2} \quad (1.3)$$

unde  $t_{p1}$  este timpul de propagare a liniei de întârziere pentru semnalul de pornire, iar  $t_{p2}$  este timpul de propagare a liniei de întârziere pentru semnalul de oprire. Deși linia de întârziere Vernier îmbunătățește rezoluția în mod eficient, zona ocupată și consumul de energie cresc, pe măsură ce intervalul dinamic devine mai mare, deoarece fiecare etapă are nevoie de două buffere și un flip-flop. În plus, timpul de conversie va fi mărit și, într-un rezultat, este posibil să nu fie posibil să lucreze într-un sistem.

*Tabelul 3.1. Semnale de intrare/ieșire a modulului TDC2 (convertor cu linie de întârziere Vernier)*

Port	Direcție	Lățime	Descriere
Start_in	intrare	1	Port de intrare pentru evenimentul de intrare.
Stop_in	intrare	1	Port de intrare pentru evenimentul de oprire.
Prev	intrare	1	Port folosit la cascada convertorului, valoarea celui mai nesemnificativ bit obținut de un convertor din "aval". Dacă este ultimul convertor din lanț, atunci se setează valoarea 0 pe intrarea prev
Start_out	ieșire	1	Port folosit la cascada convertorului, pasează semnalul de start_in întârziat de 4 ori, pentru a fi folosit de convertorul din „aval”.
Stop_out	ieșire	1	Port folosit la cascada convertorului, pasează semnalul de stop_in întârziat de 4 ori, pentru a fi folosit de convertorul din „aval”.
B[3:0]	ieșire	4	Port folosit la cascada convertorului, valoarea conversiei obținut în convertor + valoarea conversiei din convertorul „amonte”
energy_mon	ieșire	flotant	Port pentru monitorizarea consumului de energie, prin gestionarea capacităților încărcate/descărcate; acest port este folosit doar în timpul simulării cu scopul de a estima consumul dinamic al circuitului

Tabelul 3.2. Parametri modului TDC2 (convertor cu linie de întârziere Vernier)

Parametru	Tipul semnal	Descriere
Delay1	flotant	Acest parametru este pasat spre submodulul „Vernier_cell”; prin acest parametru este impusă întârzierea semnalului start in
Delay2	flotant	Acest parametru este pasat spre submodulul „Vernier_cell”; prin acest parametru este impusă întârzierea semnalului stop in
V	flotant	Tensiunea de alimentare; parametrul este utilizat pentru calculul energiei consumate
C	flotant	Capacitatea parazită a unui pin de intrare a porților logice, parametru folosit pentru estimarea energiei

### Modulul „Vernier\_cell”

Modulul „Vernier\_cell” este o extensie a modului „delay\_cell”. Întârzierea semnalului de pornire (parametrizat de Delay1) este rezolvată prin utilizarea întârzierii din interiorul modului „delay\_cell”. Semnalul de pornire este preluat de către *start\_in* și este transmis pe intrarea *start\_in* a modului „delay\_cell”, iar ieșirea *start\_out* a modului este transmisă mai departe în lanț prin portul *start\_out*. Întârzierea semnalului de oprire este realizată cu inversoarele  $x_{12}$  și  $x_i$ . Întârzierea semnalului de oprire (parametrizat de Delay2) este impusă de întârzierea de pe inversorul  $x_{i4}$ . Intrarea *prev* este folosită pentru cascada celulei „Vernier\_cell”. Semnalele de intrare/ieșire sunt trecute în Tabelul 3.3.

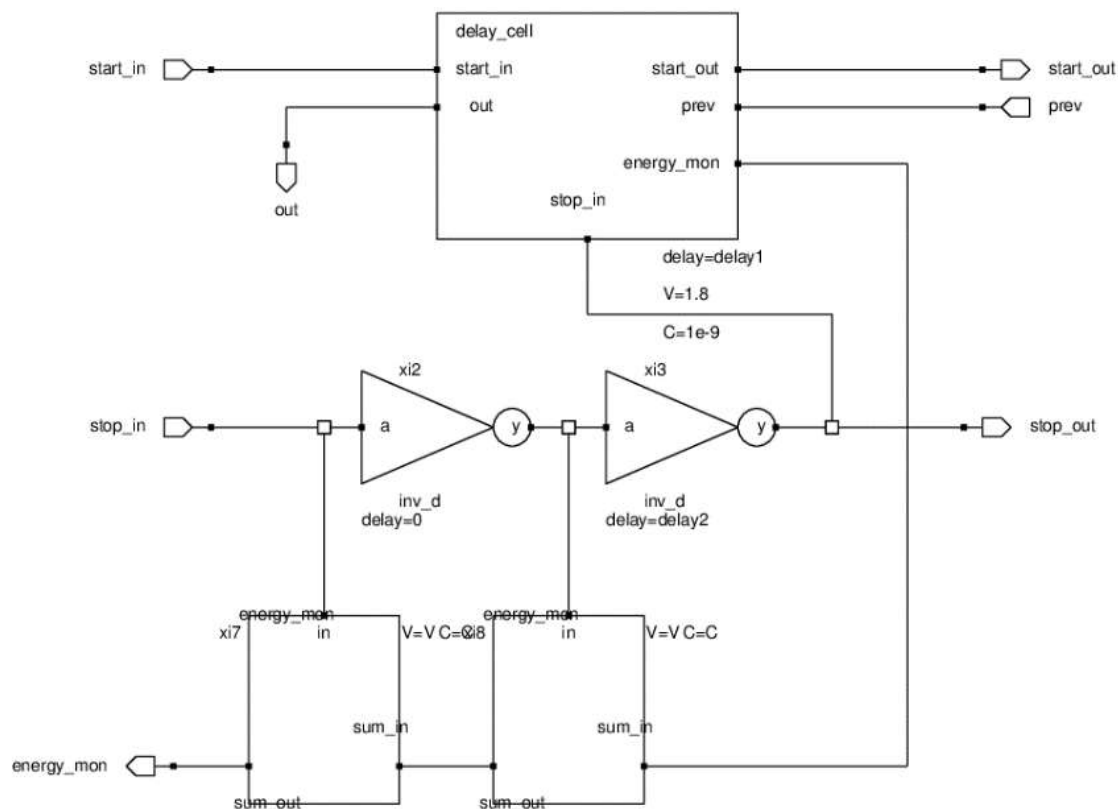


Fig. 3.4. Schema modului Vernier TDC

Tabelul 3.3. Semnale de intrare/ieșire a modului „delay\_cell”

Port	Direcție	Lățime	Descriere
Start_in	intrare	1	Port de intrare pentru evenimentul de intrare.
Stop_in	intrare	1	Port de intrare pentru evenimentul de oprire.
prev	intrare	1	Port folosit la cascada celulei, valoarea înregistrată de o celulă din „aval”. Dacă este prima celulă din lanț, atunci se fixează valoarea 0 pe intrarea prev
Start_out	ieșire	1	Port folosit la cascada celulei, pasează semnalul de start_in întârziat de celula „delay_cell” cu Delay1.
Stop_out	ieșire	1	Port folosit la cascada celulei, pasează semnalul de stop_in întârziat cu Delay2, parametrul modului.
out	ieșire	1	Port folosit la cascada celulei, valoarea înregistrată în convertor + valoarea înregistrată în convertorul „aval”
energy_mon	ieșire	flotant	Port pentru monitorizarea consumului de energie, prin gestionarea capacităților încărcate/descărcate

#### 4. TDC cu oscilator inel condiționat

Fig. Fig. 4.1 reprezintă schema pentru testarea convertorului cu oscilator inel condiționat (gated ring oscillator - GRO). Ca și în cazul modulelor de test prezentate anterior, pentru testarea TDC-ului sunt generate două semnale, unul pentru semnalul de start a convertorului, iar altul pentru semnalul de stop. Între cele două evenimente este pornit un oscilator inel condiționat (este permisă oscilația în cazul în care este de măsurat intervalul, altfel este oprit oscilatorul), iar cu ajutorul numărătoarelor sunt numărate oscilațiile.

Profil de simulare recomandat:

- Number of sim time steps: 1000
- Time step: 1e-9
- Output file type: filetype=gtkwave
- Probes: fosc freq M energy

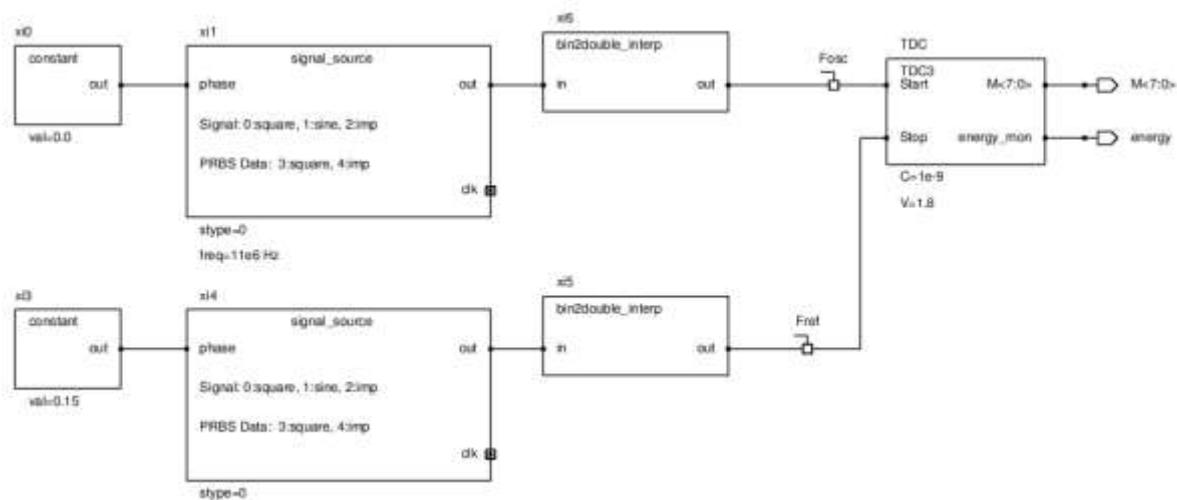


Fig. 4.1. Schemă modului de testare a TDC cu oscilator inel condiționat

În Fig. 4.2 și Fig. 4.3 sunt prezentate rezultatele simulării. În Fig. 4.2 se prezintă o conversie. Momentul de pornire este frontul crescător al semnalului  $f_{osc}$  (marcat de cursorul alb), iar momentul de oprire este frontul pozitiv al semnalului  $f_{ref}$ . Oscilatorul inel este activat în momentul în care  $f_{osc}$  devine activ. Frecvența de oscilație este dată de întârzierea pe o poartă inversoare din oscilator.

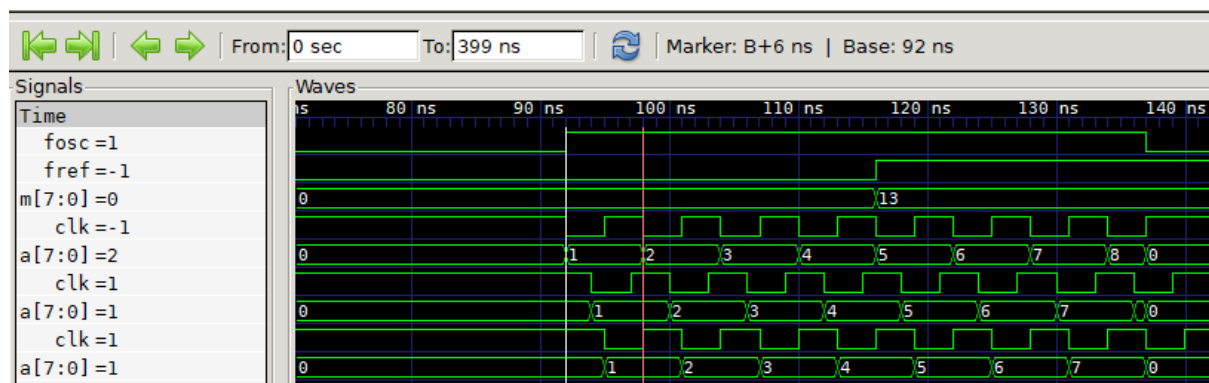


Fig. 4.2. Conversie cu TDC cu oscilator în inel

Frecvența oscilatorului inel  $F_{osc}$  este dată de expresia:

$$F_{osc} = \frac{1}{2Nt_p} \quad (4.4)$$

unde N (în cazul de față 3) este numărul inversoarelor din oscilatorul inel, iar  $t_p$  este timpul de propagare pe un singur oscilator. Să prepunem că timpul de propagare pe un inversor este de 1ns, atunci  $F_{osc} = 6ns$ . Acest interval de timp este măsurat cu ajutorul cursoroarelor în Fig. 4.2. La fiecare inversor din oscilatorul inel este conectat și un numărător. În Fig. 4.2 este afișată și evoluția numărătoarelor. Valoarea convertită este suma de pe ieșirea numărătoarelor înregistrată în momentul frontului crescător al semnalului  $f_{ref}$ .

Rezoluția convertorului TDC cu oscilator inel condiționat este timpul de propagare pe un inversor, însă valoarea prezentată de convertor trebuie decodată. De exemplu convertorul returnează  $M=13$ , timpul măsurat în acest caz este T:

$$T = 2(C-1)t_p \quad (4.5)$$

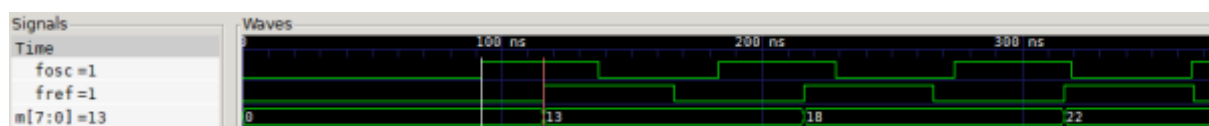


Fig. 4.3. Conversii consecutive cu TDC cu oscilator inel

În Fig. 4.3 sunt prezentate 3 conversii consecutive folosind TDC cu oscilator inel condiționat. Valorile intervalelor măsurate și valoarea returnată sunt notate în Tabelul 4.1. Rezoluția convertorului este  $2t_p$ , acest fapt se poate observa din tabel, în coloana „Eroare”. De exemplu, în cazul în care intervalul de timp este 33ns, convertorul returnează 18, adică timpul returnat de convertor este 34ns. Această eroare apare din cauza rezoluției minime a convertorului.

*Tabelul 4.1. Intervale de timp și valoarea returnată de convertor*

Interval timp T [ns]	Valoare returnat de TDC	Valoare măsurat	Eroare
24	13	24	0
33	18	34	1
42	22	42	0

**Modulul TDC3 (TDC cu oscilator inel)**

TDC cu GRO (Fig. 4.4) poate realiza o gamă dinamică mare cu un număr mic de elemente de întârziere (contrar unui TDC bazat pe celule de întârziere, unde numărul celulelor este proporțional cu durata intervalului măsurat<sup>5</sup>). În TDC cu oscilator inel se măsoară numărul tranzițiilor elementului de întârziere în timpul intervalului de măsurare. Astfel, ne putem aștepta ca această arhitectură să atingă în mod ideal o rezoluție înaltă fără calibrare chiar și în prezența unei nepotriviri mari. Lista semnalelor de intrare/ieșire și parametri modulului sunt prezentate în Tabelul 4.2, respectiv Tabelul 4.3

*Tabelul 4.2. Semnale de intrare/ieșire a modulului TDC3 (convertor cu oscilator inel)*

Port	Direcție	Lățime	Descriere
Start	intrare	1	Port de intrare pentru evenimentul de intrare.
Stop	intrare	1	Port de intrare pentru evenimentul de oprire.
M	ieșire	8	Valoarea returnată de convertor
energy_mon	ieșire	flotant	Port pentru monitorizarea consumului de energie, prin gestionarea capacităților încărcate/descărcate acest port este folosit doar în timpul simulării cu scopul de a estima consumul dinamic a circuitului

*Tabelul 4.3. Parametri modulului TDC1 (convertor cu oscilator inel)*

Parametru	Tipul semnal	Descriere
delay	flotant	Acest parametru este pasat spre submodulului „gto”; prin acest parametru este impus timpul de propagare al inversorului din oscilatorul inel
V	flotant	Tensiunea de alimentare; parametrul este utilizat pentru calculul energiei consumate
C	flotant	Capacitatea parazită a unui pin de intrare a porților logice; parametrul este folosit pentru estimarea energiei

<sup>5</sup> Cu cât mai mare este intervalul de măsurat cu atât este mai mare numărul celulelor de întârziere)

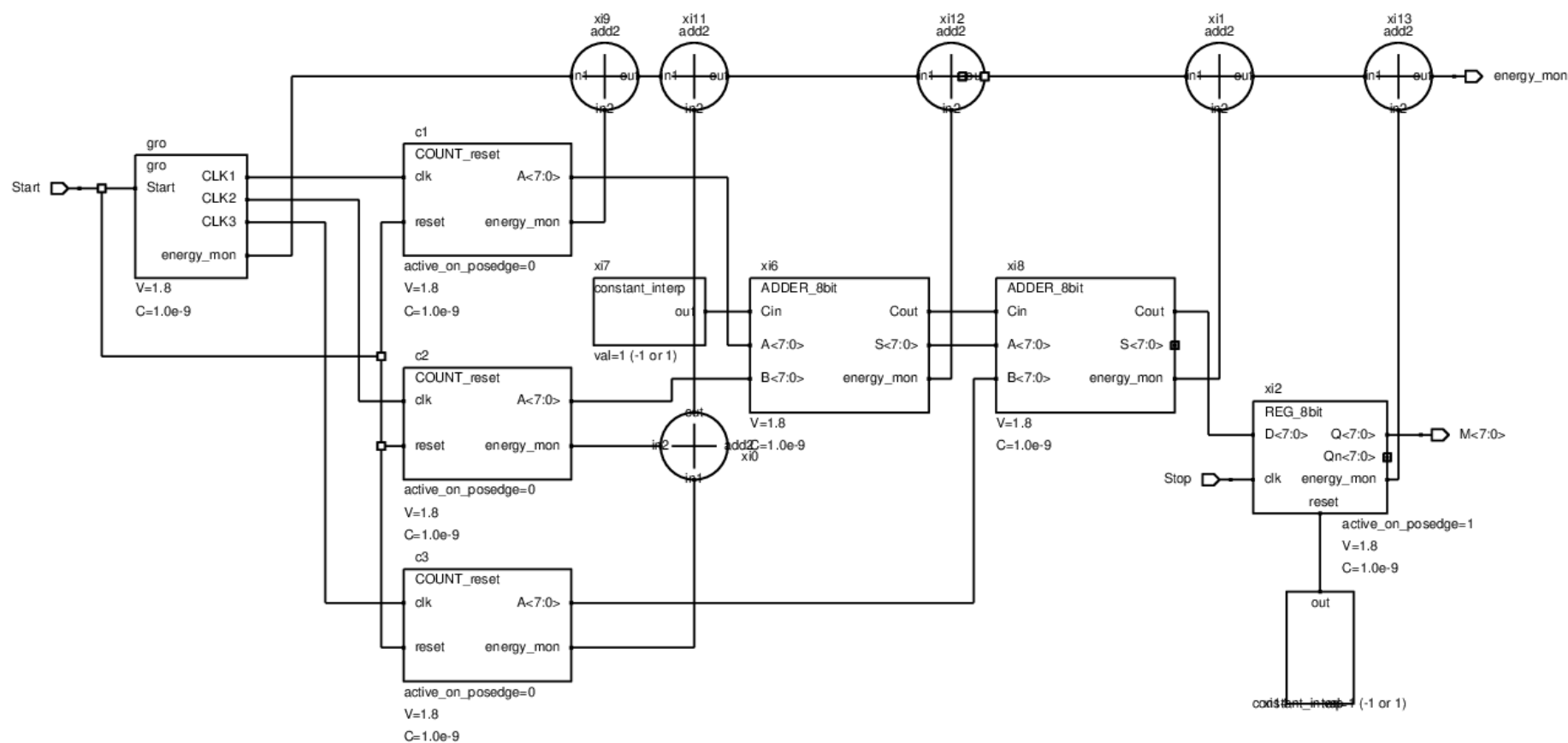


Fig. 4.4. Schema convertorului TDC cu oscilator inel



### Modulul „gro”

Schema modulului „gro” este prezentată în Fig. 4.5. Într-un oscilator înel convențional este inserată o poartă nand în locul unui inversor (în schema de față poarta nand este modelat cu o poartă and și un inversor). Dacă semnalul de comandă *Start* este activ (semnal activ pe 1) atunci se închide bucla din inel, și circuitul începe să oscileze. Frecvența de oscilație este dată de relația (4.4). Timpul de propagare a unui inversor este pasat către modul prin parametrul *Delay*. La ieșirea fiecărui inversor este poziționat un port de ieșire, astfel următoarea schemă generează 3 semnale de tact cu frecvența egală, însă semnalele sunt defazate cu  $2t_p$ . Este monitorizat consumul circuitului, ieșirea *energy\_mon* reprezentând energia consumată de circuit.

### Modulul „COUNT\_reset”

Schema modulului „COUNT\_reset” este prezentată în Fig. 4.6. Este un numărător asincron format din bistabile D master/slave. Numărătorul are o intrare de tact, portul clk, și o intrare de resetare, portul reset. Ieșirea numărătorului este portul A cu lățime de 8 biți. Este monitorizat consumul circuitului prin portul *energy\_mon*. Semnalele de intrare/ieșire a numărătorului și paramtri lui sunt trecute în. și Tabelul 4.5.



Tabelul 4.4. Semnale de intrare/ieșire a modului „COUNT\_reset”

Port	Direcție	Lățime	Descriere
clk	intrare	1	Semnal de tact (activ pe front pozitiv)
reset	intrare	1	Semnalul de resetare (activ pe 0 logic)
A	ieșire	8	Starea contorului
energy_mon	ieșire	flotant	Port pentru monitorizarea consumului de energie, prin gestionarea capacităților încărcate/descărcate

Tabelul 4.5. Parametri modului „COUNT\_reset”

Parametru	Tipul semnal	Descriere
V	flotant	Tensiunea de alimentare; parametrul este utilizat pentru calculul energiei consumate
C	flotant	Capacitatea parazită a unui pin de intrare a porților logice; parametrul folosit pentru estimarea energiei

### Modulul „ADDER\_8bit”

Schema modului „ADDER\_8bit” este prezentat în Fig. 4.7. Este un circuit de adunare pe 8 biți, obținut prin cascadoarea a două circuite de adunare pe 4 biți. Circuitul de adunare are două intrări *A* și *B* pe 8 biți, operanzii adunării, și un semnal de ieșire *S*, el fiind suma. Este monitorizat consumul circuitului prin portul *energy\_mon*. Pentru cascadaarea modului de adunare este nevoie de semnalele de transport *Cin* și *Cout*. Semnalele de intrare/ieșire ale circuitului de adunare și parametri lui sunt trecute în

Tabelul 4.6. și Tabelul 4.7.

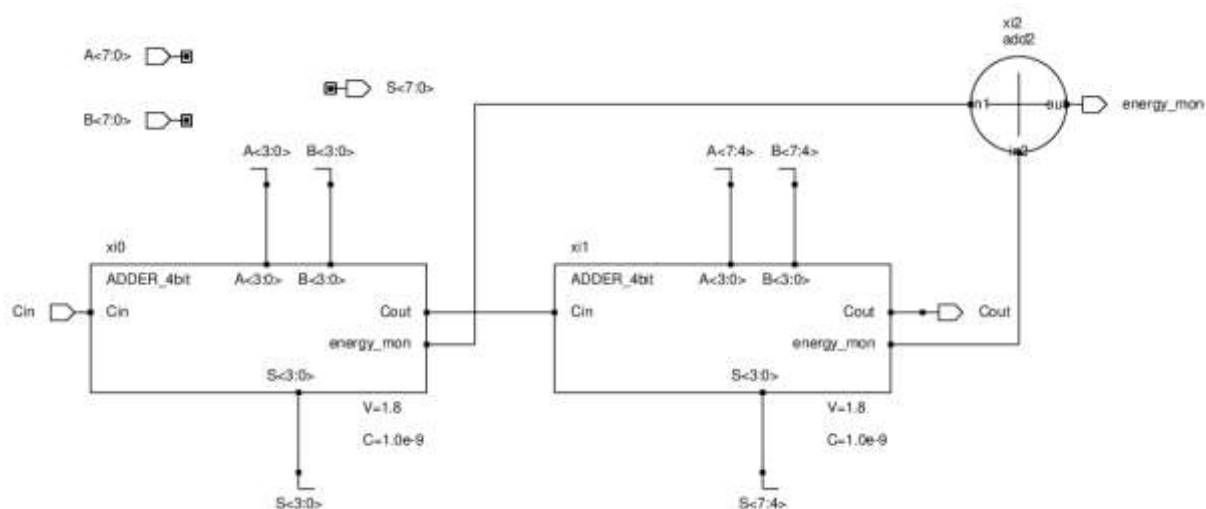


Fig. 4.7. Schema modului „ADDER\_8bit”

Tabelul 4.6. Semnale de intrare/ieșire a modului „ADDER\_8bit”

Port	Direcție	Lățime	Descriere
A	intrare	8	Operandul adunării
B	intrare	8	Operandul adunării
S	ieșire	8	Suma adunării
energy_mon	ieșire	flotant	Port pentru monitorizarea consumului de energie, prin gestionarea capacităților încărcate/descărcate

Tabelul 4.7. Parametri modului „ADDER\_8bit”

Parametru	Tipul semnal	Descriere
V	flotant	Tensiunea de alimentare; parametrul este utilizat pentru calculul energiei consumate
C	flotant	Capacitatea parazită a unui pin de intrare a porților logice; parametrul este folosit pentru estimarea energiei

### Modulul „ADDER\_4bit”

Schema modului „ADDER\_4bit” este prezentat în Fig. 4.8. Este un circuit de adunare pe 4 biți, obținut prin cascada a 4 celule de adunare completă pe 4 biți. Circuitul de adunare are două intrări *A* și *B* pe 4 biți, operandii adunării, și un semnal de ieșire *S*, acesta reprezentând suma. Este monitorizat consumul circuitului prin portul *energy\_mon*. Pentru cascada modului de adunare este nevoie de semnalele de transport *Cin* și *Cout*. Semnalele de intrare/ieșire ale circuitului de adunare și parametri lui sunt trecute în

Tabelul 4.8. și Tabelul 4.9.

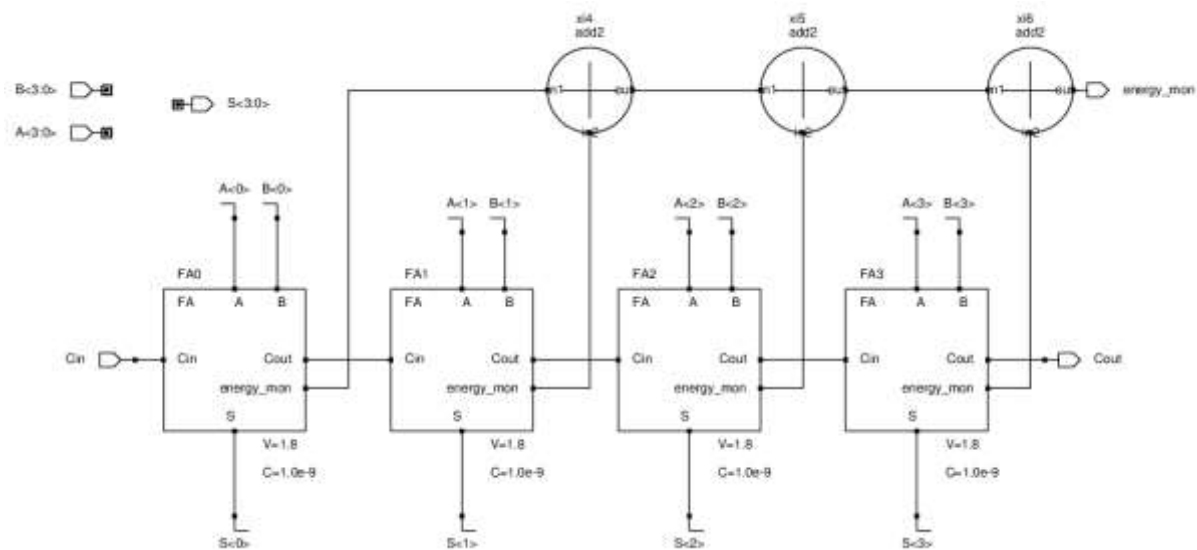


Fig. 4.8. Schema modulului „ADDER\_4bit”

Tabelul 4.8. Semnale de intrare/ieșire a modului „ADDER\_4bit”

Port	Direcție	Lățime	Descriere
A	intrare	4	Operandul adunării
B	intrare	4	Operandul adunării
S	ieșire	4	Suma adunării
energy_mon	ieșire	flotant	Port pentru monitorizarea consumului de energie, prin gestionarea capacităților încărcate/descărcate

Tabelul 4.9. Parametri modului „ADDER\_4bit”

Parametru	Tipul semnal	Descriere
V	flotant	Tensiunea de alimentare; parametrul este utilizat pentru calculul energiei consumate
C	flotant	Capacitatea parazită a unui pin de intrare a porților logice; parametrul este folosit pentru estimarea energiei

### Modulul „FA”

Schema modului „FA” este prezentat în Fig. 4.9. Este un circuit de adunare complet realizat cu porți nand. Circuitul de adunare complet are două intrări A și B pe 1 bit, operanzii adunării, și un semnal de ieșire S, acesta reprezentând suma. Este monitorizat consumul circuitului prin portul energy\_mon. Pentru cascada modului de adunare este nevoie de semnalele de transport Cin și Cout. Semnalele de intrare/ieșire ale circuitului de adunare și parametri lui sunt trecute în Tabelul 4.10, respectiv Tabelul 4.11.

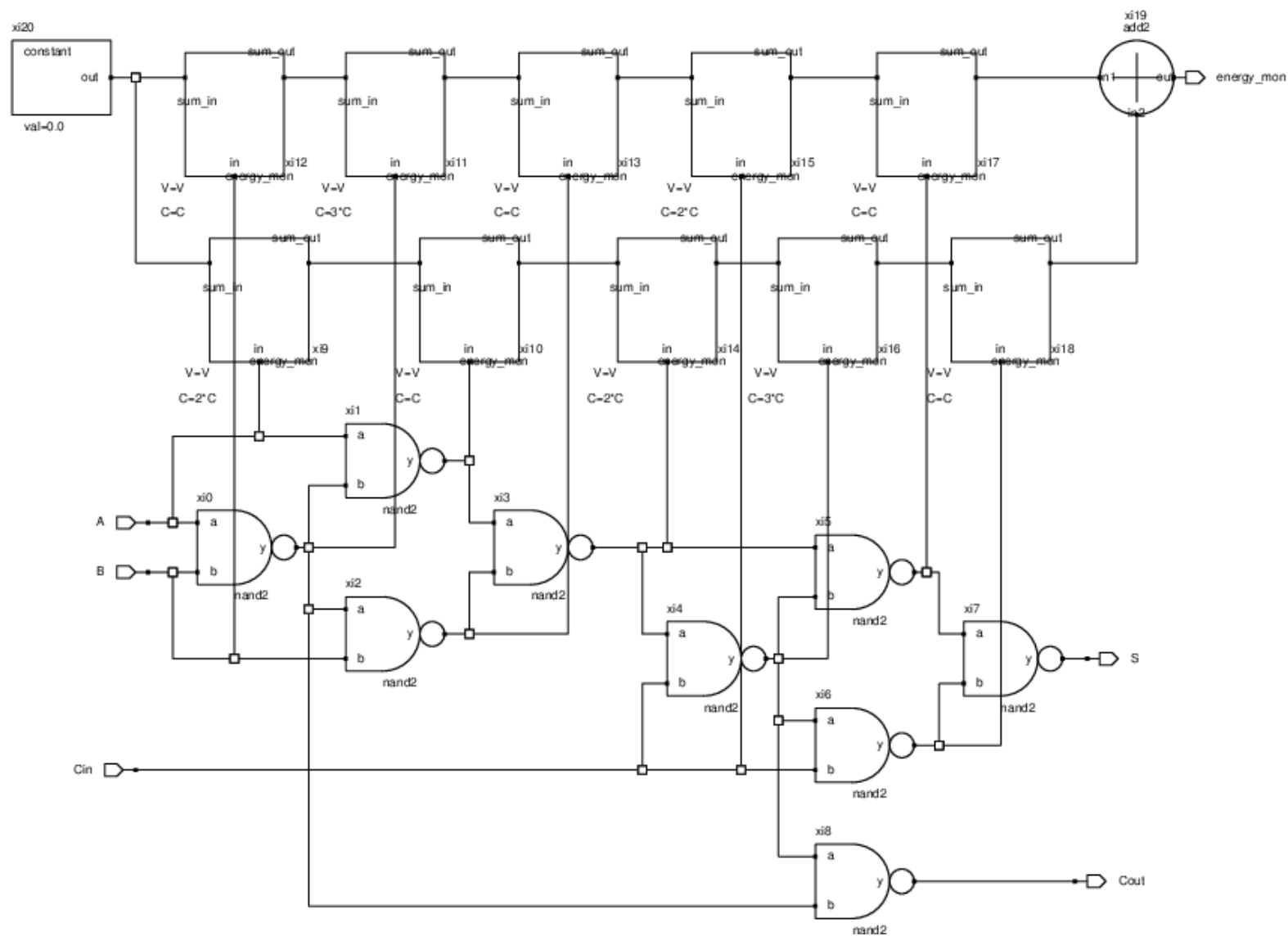


Fig. 4.9. Schema modulului „ADDER\_4bit”



Tabelul 4.10. Semnale de intrare/ieșire a modului „FA”

Port	Direcție	Lățime	Descriere
A	intrare	4	Operandul adunării
B	intrare	4	Operandul adunării
S	ieșire	4	Suma adunării
energy_mon	ieșire	flotant	Port pentru monitorizarea consumului de energie, prin gestionarea capacităților încărcate/descărcate

Tabelul 4.11. Parametri modului „FA”

Parametru	Tipul semnal	Descriere
V	flotant	Tensiunea de alimentare; parametrul este utilizat pentru calculul energiei consumate
C	flotant	Capacitatea parazită a unui pin de intrare a porților logice; parametrul este folosit pentru estimarea energiei

## 5. TDC cu oscilator bazat pe bistabil SR

Fig. 5.1. prezintă schema pentru testarea convertorului cu un oscilator bazat pe un bistabil SR. Pentru testarea TDC-ului sunt generate două semnale, unul pentru semnalul de start al convertorului (*fosc*), iar altul pentru semnalul de stop (*fref*). Între cele două evenimente este pornit un oscilator bazat pe bistabilul SR (este permisă oscilația în cazul în care este de măsurat intervalul, altfel este oprit oscilatorul), iar un contor numără oscilațiile. Valoarea de ieșire a convertorului este dată de către portul *M*, iar energia utilizată de TDC este monitorizată pe *energy\_mon*.

Profil de simulare recomandat:

- Number of sim time steps: 1000
- Time step: 1e-9
- Output file type: filetype=gtkwave
- Probes: fosc fref m energy

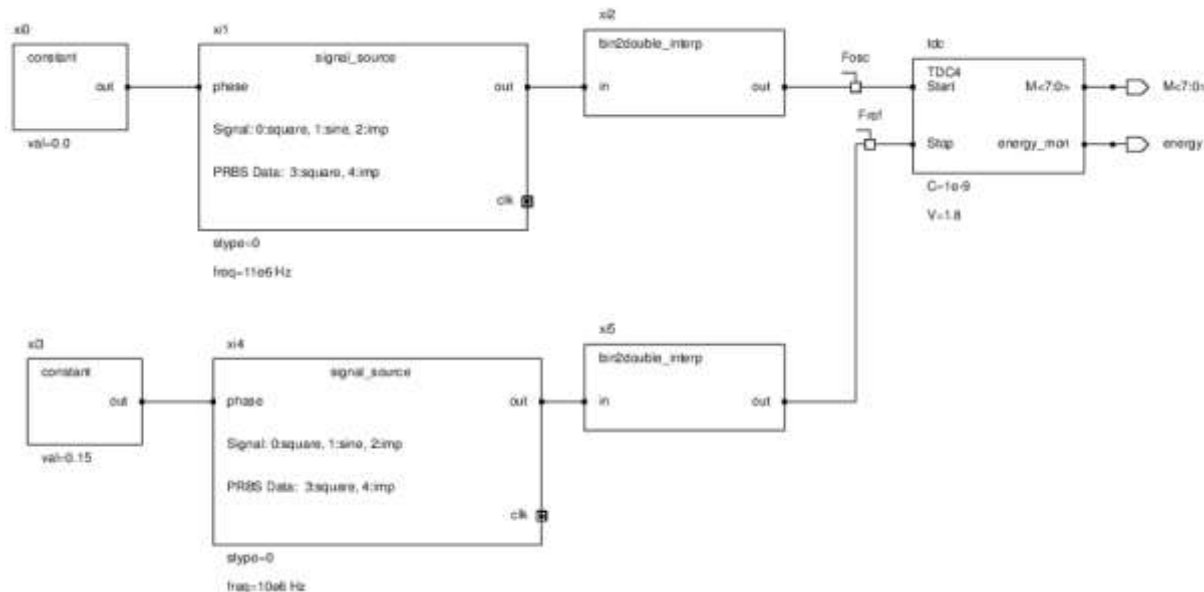


Fig. 5.1. Schemă TDC cu bistabil tip SR

În Fig. 5.2 prezentat rezultatul simulării, în care sunt rulate 3 conversii. Rezoluția conversiei este de aproximativ  $3t_p$ , unde  $t_p$  este timpul de propagare pe o poartă nand (aproximativ egal cu timpul de propagare pe o poartă inversoare). Valorile intervalelor măsurate și valoarea returnată sunt notate în Tabelul 5.1.

Tabelul 5.1. Intervale de timp și valoarea returnată de convertor

Interval timp T [ns]	Valoare returnat de TDC	Valoare măsurat
24	8	24
33	11	34
42	14	42

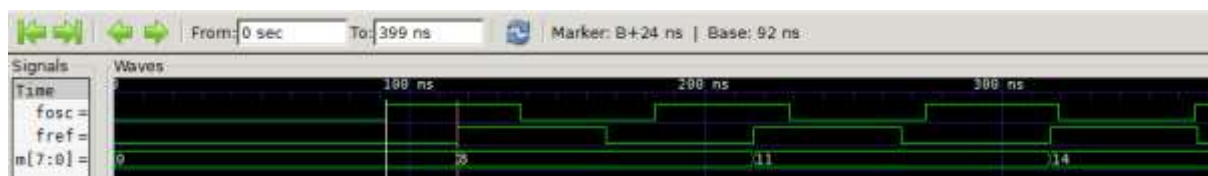


Fig. 5.2. Conversii cu TDC cu bistabil tip SR

### Modulul TDC4 (TDC cu oscilator cu bistabil SR)

TDC cu oscilator cu bistabil SR (Fig. 5.3) are principiul de funcționare asemănător cu TDC cu oscilator inel condiționat, diferența fiind componenta oscilantă. Lista semnalelor de intrare/ieșire și parametri modulului sunt prezentate în Tabelul 5.2, respectiv Tabelul 5.3.

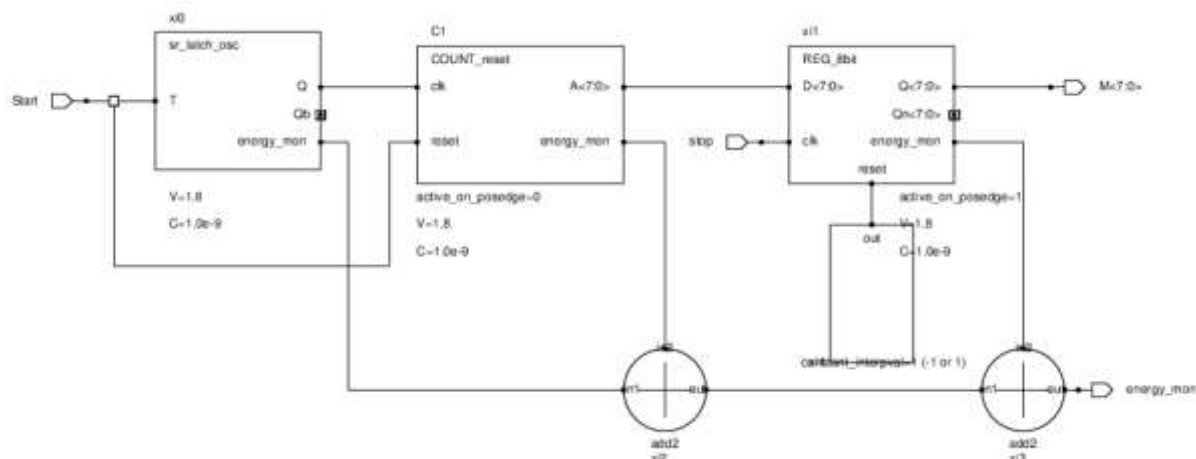


Fig. 5.3. Schemă TDC cu bistabil tip SR și contor digital

Tabelul 5.2. Semnale de intrare/ieșire a modului TDC4 (convertor cu oscilator bazat pe bistabil SR)

Port	Direcție	Lățime	Descriere
Start	intrare	1	Port de intrare pentru evenimentul de intrare.
Stop	intrare	1	Port de intrare pentru evenimentul de oprire.
M	ieșire	8	Valoarea returnată de convertor
energy_mon	ieșire	flotant	Port pentru monitorizarea consumului de energie, prin gestionarea capacitărilor încărcate/descărcate; acest port este folosit doar în timpul simulării cu scopul de a estima consumul dinamic al circuitului

Tabelul 5.3. Parametri modului TDC1 (convertor cu oscilator bazat pe bistabil SR)

Parametru	Tipul semnal	Descriere
V	flotant	Tensiunea de alimentare; parametrul este utilizat pentru calculul energiei consumate
C	flotant	Capacitatea parazită a unui pin de intrare a porților logice; parametrul este folosit pentru estimarea energiei

### Modulul „sr\_latch\_osc”

Acest modul (vezi schema modului în Fig. 5.4) este elementul de oscilație din convertor. Intrarea *T* (prescurtare de la toggle) reprezintă comanda de oscilație. Ieșirile *Q* și *Qb* (*Q* barat sau *Q* negat) sunt semnalele oscilante. Este monitorizat consumul oscilatorului, energia consumată fiind măsurată la ieșirea *energy\_mon*.

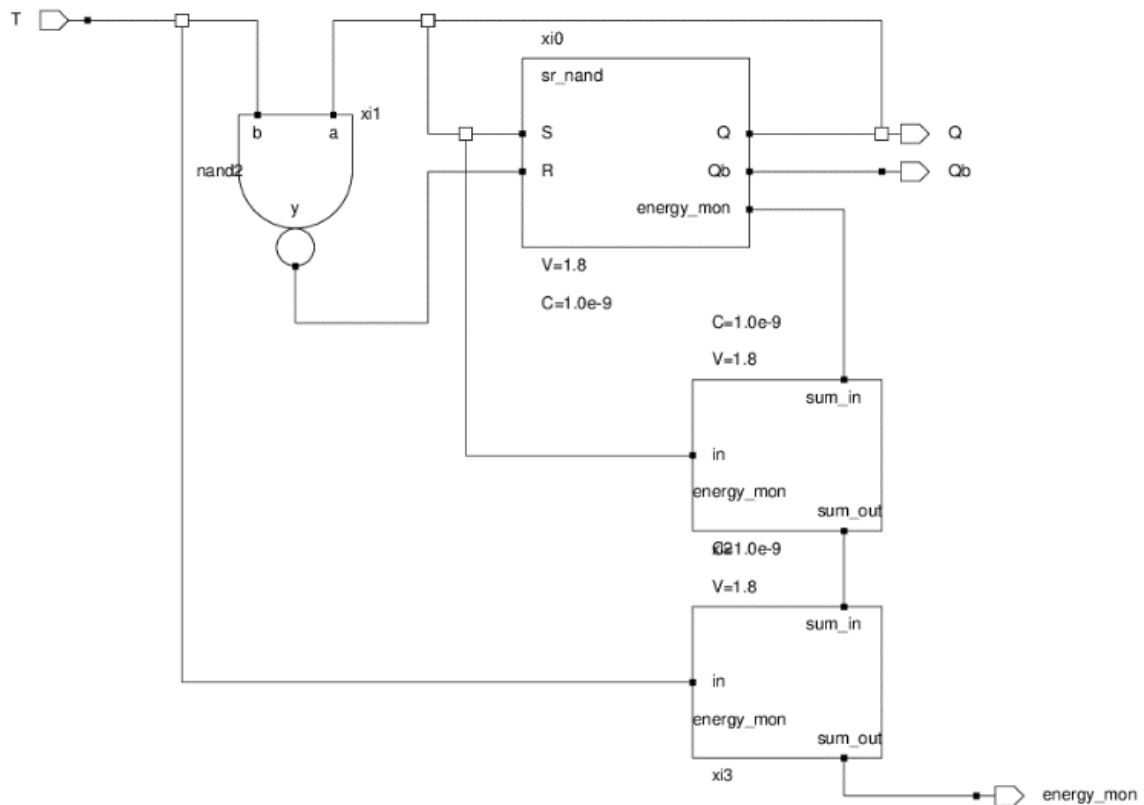


Fig. 5.4. Oscilator bazat pe bistabil SR

#### Modulul „sr\_latch”

Modulul „sr\_latch” (vezi schema modulului în Fig. 5.4) implementează un bistabil SR realizat cu porți nand. Porturile S și R sunt comenzile de set și reset ale bistabilului, porturile  $Q$  și  $Qb$  ( $Q$  barat sau  $Q$  negat) sunt ieșirile. Este monitorizat consumul oscilatorului, energia consumată fiind măsurată la ieșirea *energy\_mon*.

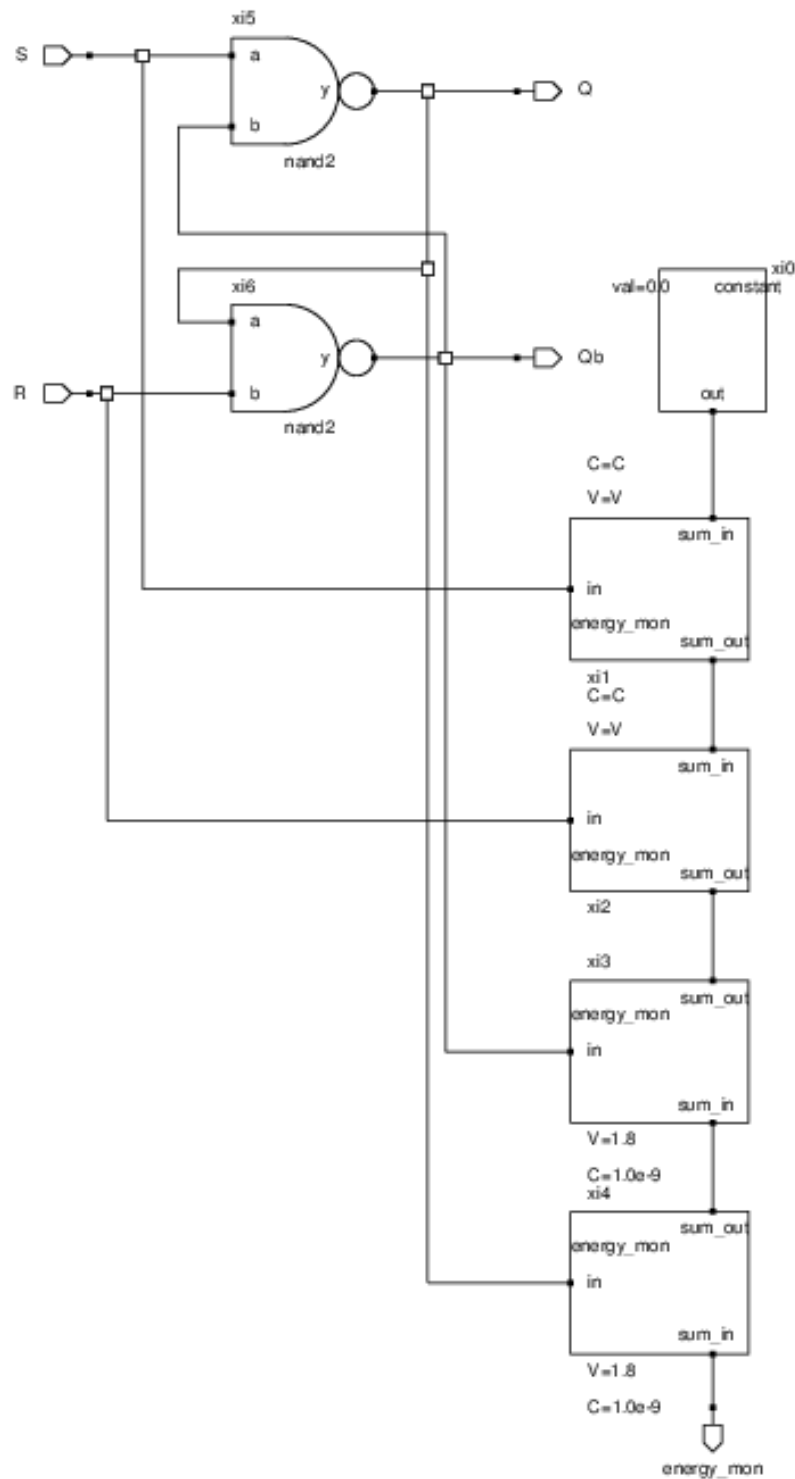


Fig. 5.5. Bistabil SR cu poartă NAND și monitor de energie

Bistabilul SR (set-reset), poate fi considerat unul dintre cele mai simple circuite logice secvențiale. Acest flip-flop este în principiu un dispozitiv bistabil cu memorie pe un singur bit care are două intrări, una care va asigura valoarea "SET" dispozitivului (adică valoarea de ieșire = "1") și este etichetată S și alta care va asigura valoarea "RESET" dispozitivului (adică valoarea de ieșire = "0"), etichetată cu R. Intrarea "RESET" readuce flip-flop-ul înapoi la starea

inițială cu o ieșire Q care va avea valoarea "1" sau "0" logic în funcție de condiția de setare / resetare.

### Modulul „REG\_8bit”

Modulul „REG\_8bit” (vezi schema lui în Fig. 5.6) este un registru pe 8 biți format din bistabile din două registre pe 4 biți. Registrarea valorilor este executată pe frontul semnalului *clk*, polaritatea activă fiind parametrizată de *active\_on\_posedge*. Resetarea prin semnalul *reset* va aduce ieșirea Q[7:0] la valoarea 0. Energia consumată de registru este măsurată la portul *energy\_mon*. Registrul pe 8 biți a fost obținut prin lipirea a două registre de 4 biți. Lista semnalelor de intrare/ieșire și lista parametrilor sunt date în Tabelul 5.4 și Tabelul 5.5.

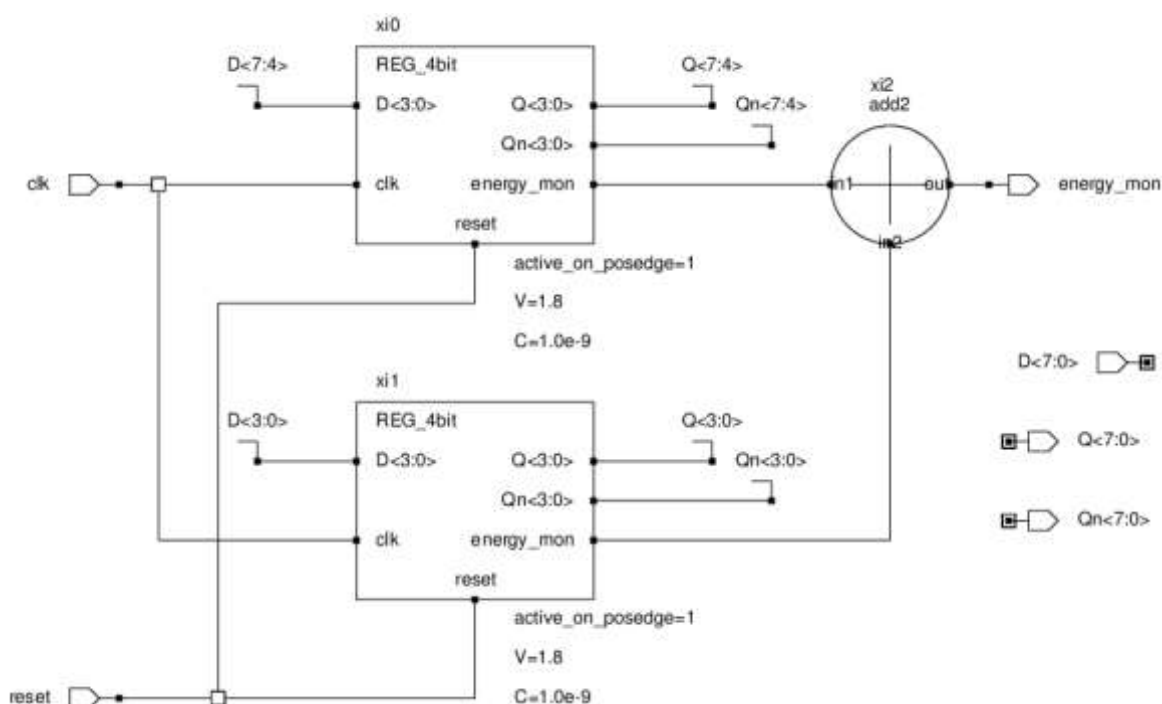


Fig. 5.6. Schema modulului „REG\_8bit”

Tabelul 5.4. Semnale de intrare/ieșire a modulului REG\_8bit

Port	Direcție	Lățime	Descriere
clk	intrare	1	Semnal de tact (activ pe front pozitiv)
reset	intrare	1	Semnalul de resetare (activ pe 0 logic)
D	intrare	8	Valoarea a fi înregistrată
Q	ieșire	8	Starea registrului
energy_mon	ieșire	flotant	Port pentru monitorizarea consumului de energie, prin gestionarea capacitărilor încărcate/descărcate; acest port este folosit doar în timpul simulării cu scopul de a estima consumul dinamic al circuitului

Tabelul 5.5. Parametri modulului REG\_8bit

Parametru	Tipul semnal	Descriere
-----------	--------------	-----------

Active_on_posedge	boolean	0 logic = activ pe front negativ, 1 logic = activ pe front pozitiv
V	floatant	Tensiunea de alimentare; parametrul este utilizat pentru calculul energiei consumate
C	floatant	Capacitatea parazită a unui pin de intrare a porților logice; parametrul este folosit pentru estimarea energiei

### Modulul „REG\_4bit”

Modulul „REG\_4bit” (vezi schema lui în Fig. 5.7. Schema modulului „REG\_4bit”) este un registru pe 4 biți format din bistabile din două registre pe 4 biți. Registrarea valorilor este executată pe frontul semnalului *clk*, polaritatea activă fiind parametrizată de *active\_on\_posedge*. Resetarea prin semnalul *reset* va aduce ieșirea Q[3:0] la valoarea 0. Energia consumată de registru este măsurată la portul *energy\_mon*. Registrul pe 4 biți a fost obținut prin lipirea a 4 bistabile D master/slave. Lista semnalelor de intrare/ieșire și lista parametrilor sunt date în Tabelul 5.6 și Tabelul 5.7.

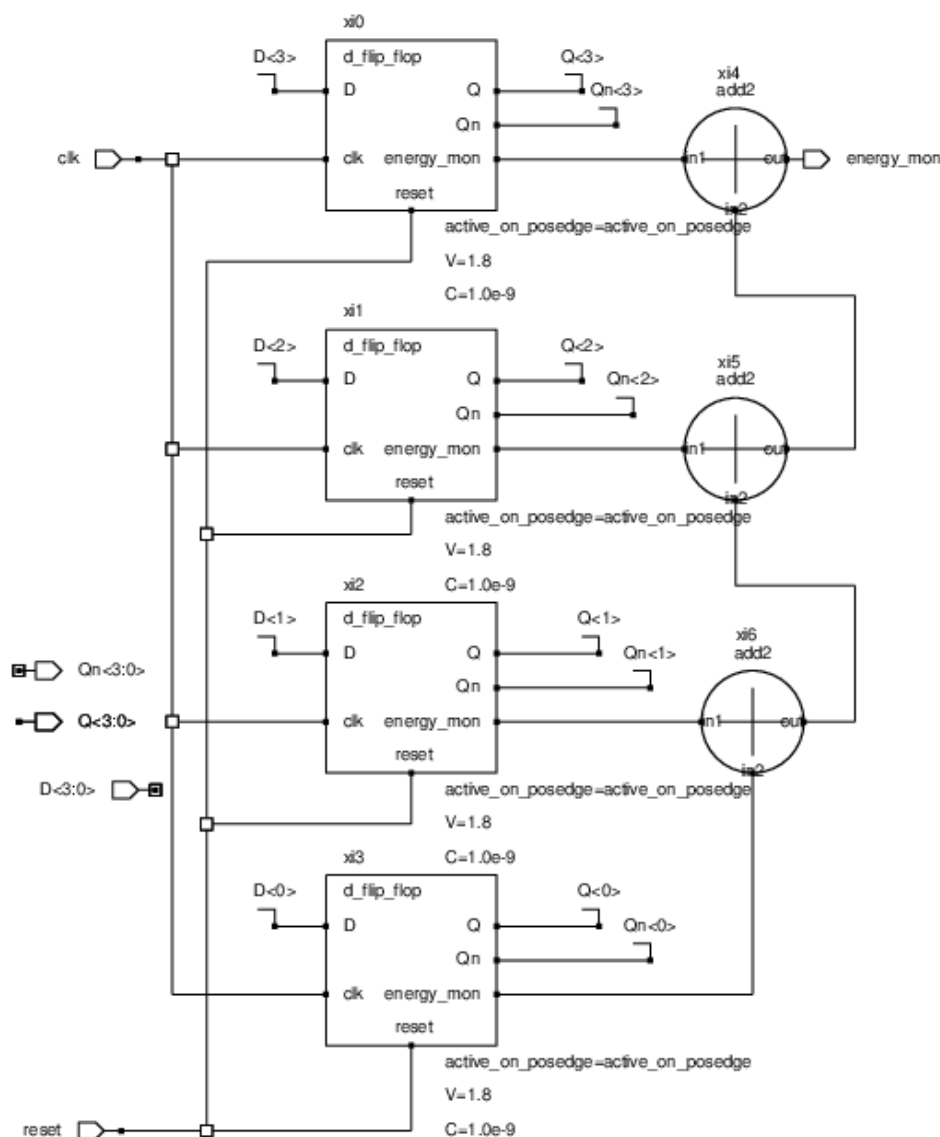


Fig. 5.7. Schema modulului „REG\_4bit”

Tabelul 5.6. Semnale de intrare/ieșire a modului REG\_4bit

Port	Direcție	Lățime	Descriere
clk	intrare	1	Semnal de tact (activ pe front pozitiv)
reset	intrare	1	Semnalul de resetare (activ pe 0 logic)
D	intrare	4	Valoarea a fi înregistrată
Q	ieșire	4	Starea registrului
energy_mon	ieșire	flotant	Port pentru monitorizarea consumului de energie, prin gestionarea capacităților încărcate/descărcate; acest port este folosit doar în timpul simulării cu scopul de a estima consumul dinamic al circuitului

Tabelul 5.7. Parametri modului REG\_4bit

Parametru	Tipul semnal	Descriere
Active_on_posedge	boolean	0 logic = activ pe front negativ, 1 logic = activ pe front pozitiv
V	flotant	Tensiunea de alimentare; parametrul este utilizat pentru calculul energiei consumate
C	flotant	Capacitatea parazită a unui pin de intrare a porților logice; parametrul este folosit pentru estimarea energiei

### Modulul „d\_flip\_flop”

Modulul „d\_flip\_flop” (vezi schema lui în Fig. 5.8) este un bistabil D masters/slave (activ pe front a semnalului de tact) format din bistabile D (activ pe palier). Registrarea valorilor este executată pe frontul semnalului *clk*, polaritatea activă fiind parametrizată de *active\_on\_posedge*. Resetarea prin semnalul *reset* va aduce ieșirea Q la valoarea 0. Energia consumată de registru este portul *energy\_mon*. Lista semnalelor de intrare/ieșire și lista parametrilor sunt date în Tabelul 5.8 și Tabelul 5.9.



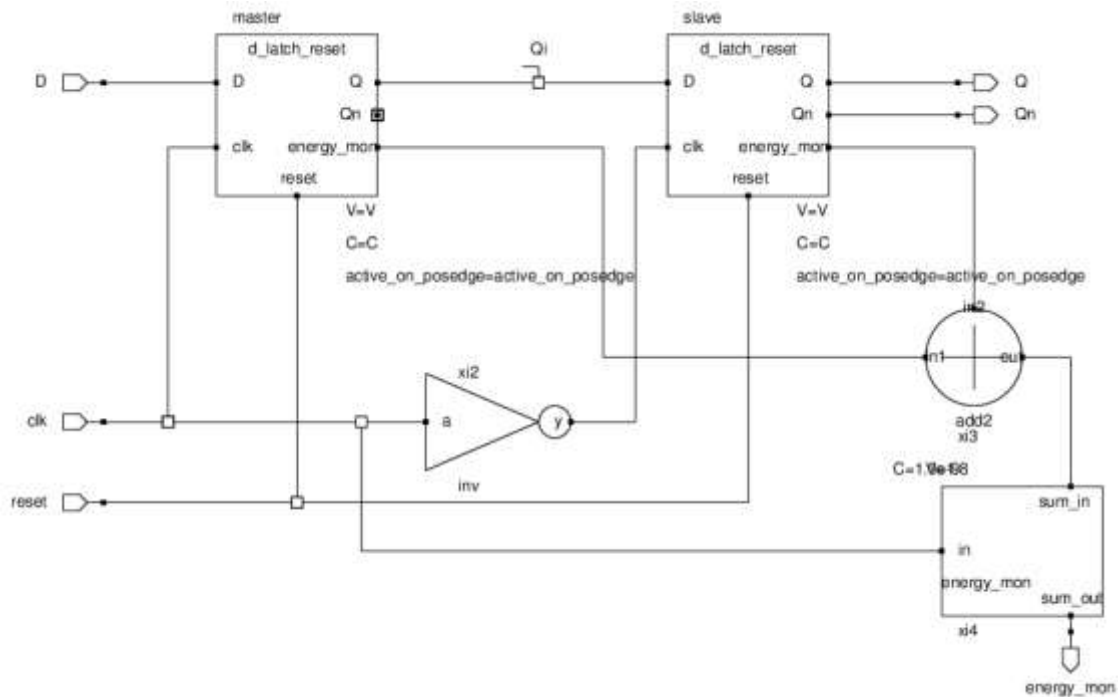


Fig. 5.8. Schema modulului „d\_flip\_flop”

*Tabelul 5.8. Semnale de intrare/ieșire a modulului d\_flip\_flop*

Port	Direcție	Lățime	Descriere
clk	intrare	1	Semnal de tact (activ pe front pozitiv)
reset	intrare	1	Semnalul de resetare (activ pe 0 logic)
D	intrare	4	Valoarea a fi înregistrată
Q	ieșire	1	Starea registrului
Qb	ieșire	1	Q negat
energy_mon	ieșire	flotant	Port pentru monitorizarea consumului de energie, prin gestionarea capacitărilor încărcate/descărcate; acest port este folosit doar în timpul simulării cu scopul de a estima consumul dinamic al circuitului

*Tabelul 5.9. Parametri modulului d\_flip\_flop*

Parametru	Tipul semnal	Descriere
Active_on_posedge	boolean	0 logic = activ pe front negativ, 1 logic = activ pe front pozitiv
V	flotant	Tensiunea de alimentare; parametrul este utilizat pentru calculul energiei consumate
C	flotant	Capacitatea parazită a unui pin de intrare a porților logice; parametrul este folosit pentru estimarea energiei

## Modulul „d\_latch\_reset”

Modulul „d\_latch\_reset” (vezi schema lui în Fig. 5.9) este un bistabil D masters/slave (activ pe front a semnalului de tact) format din bistabile D (activ pe palier). Registrarea valorilor este executată pe frontul semnalului *clk*, polaritatea activă fiind parametrizată de

*active\_on\_posedge*. Resetarea prin semnalul *reset* va aduce ieșirea Q la valoarea 0. Energia consumată de registru este măsurată la portul *energy\_mon*. Lista semnalelor de intrare/ieșire și lista parametrilor sunt date în Tabelul 5.10 și Tabelul 5.11.

Tabelul 5.10. Semnale de intrare/ieșire a modului *d\_flip\_flop*

Port	Direcție	Lățime	Descriere
clk	intrare	1	Semnal de tact activ pe palier selectat prin parametrul <i>active_on_posedge</i>
reset	intrare	1	Semnalul de resetare (activ pe 0 logic)
D	intrare	4	Valoarea a fi înregistrată
Q	ieșire	1	Starea registrului
Qb	ieșire	1	Q negat
energy_mon	ieșire	flotant	Port pentru monitorizarea consumului de energie, prin gestionarea capacităților încărcate/descărcate; acest port este folosit doar în timpul simulării cu scopul de a estima consumul dinamic al circuitului

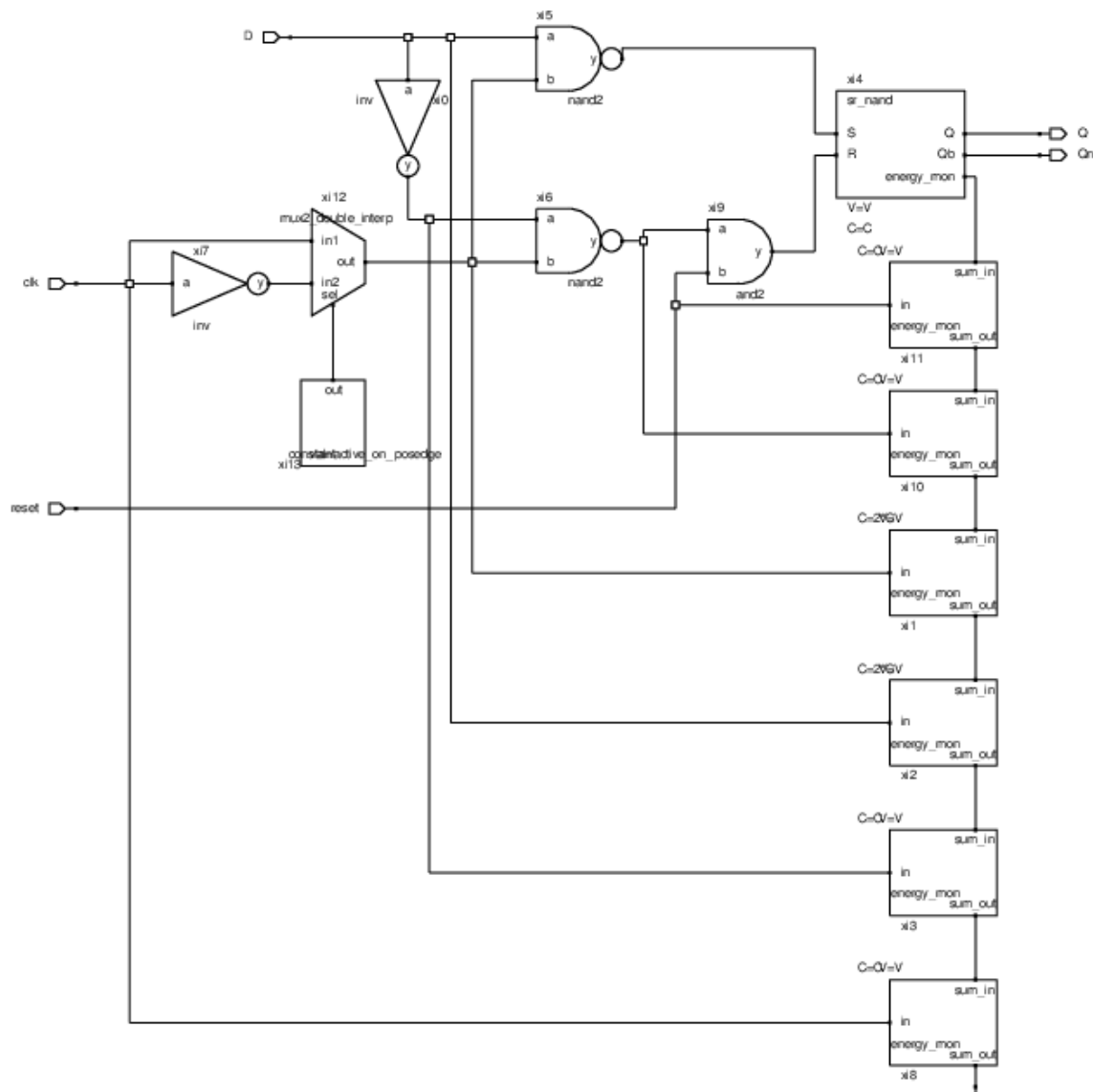


Fig. 5.9. Schema modului „*d\_latch\_reset*”

Tabelul 5.11. Parametri modului *d\_latch*

Parametru	Tipul semnal	Descriere
Active_on_posedge	boolean	0 logic = activ pe front negativ, 1 logic = activ pe front pozitiv
V	flotant	Tensiunea de alimentare; parametrul este utilizat pentru calculul energiei consumate
C	flotant	Capacitatea parazită a unui pin de intrare a porților logice; parametrul este folosit pentru estimarea energiei

## 6. Referințe

- [1] S. Hanzler, “Time-to-digital converters”, ISBN 978-90-481-8628-0, Ed. Springer, 2010
- [2] Matthew Z. Straayer, and Michael H. Perrott, “A Multi-Path Gated Ring Oscillator TDC With First-Order Noise Shaping”, IEEE JOURNAL OF SOLID-STATE CIRCUITS, VOL. 44, NO. 4, APRIL 2009
- [3] „CPPSIM-System Simulator”, [www.cppsim.com](http://www.cppsim.com), Noiembrie 2017
- [4] NAPOSIP - Noi Abordări în analiza și Proiectarea Sintetizatoarelor de frecvență de mare Performanță pentru sisteme de comunicații moderne, [naposip.utcluj.ro](http://naposip.utcluj.ro), Noiembrie 2017
- [5] G. Pupăzan, “Automate Secvențiale și Programabile”, <https://biblioteca.regielive.ro/cursuri/automate-secventiale-si-programabile.html>