

Министерство образования Республики Беларусь
Учреждение образования Белорусский государственный университет
информатики и радиоэлектроники

Кафедра ЭВМ

Отчет по лабораторной работе № 3
Тема: «Исследование работы триггеров»

Выполнил:
студент группы 150501 Смоленский Н.О.

Проверил:
к.т.н., доцент Селезнёв И.Л.

Минск
2023

1 ЦЕЛЬ РАБОТЫ

Изучение работы RS-, JK- и D-триггеров.

2 ИСХОДНЫЕ ДАННЫЕ К РАБОТЕ

Поставленные задачи:

1. Подготовка лабораторных модулей dLab7-dLab9 на установке N1 ELVIS.
2. Изучение работы RS-триггера.
 - 2.1. Заполнить таблицу истинности и диаграмму состояний RS-триггера.
 - 2.2. Заполнить таблицу переходов RS-триггера и определить, при каких переключениях входных сигналов состояние триггера изменяется, а при каких – нет.
3. Изучение работы JK-триггера.
 - 3.1. Заполнить таблицу истинности и диаграмму состояний для JK-триггера в статическом режиме.
 - 3.2. Заполнить таблицу переходов JK-триггера и определить, каким комбинациям входных сигналов соответствуют определенные режимы работы триггера.
 - 3.3. Заполнить диаграмму состояний JK-триггера в динамическом режиме.
 - 3.4. Определить активный уровень сигналов асинхронного управления триггером.
4. Изучение работы D-триггера.
 - 4.1. Заполнить таблицу истинности и диаграмму состояний D-триггера в статическом режиме.
 - 4.2. Заполнить таблицу перехода D-триггера и определить при каких значениях входного сигнала происходит установка триггера в “0” и “1”.
 - 4.3. Заполнить диаграммы состояний D-триггера в динамическом режиме при различных сигналах на входах “R” и “S”.
 - 4.4. Определить активный уровень сигналов асинхронного управления триггером.

3 ТЕОРЕТИЧЕСКИЕ СВЕДЕНИЯ

3.1 RS-триггер

Триггером называется простейшее устройство, имеющее два устойчивых состояния, переход между которыми происходит в результате процессов, обусловленных наличием в электрической цепи триггера цепей положительной обратной связи.

Два устойчивых состояния триггера обозначаются: $Q = 1$ и $Q = 0$. В каком из этих состояний окажется триггер, зависит от состояния сигналов на входах триггера и от его предыдущего состояния, иными словами триггер имеет память. Можно сказать, что триггер является элементарной ячейкой памяти.

Тип триггера определяется алгоритмом его работы. В зависимости от алгоритма работы, триггер может иметь установочные, информационные и управляющие входы. Установочные входы устанавливают состояние триггера независимо от состояния других входов. Входы управления разрешают запись данных, подающихся на информационные входы.

Если триггер не имеет входов синхронизации, то его называют асинхронным. В этом случае его поведение однозначно определяется в момент прихода активного сигнала на информационный вход. В зависимости от устройства входных цепей триггер будет изменять своё состояние или под действием уровня входного сигнала, или под действием фронта этого сигнала.

Если триггер имеет хотя бы один вход синхронизации, то он считается синхронным. У такого триггера имеются информационные входы, приём информации по которым происходит в момент активного состояния синхросигнала. При этом триггер может иметь и другие информационные входы, которые асинхронно определяют его поведение.

Асинхронный RS-триггер является базовым при создании более сложных триггеров. В простейшем случае асинхронный RS-триггер имеет два входа: S (Set) - вход установки триггера в единичное состояние, R (Reset) - вход установки триггера в нулевое состояние. Активный сигнал по входу S в момент появления заставляет триггер перейти в единичное состояние. Активный сигнал по входу R в момент появления заставляет триггер перейти в нулевое состояние.

На рисунке 3.1 приведена схема RS - триггера, построенного на логических элементах И-НЕ.

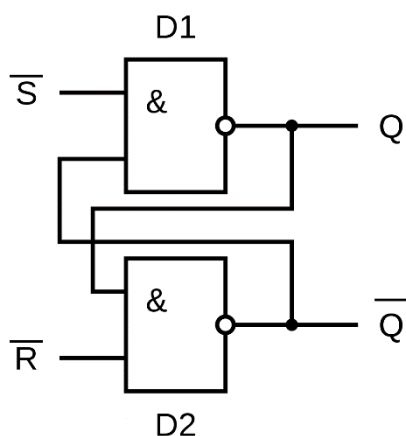


Рисунок 3.1 – Схема RS-триггера на логических элементах И-НЕ

Будем считать выход элемента D1 прямым выходом триггера Q. По заданному положению прямого выхода определим положение входов

установки триггера в нуль (R) и в единицу (S). Если предположить, что сигнал логической единицы присутствует на верхнем входе, то состояние выходного сигнала элемента D1 будет зависеть от сигнала на выходе элемента D2. Следовательно, единица на верхнем входе не заставляет схему непременно менять своё состояние. Это пассивный уровень сигнала на верхнем входе.

Если выход элемента D1 имеет нулевое состояние и на верхний вход поступит нулевой логический сигнал, то на выходе элемента D1 спустя время задержки одного элемента $t_{зд}$ появится логическая единица независимо от состояния сигнала на нижнем входе схемы. Сформированная на выходе D1 единица, поступая на верхний вход элемента D2 (при наличии единицы на нижнем его входе) приведёт к появлению нуля на выходе D2 спустя время задержки $t_{зд}$. То есть через время $2t_{зд}$ триггер перейдет в новое, единичное состояние.

Таким образом, активным сигналом на верхнем входе является логический нуль, этот вход является входом установки S, поскольку приводит к появлению логической единицы на прямом выходе - Q. Поскольку схема симметрична, можно предположить, что нижний вход схемы является входом сброса триггера в нуль - R, причём активным сигналом для этого входа также является логический нуль. Временная диаграмма работы триггера с учётом задержки сигнала в элементах показаны на рисунке 3.2.

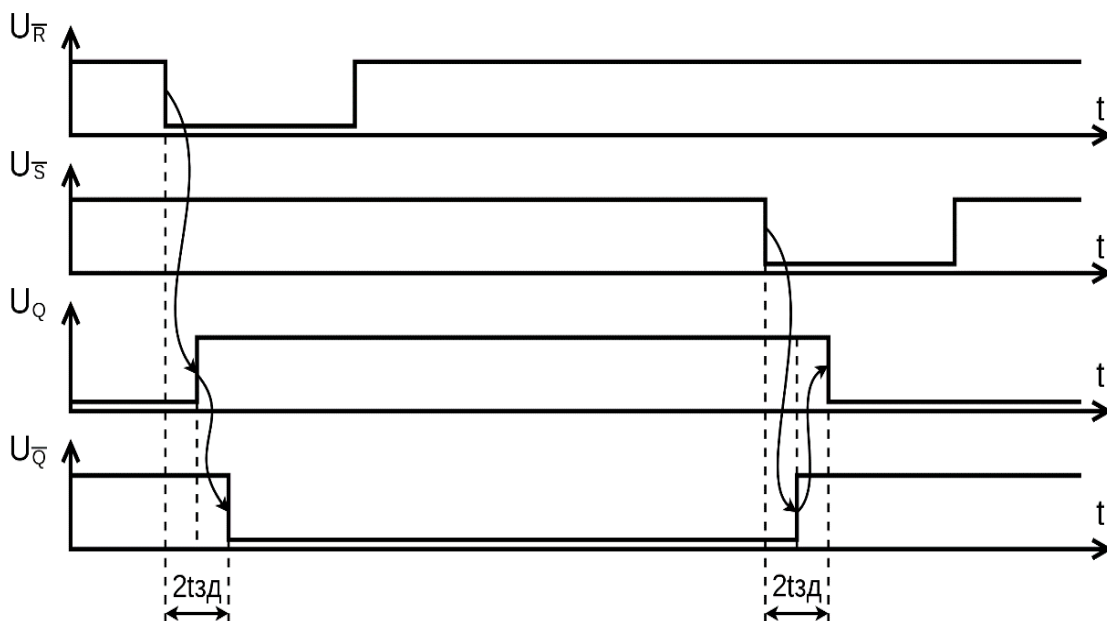


Рисунок 3.2 – Временная диаграмма работы триггера

Для RS-триггера комбинация $S=0$ и $R=0$ является запрещенной. После такой комбинации информационных сигналов состояние триггера будет неопределенным: на его выходе Q может быть 0 или 1. Существуют разновидности RS-триггеров, называемые E-, R- и S-триггерами, для которых сочетание $S=R=1$ не является запрещенным. E-триггер при $S=R=1$ не изменяет

своего состояния. S-триггер при $S=R=1$ устанавливается в состояние $Q=1$, а R-триггер в этом случае устанавливается в состояние $Q=0$.

На рисунке 3.3 приведено условное графическое изображение RS-триггера, где символами инверсии показано, что активным сигналом для входов S и R является нулевой логический уровень.

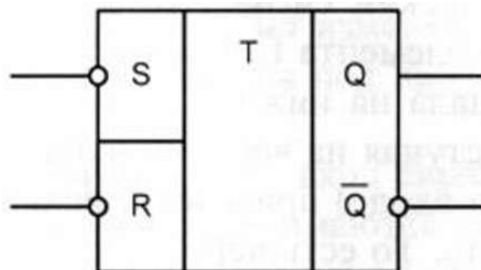


Рисунок 3.3 – Условное графическое обозначение асинхронного RS-триггера

Функционирование RS-триггера. определяется уравнением:

$$Q_{n+1} = \overline{R}_n S_n + \overline{R}_n Q_n,$$

где Q_n – предыдущее состояние триггера,
 Q_{n+1} – новое состояние триггера.

Поведение триггера можно определить сокращённой таблицей истинности (таблица 3.1), в которой сигналы на входах R и S определены для момента времени n , а состояние триггера определяется для следующего момента времени, который определяют как $n+1$.

Таблица 3.1 – Таблица истинности RS-триггера

S_n	R_n	Q_{n+1}	Примечание
0	0	x	запрещено
0	1	1	запись единицы
1	0	0	запись нуля
1	1	Q_n	хранение

Поведение триггера также можно описать таблицей переходов. Эта таблица определяет значения сигналов на входах, при которых происходит переход триггера из исходного состояния Q_n в состояние Q_{n+1} . Исходное и конечное состояние триггера записаны, соответственно в столбцах Q_n и Q_{n+1} , а значения сигналов в момент времени « n » на его входах - в столбцах S_n и R_n .

Рассмотрим принцип построения матрицы переходов для первой строки таблицы. Чтобы из нулевого исходного состояния триггер перешёл в нулевое, необходимо, чтобы состояние сигнала S_n на входе S было пассивным, а состояние сигнала на входе R не имеет значения. Это объясняется тем, что при

пассивном сигнале на входе R триггер просто сохранит своё исходное состояние, а при активном сигнале на этом входе происходит запись нуля в триггер. Но при этом в любом случае конечное состояние триггера будет равным нулю, то есть будет равно требуемому значению.

Таблица переходов RS-триггера представлена в таблице 3.2. Произвольное состояние сигнала помечено символом ×.

Таблица 3.2 – Таблица переходов RS-триггера

Q_n	S_n	R_n	Q_{n+1}
0	1	×	0
0	0	1	1
1	1	0	0
1	×	1	1

3.2 JK-триггер

JK-триггер имеет два информационных входа J и K, предназначенные для установки его выхода в логическое состояние 1 или 0. В интегральной схемотехнике JK-триггеры обычно выполняются синхронными, поэтому сигналы на информационных входах влияют на состояние JK-триггера только при поступлении тактового сигнала на его вход синхронизации C.

На рисунке 3.4 приведен один из вариантов построения синхронного двухступенчатого JK-триггера.

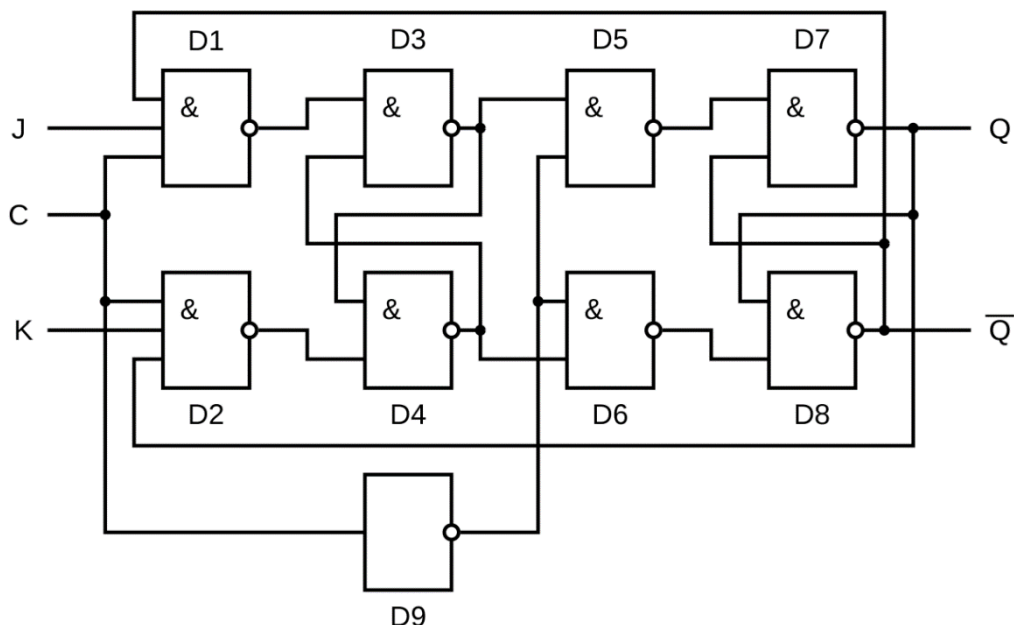


Рисунок 3.4 – Схема JK-триггера

Схема состоит из основного RS-триггера на логических элементах D3, D4 и дополнительного – на логических элементах D7, D8. Логические элементы D1 и D2 обеспечивают синхронизацию основного триггера, а

элементы D5 и D6 – синхронизацию дополнительного триггера. Основной триггер тактируется потенциалом логической 1, поступающим на вход С. Логический элемент D9 инвертирует тактовый сигнал, поэтому дополнительный триггер тактируется потенциалом логического 0.

Рассмотрим работу триггера при разных комбинациях входного сигнала. Пусть в исходном положении триггер находится в нулевом состоянии ($Q = 0$). Тогда на одном из входов элементов D1 и D2 будут, соответственно, логическая 1 ($Q = 1$) и логический 0 ($Q = 0$). При отсутствии входного тактового импульса, т. е. при $C = 0$, элементы D1 и D2 закрыты независимо от того, какие сигналы будут на остальных их входах.

Пусть на вход J подан сигнал логической 1 ($J = 1$), а на входе К присутствует логический 0 ($K = 0$). Тогда с приходом импульса синхронизации $C = 1$ элемент D1 откроется, а элемент D2 останется закрытым. Одновременно с этим закроются оба элемента D5 и D6 сигналом логического 0, снимаемым с выхода инвертора D9. Сигнал логического нуля с выхода открытого элемента D1 установит основной триггер в состояние 1. Тогда на одном из входов элемента D5 будет сигнал логической 1, а на входе элемента D6 – сигнал логического 0. Эти сигналы никак не повлияют на состояние дополнительного триггера, так как во время действия импульса синхронизации $C = 1$ элементы D5 и D6 закрыты нулевым потенциалом с выхода инвертора D9. По окончании импульса синхронизации элементы D1 и D2 закроются, а на выходе элемента D9 и, следовательно, входах элементов D5 и D6 появится логическая 1. Так как основной триггер находится в состоянии 1, то откроется элемент D5 и установит дополнительный триггер в состояние 1 ($Q = 1$).

Аналогично можно показать, что при $J = 0$ и $K = 1$ с приходом импульса синхронизации, триггер установится в состояние логического нуля: $Q = 0$. Таким образом, в триггере данного типа изменение выходного сигнала происходит только в моменты, когда потенциал на входе синхронизации С переходит из 1 в 0. Поэтому говорят, что эти триггеры тактируются срезом тактового импульса в отличие от триггеров, тактируемых потенциалом.

Временная диаграмма работы JK-триггера показана на рисунке 3.5.

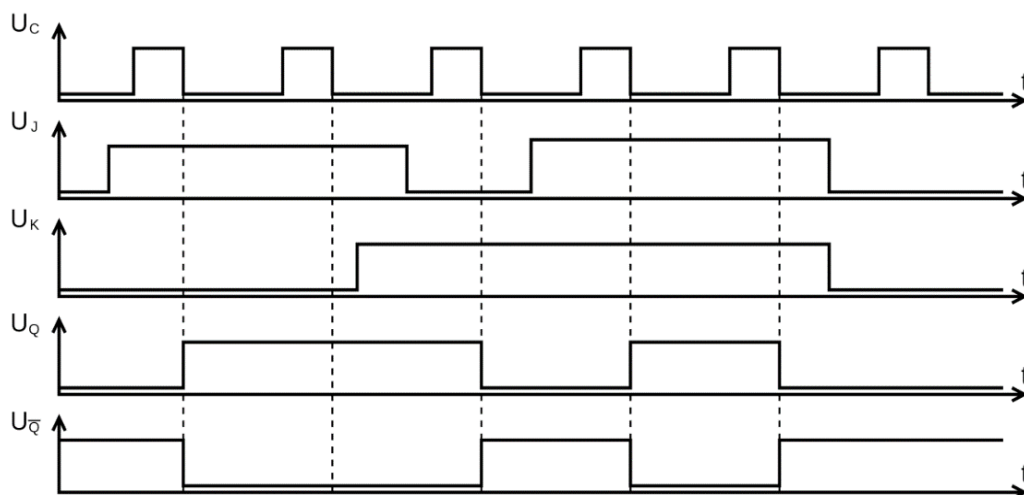


Рисунок 3.5 – Временная диаграмма работы JK-триггера

Функционирование JK-триггера определяется уравнением:

$$Q_{n+1} = J\overline{Q_n} + \overline{K_n}Q_n$$

Работа JK-триггеров описывается таблицей истинности (таблица 3.3) и таблицей переходов (таблица 3.4). Произвольное состояние сигнала помечено символом ×.

Таблица 3.3 – Таблица истинности JK-триггера

J_n	K_n	Q_{n+1}	Примечание
0	0	Q_n	хранение
0	1	0	запись нуля
1	0	1	запись единицы
1	1	Q_n	счётный режим

Таблица 3.4 – Таблица переходов JK-триггера

Q_n	J_n	K_n	Q_{n+1}
0	0	×	0
0	0	×	1
1	×	1	0
1	×	0	1

В отличие от RS-триггера, в JK-триггере наличие $J=K=1$ приводит к переходу выхода Q триггера в противоположное состояние. Эта особенность JK-триггера используется на практике – при объединении входов J и K получается так называемый Т-триггер, или счетный триггер, который изменяет состояние выхода по фронту импульса на входе С. Т-триггер может иметь подготовительный вход Т (точка объединения входов J и K). Сигнал на этом входе разрешает (при $T = 1$) или запрещает (при $T = 0$) срабатывание триггера от фронтов импульсов на входе С. Функционирование Т- триггера определяется уравнением:

$$Q_{n+1} = T_n\overline{Q_n} + \overline{T_n}Q_n$$

Из этого уравнения следует, что при $T = 1$ соответствующий фронт сигнала на входе С переводит триггер в противоположное состояние. Частота изменения потенциала на выходе Т-триггера в два раза меньше частоты импульсов на входе С. Это свойство Т-триггера позволяет строить на их основе двоичные счетчики. Поэтому эти триггеры и называют счетными. Счетный триггер без входа Т ведет себя так же, как и Т-триггер при $T = 1$.

Чтобы расширить функциональные возможности JK-триггера, его снабжают асинхронными входами R и S, которые имеют приоритет по отношению к другим входам. При подаче логического нуля на вход S триггер

асинхронно устанавливается в единичное состояние, а при подаче логического нуля на вход R – в нулевое состояние.

На рисунке 3.6 представлен JK-триггер K555TB9.

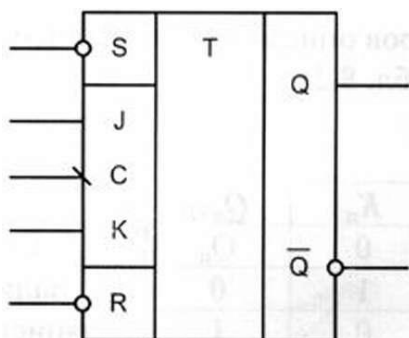


Рисунок 3.6 – Условно-графическое обозначение JK-триггера

3.3 D-триггер

D-триггер, или триггер задержки относится к синхронным триггерам. При поступлении синхросигнала на вход C устанавливается в состояние, соответствующее потенциалу на входе D. Уравнение функционирования D-триггера имеет вид:

$$Q_{n+1} = D_n$$

Это уравнение показывает, что выходной сигнал Q_{n+1} изменяется не сразу после изменения входного сигнала D а только с приходом синхросигнала, т.е. с задержкой на один период импульсов синхронизации.

Возможное схемное решение и условное обозначение D-триггера с потенциальным управлением предложено на рисунке 3.7. Основой D-триггера является асинхронный RS-триггер, выполненный на элементах D3 и D4.

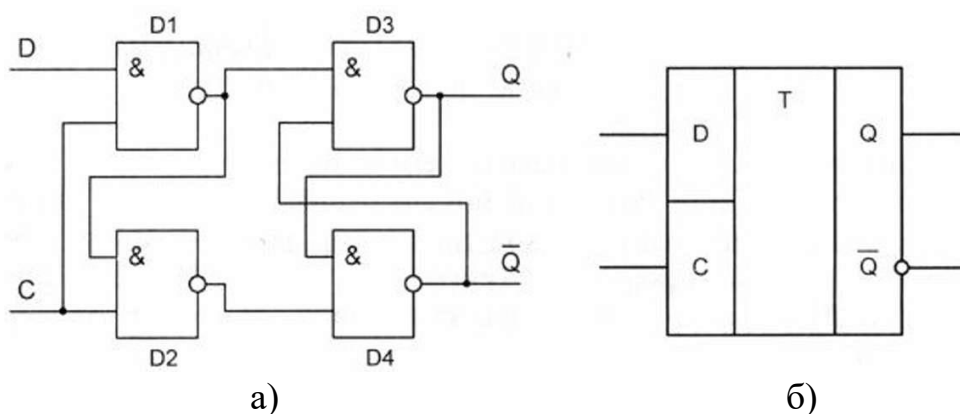


Рисунок 3.7 – Схема (а) и условное графическое обозначение (б) D-триггера с потенциальным управлением

При $C = 0$ триггер хранит информацию, поскольку на выходах D1, D2 присутствуют единицы, что соответствует пассивным сигналам асинхронного триггера D3, D4. При $C = 1$ в триггер записывается состояние сигнала D. Если

$D = 0$, то на выходе D1 формируется единица, а на выходе D2 формируется ноль, что приводит к записи в триггер нуля.

Наряду с приведенным выше уравнением поведение триггера можно описать таблицей истинности (таблица 9.1) и таблицей переходов (таблица 9.2).

Таблица 3.5 – Таблица истинности D-триггера

D_n	Q_{n+1}
0	0
1	1

Таблица 3.5 – Таблица переходов D-триггера

Q_n	D_n	Q_{n+1}
0	0	0
0	1	1
1	0	0
1	1	1

Из приведенных таблиц видно, что для D-триггера нет запрещённой комбинации сигналов на входах D и C.

Изменение состояния D-триггера при воздействии управляющих сигналов показано на временной диаграмме (рисунок 3.8).

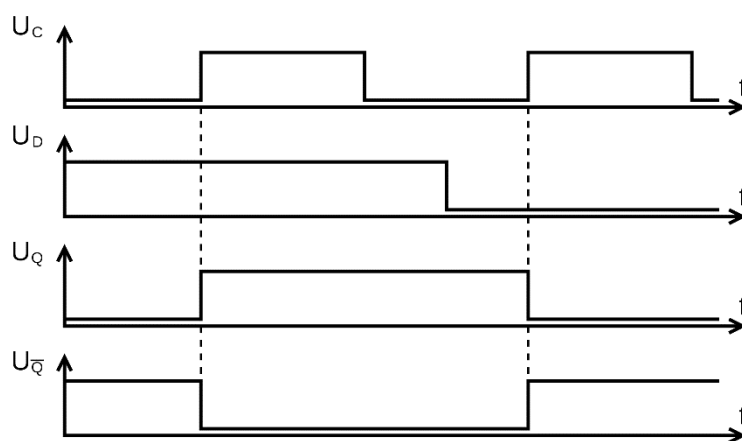


Рисунок 3.8 – Временная диаграмма работы D-триггера с потенциальным управлением

При активном синхросигнале нежелательно менять состояние сигнала на информационном входе D. В момент окончания действия активного синхросигнала происходит переход триггера из режима записи в режим хранения принятой информации. Триггер как бы защёлкивается в новом состоянии. Поэтому подобные триггеры иногда называют триггерами-защёлками.

При активном синхросигнале изменение состояния сигнала на входе D повторяется на выходе. То есть триггер превращается в повторитель входного сигнала. Этим фактом иногда пользуются, например, для повышения нагрузочной способности схемы.

Особенностью триггеров с динамическим управлением является то, что они принимают информацию в течение короткого интервала времени вблизи активного фронта синхросигнала. На рисунке 3.9 предложена схема D-триггера с динамическим управлением, которая реализована в составе микросхемы ТТЛ типа К555ТМ2.

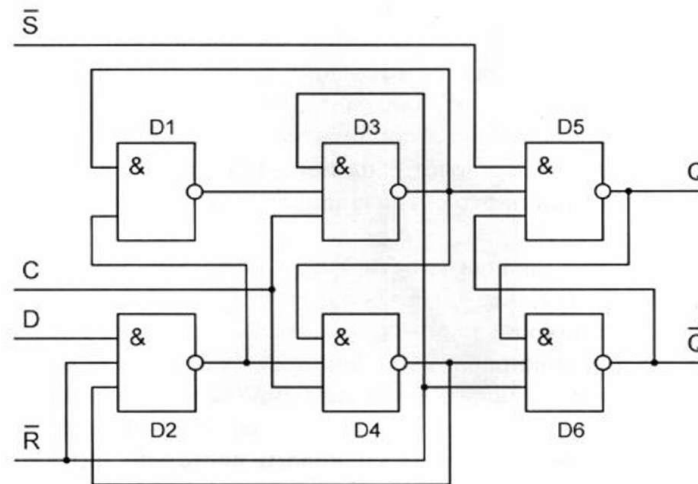


Рисунок 3.9 – Схема D-триггера с динамическим управлением

Пусть в исходном состоянии $C = 0$ и $D = 1$ (входы асинхронной установки S и R находятся в пассивном единичном состоянии и при анализе работы схемы не рассматриваются). Триггер сохраняет свое состояние. При этом на выходе элемента D2 присутствует логический ноль, в результате чего выход элемента D1 находится в единичном состоянии. С приходом нарастающего фронта синхросигнала все входы элемента D3 имеют единичное состояние, что приводит спустя время задержки элемента к появлению логического нуля на его выходе. Этот ноль поступает на входы элементов D1 и D4, блокируя информационный вход триггера D, то есть спустя время задержки всего одного элемента после прихода фронта синхросигнала изменение сигнала D не вызывает изменение состояния триггера. При этом ноль на выходе D3 переводит выходной сигнал D5 в единицу, а D6 – в ноль. Таким образом, после прихода синхросигнала произойдет переключение выходного сигнала триггера через интервал времени, равный утроенному времени задержки логического элемента.

Аналогично триггер ведёт себя при $D = 0$, только в этом случае блокирование информационного сигнала происходит нулём с выхода элемента D4 на вход элемента D2.

Предложенный анализ работы входной логики триггера показывает, что с появлением нарастающего фронта на входе синхронизации спустя время задержки всего одного элемента происходит блокирование информационного

входа так, что изменение состояния сигнала после этого не приводит к изменению состояния триггера. Только с приходом следующего нарастающего фронта синхросигнала возможна запись в триггер нового состояния информационного сигнала.

Условное обозначение рассмотренного триггера с учётом асинхронных входов представлено на рисунке 3.10. Наличие асинхронных входов расширяет функциональные возможности триггера. При подаче активного сигнала на любой из асинхронных входов блокируется запись в триггер состояния информационного входа D.

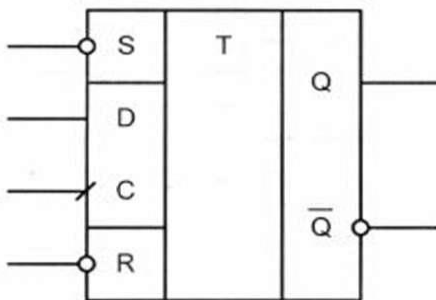


Рисунок 3.10 – Условное графическое обозначение триггера K555TM2

4 ВЫПОЛНЕНИЕ РАБОТЫ

4.1 Изучение работы RS-триггера

После установки лабораторного модуля dLab7 на макетную плату NI ELVIS и загрузки файла dLab7.vi на экране появляется изображение ВП, необходимого для выполнения работы (рисунок 4.1).

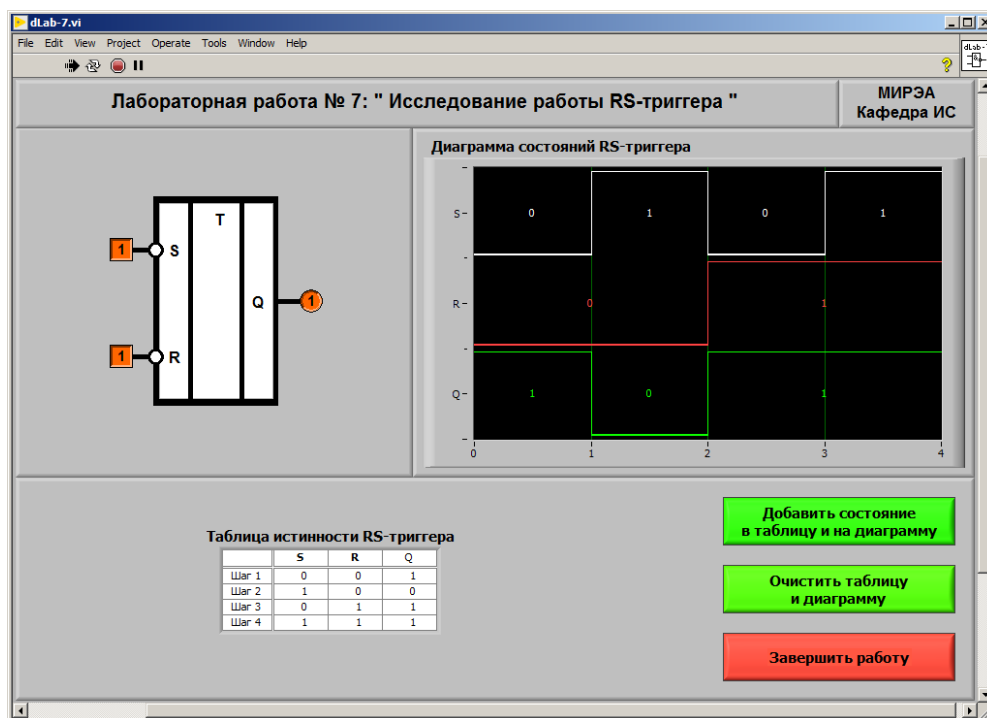


Рисунок 4.1 – Результат работы с RS-триггером

Подавая на входы “S” и “R” различные комбинации значений сигналов, необходимо построить таблицу истинности и диаграмму состояний устройства. Они представлены в таблице 4.1 и на рисунке 4.2 соответственно.

Таблица 4.1 – Таблица истинности RS-триггера

	S	R	Q
Шаг 1	0	0	1
Шаг 2	1	0	0
Шаг 3	0	1	1
Шаг 4	1	1	1

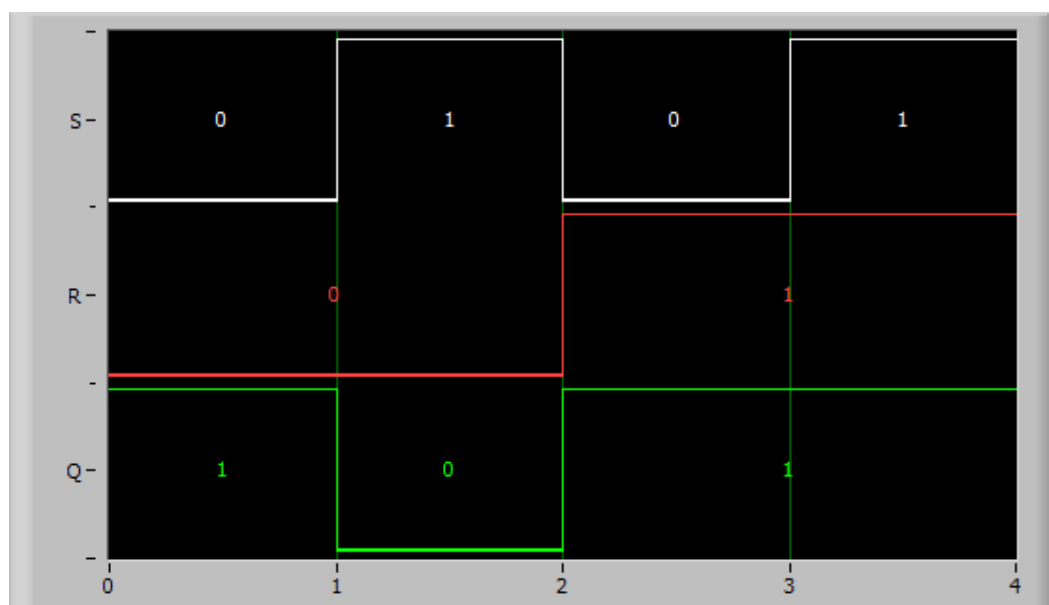


Рисунок 4.2 – Диаграмма состояний RS-триггера

Теперь, исходя из полученных данных, необходимо сформировать таблицу переходов триггера. Она представлена в таблице 4.2, произвольное состояние сигнала отмечено символом ×.

Таблица 4.2 – Таблица переходов RS-триггера

Q_n	R	S	Q_{n+1}
0	×	0	0
0	0	1	1
1	1	0	0
1	0	×	1

Проанализировав эту таблицу, можно выделить следующие комбинации (режимы работы):

- $R = 0, S = 0$ – хранение текущего значения;
- $R = 0, S = 1$ – установка единицы;
- $R = 1, S = 0$ – установка нуля.

Чтобы из нулевого исходного состояния триггер перешёл в нулевое, необходимо, чтобы состояние сигнала S было пассивным, состояние сигнала R не имеет значения. Это объясняется тем, что при пассивном сигнале на входе R триггер просто сохранит своё исходное состояние, а при активном сигнале на этом входе происходит запись нуля в триггер. Но при этом в любом случае конечное состояние триггера будет равным нулю, то есть будет равно требуемому значению. Аналогично для единичного исходного сигнала, где состояние R должно быть пассивным.

4.2 Изучение работы JK-триггера

После установки лабораторного модуля dLab8 на макетную плату NI ELVIS и загрузки файла dLab8.vi на экране появляется изображение ВП, необходимого для выполнения работы (рисунок 4.3).

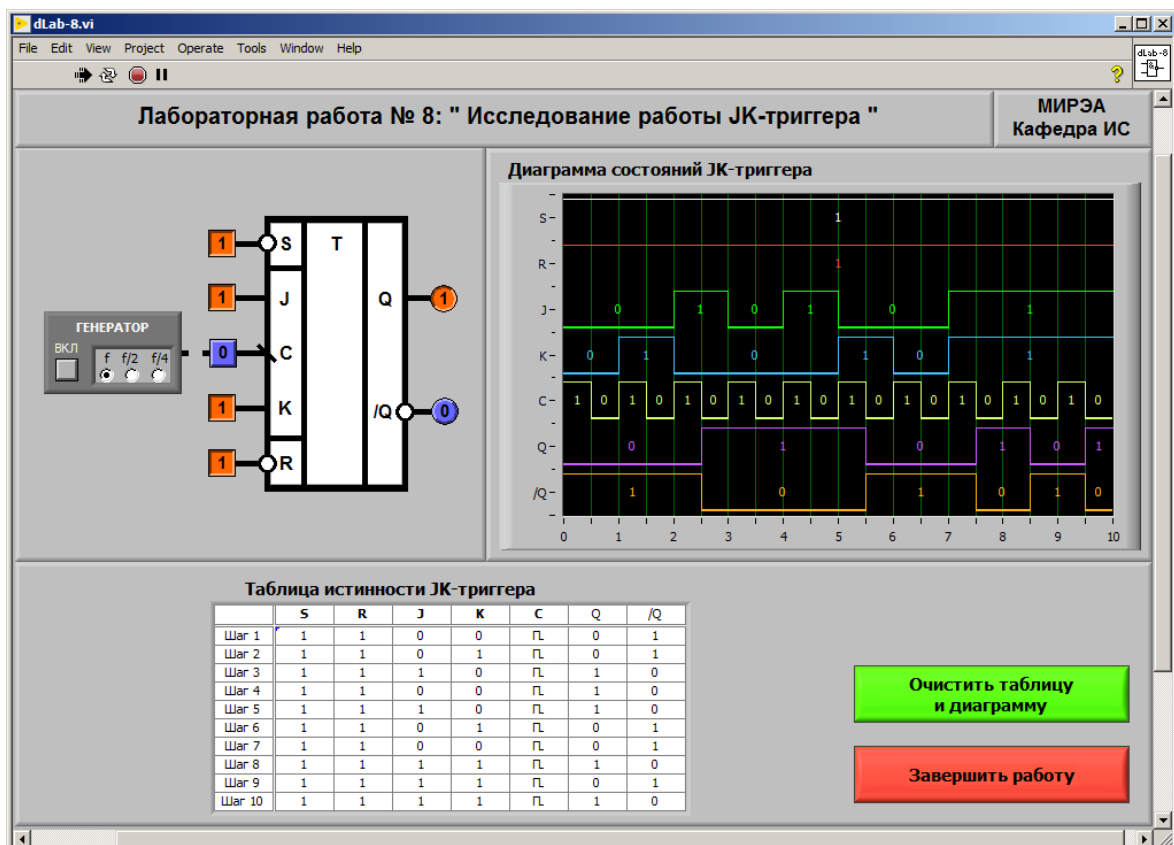


Рисунок 4.3 – Результат работы с JK-триггером

4.2.1 Изучение работы JK-триггера в статическом режиме

Статический режим работы реализуется при подаче на тактовый вход “С” одиночных импульсов в ручном режиме.

Установив на входах “S” и “R” сигнал «1» и подавая на входы “J” и “K” различные комбинации значений сигналов, необходимо построить таблицу истинности и диаграмму состояний устройства. Они представлены в таблице 4.3 и на рисунке 4.4 соответственно.

Таблица 4.3 – Таблица истинности JK-триггера

	S	R	J	K	C	Q	/Q
Шаг 1	1	1	0	0	П	0	1
Шаг 2	1	1	0	1	П	0	1
Шаг 3	1	1	1	0	П	1	0
Шаг 4	1	1	0	0	П	1	0
Шаг 5	1	1	1	0	П	1	0
Шаг 6	1	1	0	1	П	0	1
Шаг 7	1	1	0	0	П	0	1
Шаг 8	1	1	1	1	П	1	0
Шаг 9	1	1	1	1	П	0	1
Шаг 10	1	1	1	1	П	1	0

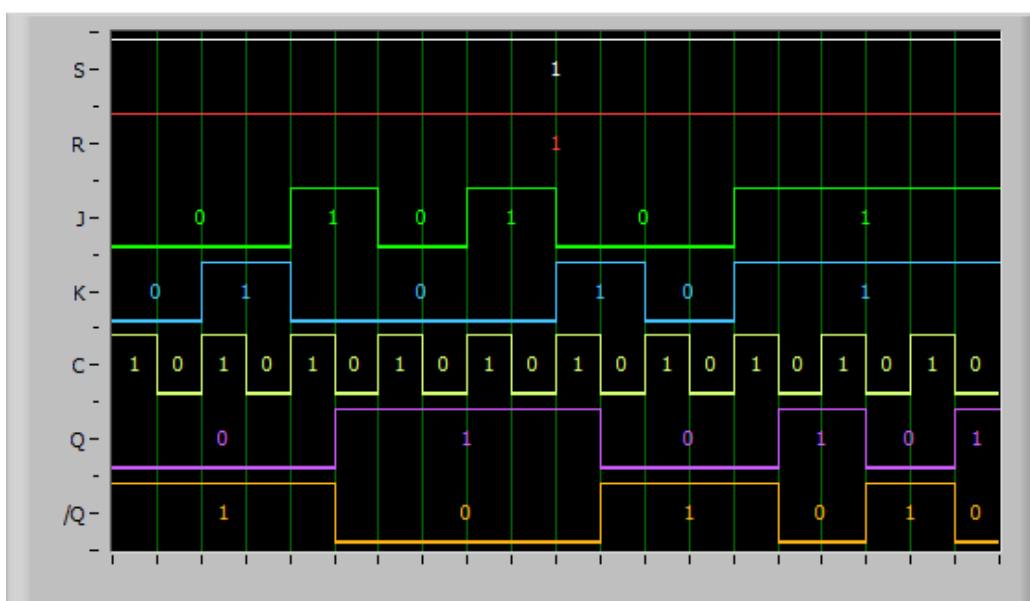


Рисунок 4.4 – Диаграмма состояний JK-триггера

Теперь, исходя из полученных данных, необходимо сформировать таблицу переходов триггера. Она представлена в таблице 4.4, произвольное состояние сигнала отмечено символом ×.

Таблица 4.4 – Таблица переходов JK-триггера

Q_n	J	K	Q_{n+1}
0	×	0	J
0	0	1	0

Продолжение таблицы 4.4

1	1	0	1
1	0	×	\bar{K}

Исходя из таблицы переходов 4.4 можно выделить следующие режимы работы:

- $J = 0, K = 0$ – хранение текущего значения;
- $J = 1, K = 0$ – установка “1”;
- $J = 0, K = 1$ – установка “0”.

Оставшейся комбинации $J = 1, K = 1$ соответствует режим переключения (или счётный режим). На основе этого сформирована таблица режимов работы (таблица 4.5).

Таблица 4.5 – Таблица переходов JK-триггера

Режим работы	J	K
Хранение информации	0	0
Установка «1»	1	0
Установка «0»	0	1
Переключение	1	1

4.2.2 Изучение работы JK -триггера в динамическом режиме

Динамический режим работы реализуется при подаче на тактовый вход “С” последовательности импульсов.

Подавая на входы “S” и “R” различные комбинации значений сигналов, необходимо построить диаграммы состояний устройства. Они представлены на рисунках 4.5 – 4.8.

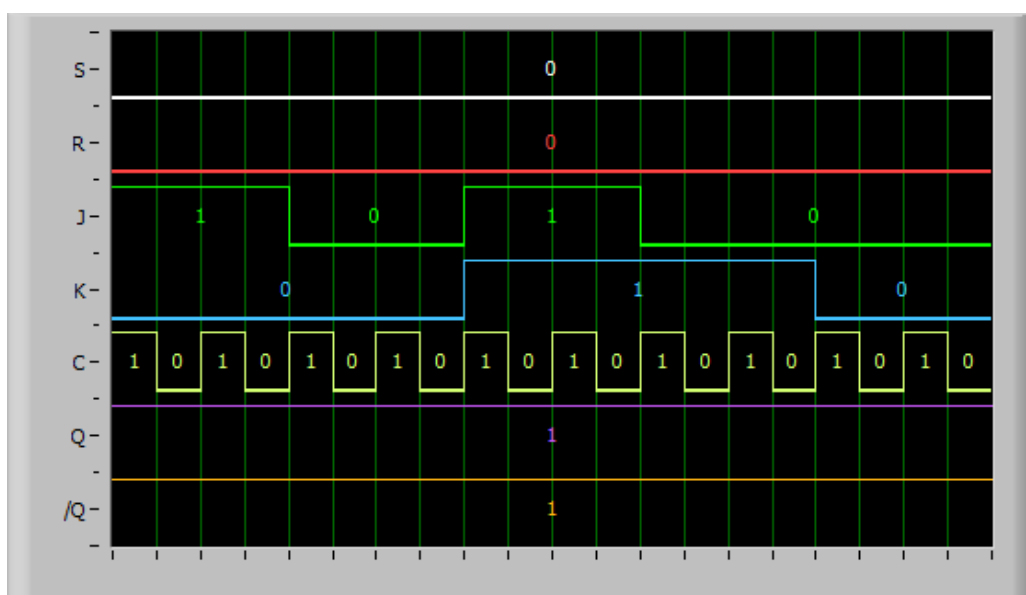


Рисунок 4.5 – Диаграмма состояний JK-триггера ($S = 0, R = 0$)

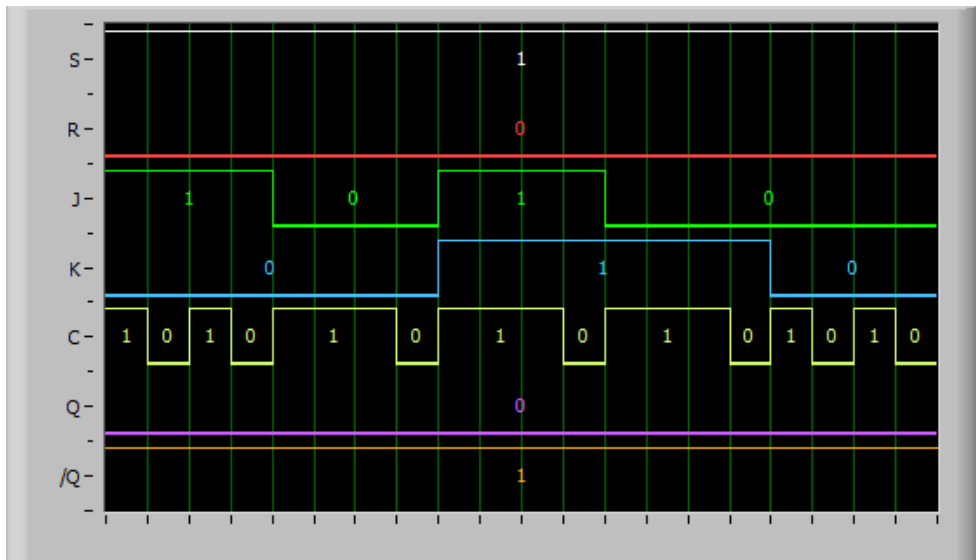


Рисунок 4.6 – Диаграмма состояний JK-триггера ($S = 1$, $R = 0$)

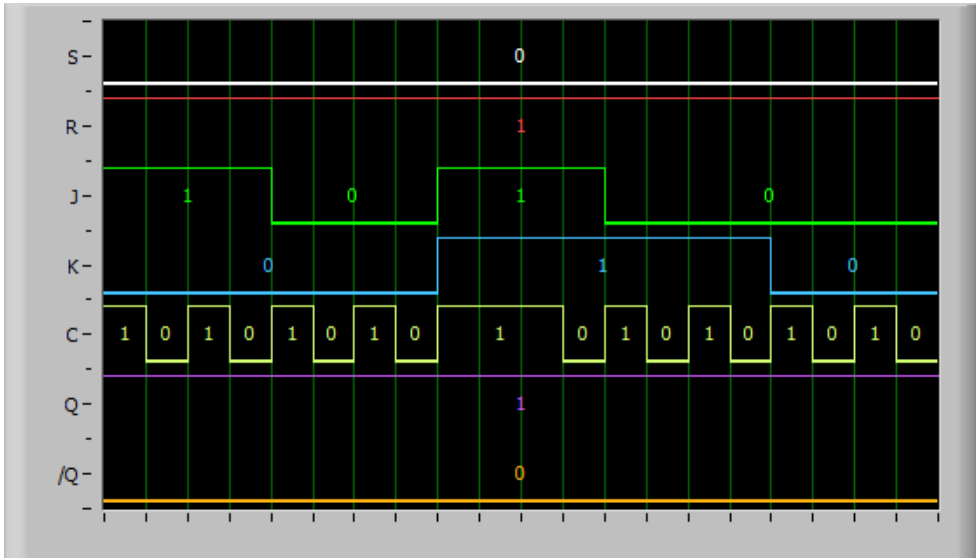


Рисунок 4.7 – Диаграмма состояний JK-триггера ($S = 0$, $R = 1$)

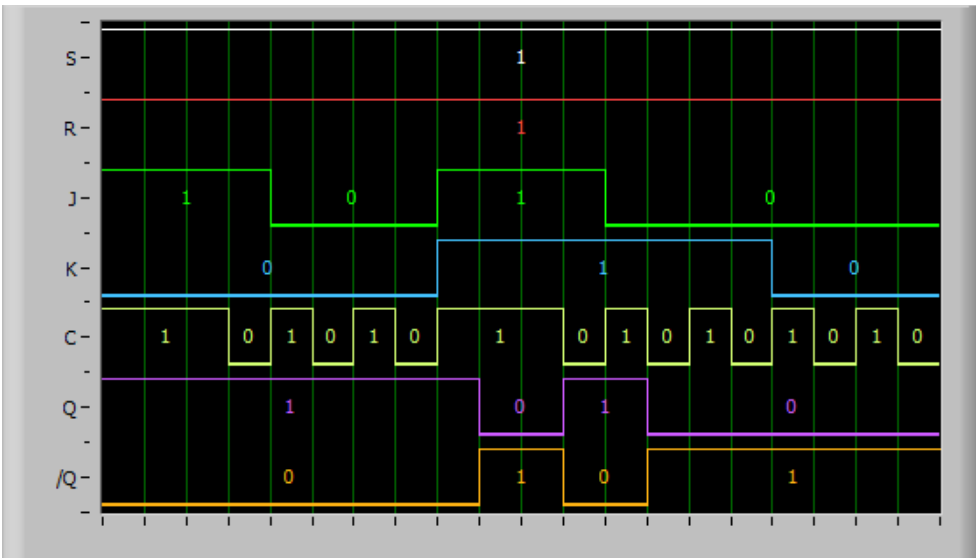


Рисунок 4.8 – Диаграмма состояний JK-триггера ($S = 1$, $R = 1$)

Пользуясь полученными диаграммами состояний, можно сделать следующие выводы. Активным уровнем сигнала асинхронного управления триггером является логический «0». При подаче активного уровня сигнала на входы “R” и “S” входы “J”, “K” и “C” никак не влияют на работу устройства. Изменение значения Q происходит по заднему фронту импульса “C” (переход из 1 в 0).

4.3 Изучение работы D-триггера

После установки лабораторного модуля dLab9 на макетную плату NI ELVIS и загрузки файла dLab9.vi на экране появляется изображение ВП, необходимого для выполнения работы (рисунок 4.9).

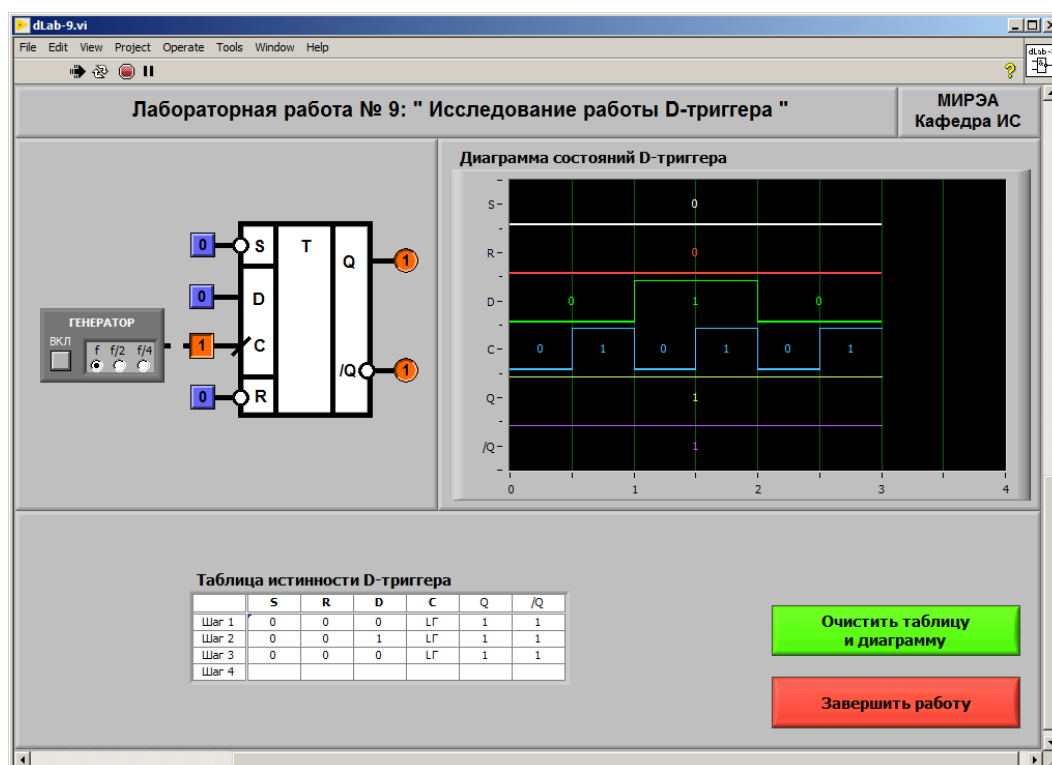


Рисунок 4.9 – Результат работы с D-триггером

4.3.1 Изучение работы D-триггера в статическом режиме

Установив на входах “S” и “R” сигнал «1» и подавая сигналы на вход “D”, необходимо построить таблицу истинности и диаграмму состояний устройства. Таблица истинности представлена в таблице 4.6.

Таблица 4.6 – Таблица истинности D-триггера

	S	R	D	C	Q	/Q
Шаг 1	0	0	0	ЛГ	1	1
Шаг 2	0	0	1	ЛГ	1	1
Шаг 3	0	0	0	ЛГ	1	1

Диаграмма состояний представлена на рисунке 4.10.

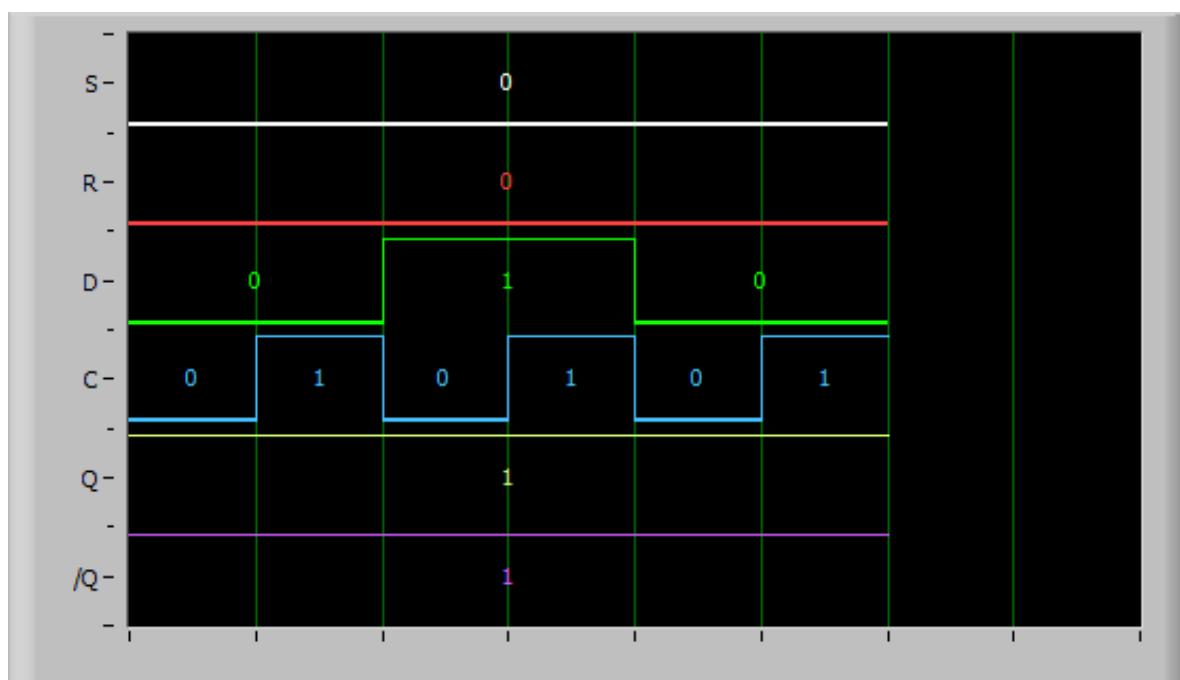


Рисунок 4.10 – Диаграмма состояний D-триггера

Исходя из полученных данных можно построить таблицу переходов D-триггера, она представлена в таблице 4.7.

Таблица 4.7 – Таблица переходов D-триггера

Q_n	D	Q_{n+1}
0	0	0
0	1	1
1	0	0
1	1	1

Таблица режимов работы триггера представлена в таблице 4.8.

Таблица 4.8 – Таблица режимов работы D-триггера

Режим работы	D
Установка «1»	1
Установка «0»	0

4.3.2 Изучение работы D-триггера в динамическом режиме

Подавая на входы “S” и “R” различные комбинации значений сигналов, необходимо построить диаграммы состояний устройства. Они представлены на рисунках 4.11 – 4.14.

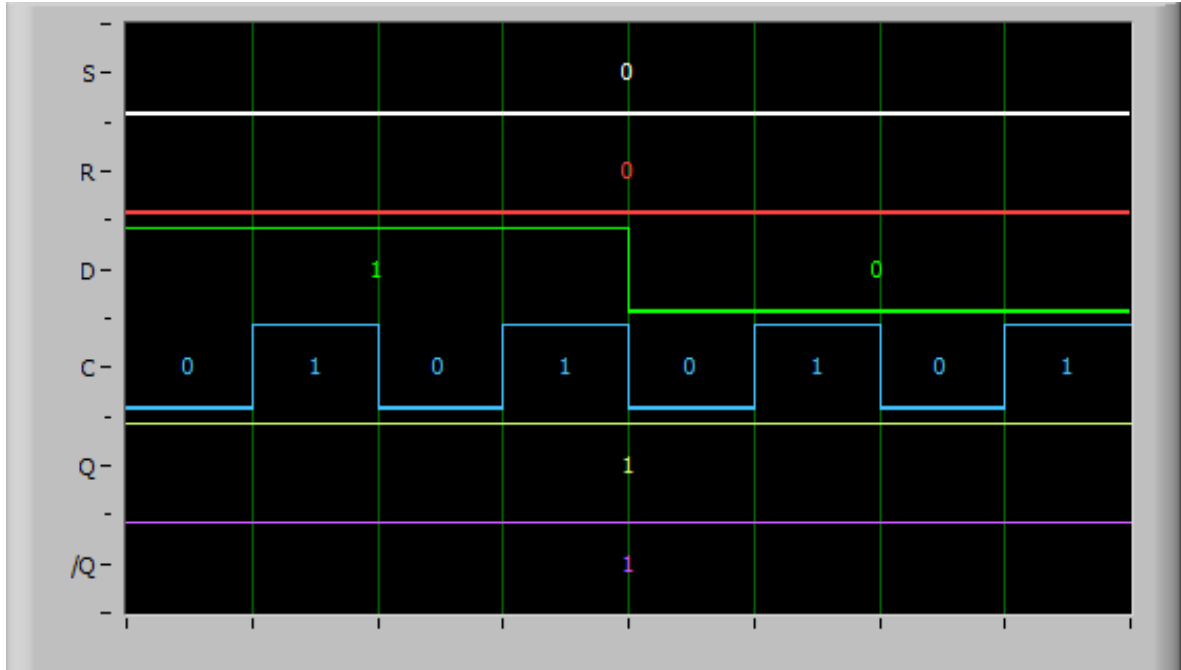


Рисунок 4.11 – Диаграмма состояний D-триггера ($S = 0$, $R = 0$)

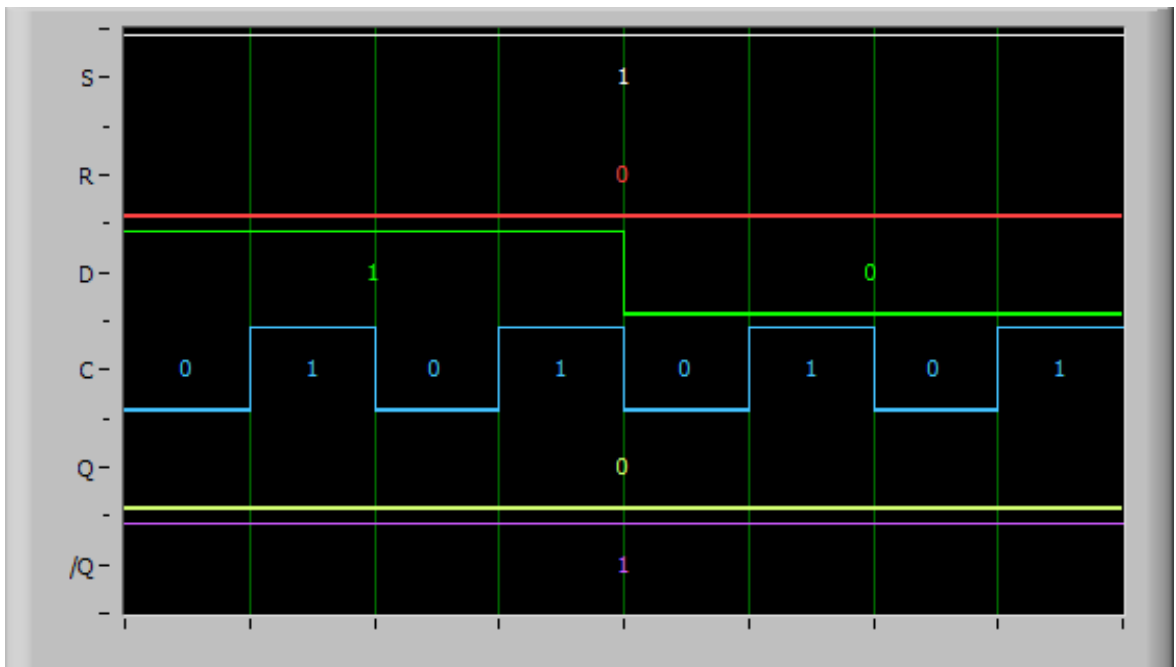


Рисунок 4.12 – Диаграмма состояний D-триггера ($S = 1$, $R = 0$)

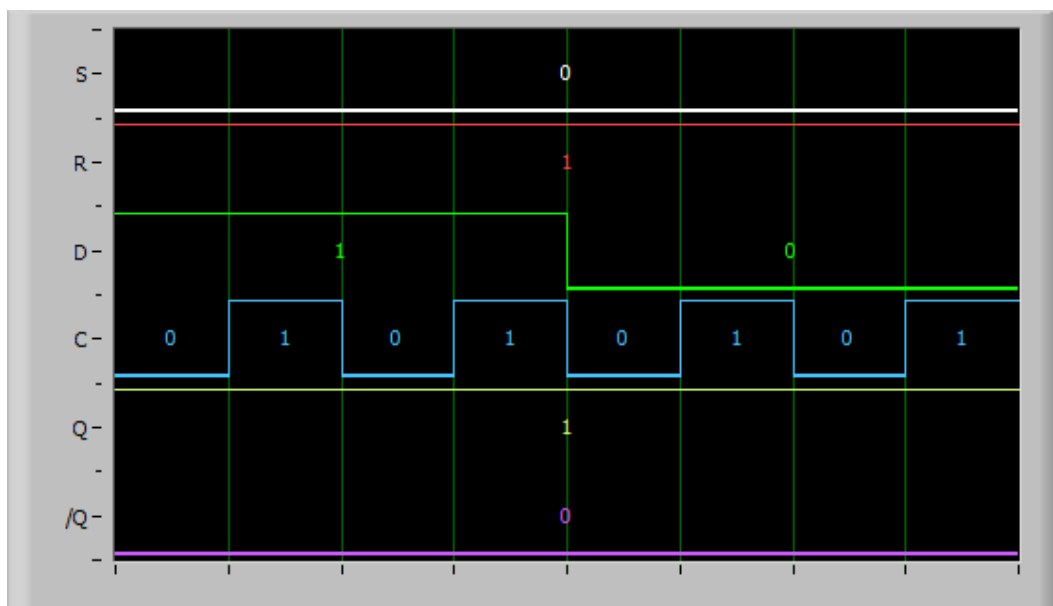


Рисунок 4.13 – Диаграмма состояний D-триггера ($S = 0$, $R = 1$)

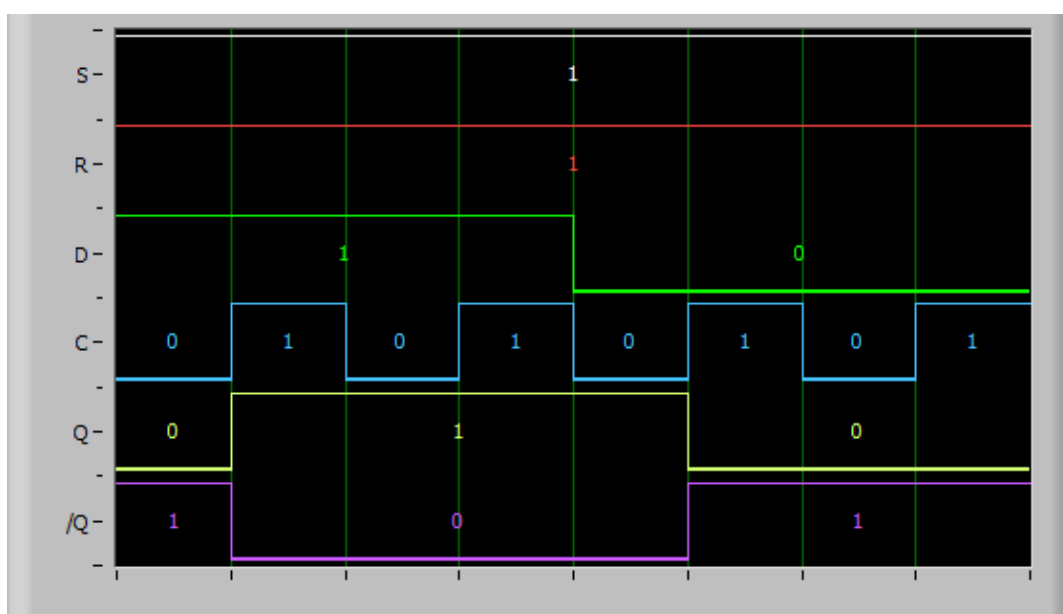


Рисунок 4.14 – Диаграмма состояний D-триггера ($S = 1$, $R = 1$)

Пользуясь полученными диаграммами состояний, можно сделать следующие выводы. Аналогично рассмотренному выше JK-триггеру, активным уровнем сигнала асинхронного управления триггером является логический «0». При подаче активного уровня сигнала на входы «R» и «S» входы «D» и «C» никак не влияют на работу устройства. Изменение значения Q происходит по фронту импульса «C» (переход из 0 в 1).

5 ВЫВОДЫ

В ходе данной лабораторной работы требовалось изучить работу RS-, JK- и D-триггеров. С этой целью для RS-триггера были сформированы таблица истинности и диаграмма состояний, а также построена таблица переходов.

Для JK-триггера в статическом режиме были сформированы его таблица истинности и диаграмма состояний, построена таблица переходов; в динамическом режиме был определён активный уровень сигналов асинхронного управления и сформированы диаграммы состояний режимов работы.

Для D-триггера в статическом режиме были сформированы его таблица истинности и диаграмма состояний, построена таблица переходов; в динамическом режиме был определён активный уровень сигналов асинхронного управления и сформированы диаграммы состояний режимов работы.