



**BL602/604**

参考手册

版本: 1.2

版权 @ 2020

[www.bouffalolab.com](http://www.bouffalolab.com)

1	系统和存储器概述	7
1.1	简介	7
1.2	主要特征	7
1.3	功能描述	7
1.4	中断源	9
2	复位和时钟	11
2.1	简介	11
2.2	复位源	11
2.3	时钟源	12
3	GLB	14
3.1	简介	14
3.2	功能描述	14
3.2.1	时钟管理	14
3.2.2	复位管理	14
3.2.3	总线管理	14
3.2.4	内存管理	14
3.2.5	GPIO 概述	15
3.2.6	GPIO 主要特点	15
3.2.7	GPIO 功能描述	15
3.2.8	GPIO 功能设定	16
3.2.9	GPIO 输出设置	18

3.2.10	GPIO 输入设置 . . . . .	18
3.2.11	GPIO 可选功能设置 . . . . .	18
3.2.12	GPIO 中断设置 . . . . .	19
3.3	寄存器描述 . . . . .	19
3.3.1	clk_cfg0 . . . . .	20
3.3.2	clk_cfg2 . . . . .	20
3.3.3	clk_cfg3 . . . . .	21
3.3.4	GPADC_32M_SRC_CTRL . . . . .	22
3.3.5	GPIO_CFGCTL0 . . . . .	22
3.3.6	GPIO_CFGCTL1 . . . . .	23
3.3.7	GPIO_CFGCTL2 . . . . .	24
3.3.8	GPIO_CFGCTL3 . . . . .	25
3.3.9	GPIO_CFGCTL4 . . . . .	25
3.3.10	GPIO_CFGCTL5 . . . . .	26
3.3.11	GPIO_CFGCTL6 . . . . .	27
3.3.12	GPIO_CFGCTL7 . . . . .	28
3.3.13	GPIO_CFGCTL8 . . . . .	29
3.3.14	GPIO_CFGCTL9 . . . . .	30
3.3.15	GPIO_CFGCTL10 . . . . .	30
3.3.16	GPIO_CFGCTL11 . . . . .	31
3.3.17	GPIO_CFGCTL12 . . . . .	32
3.3.18	GPIO_CFGCTL13 . . . . .	33
3.3.19	GPIO_CFGCTL14 . . . . .	34
4	ADC . . . . .	35
4.1	简介 . . . . .	35
4.2	主要特点 . . . . .	35
4.3	功能描述 . . . . .	36
4.3.1	ADC 引脚和内部信号 . . . . .	36
4.3.2	ADC 通道 . . . . .	37
4.3.3	ADC 时钟 . . . . .	38
4.3.4	ADC 转换模式 . . . . .	39
4.3.5	ADC 结果 . . . . .	39

4.3.6	ADC 中断 . . . . .	40
4.3.7	ADC FIFO . . . . .	40
4.3.8	ADC 设置流程 . . . . .	40
4.3.9	VBAT 测量 . . . . .	41
4.3.10	TSEN 测量 . . . . .	41
4.4	寄存器描述 . . . . .	42
4.4.1	gpadc_config . . . . .	42
4.4.2	gpadc_dma_rdata . . . . .	43
4.4.3	gpadc_reg_cmd . . . . .	44
4.4.4	gpadc_reg_config1 . . . . .	46
4.4.5	gpadc_reg_config2 . . . . .	48
4.4.6	gpadc_reg_scn_pos1 . . . . .	49
4.4.7	gpadc_reg_scn_pos2 . . . . .	50
4.4.8	gpadc_reg_scn_neg1 . . . . .	50
4.4.9	gpadc_reg_scn_neg2 . . . . .	51
4.4.10	gpadc_reg_status . . . . .	51
4.4.11	gpadc_reg_isr . . . . .	52
4.4.12	gpadc_reg_result . . . . .	52
4.4.13	gpadc_reg_raw_result . . . . .	53
4.4.14	gpadc_reg_define . . . . .	53
5	DAC . . . . .	54
5.1	简介 . . . . .	54
5.2	主要特点 . . . . .	54
5.3	功能描述 . . . . .	54
5.4	寄存器描述 . . . . .	55
5.4.1	gpdac_config . . . . .	55
5.4.2	gpdac_dma_config . . . . .	56
5.4.3	gpdac_dma_wdata . . . . .	57
6	DMA . . . . .	58
6.1	简介 . . . . .	58
6.2	主要特征 . . . . .	58

6.3	功能描述 . . . . .	59
6.3.1	工作原理 . . . . .	59
6.3.2	DMA 通道配置 . . . . .	60
6.3.3	外设支持 . . . . .	61
6.3.4	链表模式 . . . . .	61
6.3.5	DMA 中断 . . . . .	62
6.4	传输模式 . . . . .	62
6.4.1	内存到内存 . . . . .	63
6.4.2	内存到外设 . . . . .	63
6.4.3	外设到内存 . . . . .	63
6.5	寄存器描述 . . . . .	64
6.5.1	DMA_IntStatus . . . . .	65
6.5.2	DMA_IntTCStatus . . . . .	65
6.5.3	DMA_IntTCClear . . . . .	66
6.5.4	DMA_IntErrorStatus . . . . .	66
6.5.5	DMA_IntErrClr . . . . .	66
6.5.6	DMA_RawIntTCStatus . . . . .	67
6.5.7	DMA_RawIntErrorStatus . . . . .	67
6.5.8	DMA_EnbldChns . . . . .	68
6.5.9	DMA_SoftBReq . . . . .	68
6.5.10	DMA_SoftSReq . . . . .	68
6.5.11	DMA_SoftLBReq . . . . .	69
6.5.12	DMA_SoftLSReq . . . . .	69
6.5.13	DMA_Config . . . . .	69
6.5.14	DMA_Sync . . . . .	70
6.5.15	DMA_C0SrcAddr . . . . .	70
6.5.16	DMA_C0DstAddr . . . . .	70
6.5.17	DMA_C0LLI . . . . .	71
6.5.18	DMA_C0Control . . . . .	71
6.5.19	DMA_C0Config . . . . .	72
6.5.20	DMA_C1SrcAddr . . . . .	73
6.5.21	DMA_C1DstAddr . . . . .	73

6.5.22	DMA_C1LLI . . . . .	74
6.5.23	DMA_C1Control . . . . .	74
6.5.24	DMA_C1Config . . . . .	75
6.5.25	DMA_C2SrcAddr . . . . .	76
6.5.26	DMA_C2DstAddr . . . . .	76
6.5.27	DMA_C2LLI . . . . .	77
6.5.28	DMA_C2Control . . . . .	77
6.5.29	DMA_C2Config . . . . .	78
6.5.30	DMA_C3SrcAddr . . . . .	79
6.5.31	DMA_C3DstAddr . . . . .	79
6.5.32	DMA_C3LLI . . . . .	79
6.5.33	DMA_C3Control . . . . .	80
6.5.34	DMA_C3Config . . . . .	80
7	L1C . . . . .	82
7.1	简介 . . . . .	82
7.2	主要特征 . . . . .	82
7.3	功能描述 . . . . .	83
7.3.1	TCM 与 Cache RAM 资源相互变换 . . . . .	83
7.3.2	缓存 (Cache) . . . . .	83
7.4	寄存器描述 . . . . .	84
7.4.1	l1c_config . . . . .	84
7.4.2	hit_cnt_lsb . . . . .	85
7.4.3	hit_cnt_msb . . . . .	85
7.4.4	miss_cnt . . . . .	86
8	IR . . . . .	87
8.1	简介 . . . . .	87
8.2	主要特征 . . . . .	87
8.3	功能描述 . . . . .	87
8.3.1	固定协议接收 . . . . .	87
8.3.2	脉冲宽度接收 . . . . .	89
8.3.3	普通发送模式 . . . . .	89
8.3.4	脉冲宽度发送 . . . . .	89

8.3.5	载波调制 . . . . .	89
8.3.6	IR 中断 . . . . .	89
8.4	寄存器描述 . . . . .	90
8.4.1	irtx_config . . . . .	90
8.4.2	irtx_int_sts . . . . .	91
8.4.3	irtx_data_word0 . . . . .	92
8.4.4	irtx_data_word1 . . . . .	92
8.4.5	irtx_pulse_width . . . . .	93
8.4.6	irtx_pw . . . . .	93
8.4.7	irtx_swm_pw_0 . . . . .	94
8.4.8	irtx_swm_pw_1 . . . . .	94
8.4.9	irtx_swm_pw_2 . . . . .	95
8.4.10	irtx_swm_pw_3 . . . . .	95
8.4.11	irtx_swm_pw_4 . . . . .	96
8.4.12	irtx_swm_pw_5 . . . . .	96
8.4.13	irtx_swm_pw_6 . . . . .	96
8.4.14	irtx_swm_pw_7 . . . . .	97
8.4.15	irrx_config . . . . .	97
8.4.16	irrx_int_sts . . . . .	98
8.4.17	irrx_pw_config . . . . .	98
8.4.18	irrx_data_count . . . . .	99
8.4.19	irrx_data_word0 . . . . .	99
8.4.20	irrx_data_word1 . . . . .	100
8.4.21	irrx_swm_fifo_config_0 . . . . .	100
8.4.22	irrx_swm_fifo_rdata . . . . .	100
9	SPI . . . . .	102
9.1	简介 . . . . .	102
9.2	主要特征 . . . . .	102
9.3	功能描述 . . . . .	102
9.3.1	时钟控制 . . . . .	102
9.3.2	主设备持续传输模式 . . . . .	103
9.3.3	接收过滤功能 . . . . .	103

9.3.4	接收去差错功能 . . . . .	104
9.3.5	从模式超时机制 . . . . .	104
9.3.6	I/O 传输模式 . . . . .	104
9.3.7	DMA 传输模式 . . . . .	104
9.3.8	SPI 中断 . . . . .	104
9.4	寄存器描述 . . . . .	105
9.4.1	spi_config . . . . .	105
9.4.2	spi_int_sts . . . . .	107
9.4.3	spi_bus_busy . . . . .	108
9.4.4	spi_prd_0 . . . . .	108
9.4.5	spi_prd_1 . . . . .	109
9.4.6	spi_rxd_ignr . . . . .	109
9.4.7	spi_sto_value . . . . .	110
9.4.8	spi_fifo_config_0 . . . . .	110
9.4.9	spi_fifo_config_1 . . . . .	110
9.4.10	spi_fifo_wdata . . . . .	111
9.4.11	spi_fifo_rdata . . . . .	111
10	UART . . . . .	113
10.1	简介 . . . . .	113
10.2	主要特征 . . . . .	113
10.3	功能描述 . . . . .	114
10.3.1	数据格式描述 . . . . .	114
10.3.2	基本架构图 . . . . .	114
10.3.3	时钟源 . . . . .	114
10.3.4	波特率设定 . . . . .	115
10.3.5	发送器 . . . . .	115
10.3.6	接收器 . . . . .	116
10.3.7	自动波特率检测 . . . . .	116
10.3.8	硬件流控 . . . . .	117
10.3.9	DMA 传输模式 . . . . .	117
10.3.10	UART 中断 . . . . .	117



10.4	寄存器描述 . . . . .	118
10.4.1	utx_config . . . . .	119
10.4.2	urx_config . . . . .	119
10.4.3	uart_bit_prd . . . . .	120
10.4.4	data_config . . . . .	121
10.4.5	utx_ir_position . . . . .	121
10.4.6	urx_ir_position . . . . .	121
10.4.7	urx_rto_timer . . . . .	122
10.4.8	uart_int_sts . . . . .	122
10.4.9	uart_int_mask . . . . .	123
10.4.10	uart_int_clear . . . . .	123
10.4.11	uart_int_en . . . . .	124
10.4.12	uart_status . . . . .	125
10.4.13	sts_urx_abr_prd . . . . .	125
10.4.14	uart_fifo_config_0 . . . . .	125
10.4.15	uart_fifo_config_1 . . . . .	126
10.4.16	uart_fifo_wdata . . . . .	126
10.4.17	uart_fifo_rdata . . . . .	127
11	I2C . . . . .	128
11.1	简介 . . . . .	128
11.2	主要特征 . . . . .	128
11.3	功能描述 . . . . .	128
11.3.1	起始和停止条件 . . . . .	129
11.3.2	数据传输格式 . . . . .	129
11.3.3	仲裁 . . . . .	130
11.4	I2C 时钟设定 . . . . .	131
11.5	I2C 配置流程 . . . . .	131
11.5.1	配置项 . . . . .	131
11.5.2	读写标志位 . . . . .	132
11.5.3	从设备地址 . . . . .	132
11.5.4	从设备寄存器地址 . . . . .	132
11.5.5	从设备寄存器地址长度 . . . . .	132

11.5.6	数据	132
11.5.7	数据长度	132
11.5.8	使能信号	132
11.6	FIFO 管理	133
11.7	搭配使用 DMA	133
11.7.1	DMA 发送流程	133
11.7.2	DMA 接收流程	134
11.8	中断	134
11.9	寄存器描述	135
11.9.1	i2c_config	135
11.9.2	i2c_int_sts	136
11.9.3	i2c_sub_addr	137
11.9.4	i2c_bus_busy	138
11.9.5	i2c_prd_start	138
11.9.6	i2c_prd_stop	139
11.9.7	i2c_prd_data	139
11.9.8	i2c_fifo_config_0	140
11.9.9	i2c_fifo_config_1	140
11.9.10	i2c_fifo_wdata	141
11.9.11	i2c_fifo_rdata	141
12	PWM	142
12.1	简介	142
12.2	主要特征	142
12.3	功能描述	142
12.3.1	时钟与分频器	142
12.3.2	脉冲产生原理	143
12.3.3	PWM 中断	143
12.4	寄存器描述	144
12.4.1	pwm_int_config	145
12.4.2	pwm0_clkdiv	146
12.4.3	pwm0_thre1	146
12.4.4	pwm0_thre2	146

12.4.5	pwm0_period . . . . .	147
12.4.6	pwm0_config . . . . .	147
12.4.7	pwm0_interrupt . . . . .	148
12.4.8	pwm1_clkdiv . . . . .	148
12.4.9	pwm1_thre1 . . . . .	149
12.4.10	pwm1_thre2 . . . . .	149
12.4.11	pwm1_period . . . . .	149
12.4.12	pwm1_config . . . . .	150
12.4.13	pwm1_interrupt . . . . .	150
12.4.14	pwm2_clkdiv . . . . .	151
12.4.15	pwm2_thre1 . . . . .	151
12.4.16	pwm2_thre2 . . . . .	151
12.4.17	pwm2_period . . . . .	152
12.4.18	pwm2_config . . . . .	152
12.4.19	pwm2_interrupt . . . . .	153
12.4.20	pwm3_clkdiv . . . . .	153
12.4.21	pwm3_thre1 . . . . .	154
12.4.22	pwm3_thre2 . . . . .	154
12.4.23	pwm3_period . . . . .	154
12.4.24	pwm3_config . . . . .	155
12.4.25	pwm3_interrupt . . . . .	155
12.4.26	pwm4_clkdiv . . . . .	156
12.4.27	pwm4_thre1 . . . . .	156
12.4.28	pwm4_thre2 . . . . .	156
12.4.29	pwm4_period . . . . .	157
12.4.30	pwm4_config . . . . .	157
12.4.31	pwm4_interrupt . . . . .	158
13	TIMER . . . . .	159
13.1	简介 . . . . .	159
13.2	主要特征 . . . . .	160
13.3	功能描述 . . . . .	160
13.3.1	8-bit 分频器 . . . . .	160

13.3.2	通用定时器工作原理 . . . . .	161
13.3.3	看门狗定时器工作原理 . . . . .	162
13.3.4	报警设定 . . . . .	162
13.3.5	看门狗报警 . . . . .	162
13.4	寄存器描述 . . . . .	163
13.4.1	TCCR . . . . .	165
13.4.2	TMR2_0 . . . . .	165
13.4.3	TMR2_1 . . . . .	166
13.4.4	TMR2_2 . . . . .	166
13.4.5	TMR3_0 . . . . .	166
13.4.6	TMR3_1 . . . . .	167
13.4.7	TMR3_2 . . . . .	167
13.4.8	TCR2 . . . . .	167
13.4.9	TCR3 . . . . .	168
13.4.10	TMSR2 . . . . .	168
13.4.11	TMSR3 . . . . .	169
13.4.12	TIER2 . . . . .	169
13.4.13	TIER3 . . . . .	169
13.4.14	TPLVR2 . . . . .	170
13.4.15	TPLVR3 . . . . .	170
13.4.16	TPLCR2 . . . . .	171
13.4.17	TPLCR3 . . . . .	171
13.4.18	WMER . . . . .	171
13.4.19	WMR . . . . .	172
13.4.20	WVR . . . . .	172
13.4.21	WSR . . . . .	173
13.4.22	TICR2 . . . . .	173
13.4.23	TICR3 . . . . .	174
13.4.24	WICR . . . . .	174
13.4.25	TCER . . . . .	174
13.4.26	TCMR . . . . .	175
13.4.27	TILR2 . . . . .	175

13.4.28 TILR3 . . . . .	176
13.4.29 WCR . . . . .	177
13.4.30 WFAR . . . . .	177
13.4.31 WSAR . . . . .	177
13.4.32 TCVWR2 . . . . .	178
13.4.33 TCVWR3 . . . . .	178
13.4.34 TCVSYN2 . . . . .	178
13.4.35 TCVSYN3 . . . . .	179
13.4.36 TCDR . . . . .	179
14 版本信息 . . . . .	180

## List of Figures

2.1	复位源 . . . . .	22
2.2	时钟架构 . . . . .	23
3.1	GPIO 基本框图 . . . . .	26
4.1	ADC 基本框图 . . . . .	46
4.2	ADC 时钟 . . . . .	48
5.1	DAC 基本框图 . . . . .	65
6.1	DMA 框图 . . . . .	70
6.2	LLI 框架 . . . . .	72
7.1	LIC 架构 . . . . .	92
7.2	缓存架构 . . . . .	94
8.1	NEC 逻辑波形 . . . . .	98
8.2	NEC 协议波形 . . . . .	98
8.3	RC5 逻辑波形 . . . . .	98
8.4	RC5 协议波形 . . . . .	99
9.1	SPI 时序图 . . . . .	113
9.2	SPI Ignore 波形图 . . . . .	114
10.1	UART 数据格式 . . . . .	124
10.2	UART 时钟 . . . . .	124
10.3	UART 采样波形图 . . . . .	125
10.4	UART 固定字符模式波形图 . . . . .	126
10.5	UART 硬件流控图 . . . . .	127
11.1	I2C 起始和停止条件 . . . . .	139

11.2 I2C 数据传输格式 . . . . .	139
11.3 主发送和从接收的时序 . . . . .	140
11.4 主接收和从发送的时序 . . . . .	140
11.5 同时传输数据波形示意图 . . . . .	141
12.1 PWM 波形示意图 . . . . .	153
13.1 定时器框图 . . . . .	169
13.2 看门狗定时器框图 . . . . .	170
13.3 定时器在 PreLoad 模式下工作时序 . . . . .	171
13.4 WatchDog . . . . .	172
13.5 看门狗报警机制 . . . . .	173

## List of Tables

1.1 总线连接	18
1.2 地址映像	18
1.2 地址映像	19
1.3 中断分配	19
1.3 中断分配	20
3.1 管脚描述	27
4.1 ADC 内部信号	46
4.1 ADC 内部信号	47
4.2 ADC 外部引脚	47
4.3 ADC 转换结果含义	49
7.1 WayDisable 的设定	93
11.1 I2C 引脚	138
12.1 占空比参数	153
14.1 修改记录	190



## 1.1 简介

芯片内处理器采用 RISC-V 32-bit 带浮点。搭配高速处理内存系统 (详见 L1C 章节), 达到优质的运算效率。处理器外部为多层 32-bit AHB 架构, 具有低功耗、低延迟、高弹性的特性。内存的部分包含高速紧耦合内存以及缓存和系统共享内存。片外存储器支持 Flash 扩充。

## 1.2 主要特征

- RISC-V 32-bit 带浮点
- 多层 32-bit AHB 总线架构
- 96KB 高速内存
- 180KB 系统内存
- 128KB 只读内存
- 片外存储器 Flash

## 1.3 功能描述

BL602 总线连接与地址访问总结如下。总线主设备包括 CPU,SDIO,DMA, 加密引擎, 调试接口。总线从设备包括内存, 外设,WiFi/BLE。

除了加密引擎只能访问内存外, 其余总线主设备皆可访问所有总线从设备。

表 1.1: 总线连接

从/主	CPU	SDIO	DMA	加密引擎	调试接口
内存	V	V	V	V	V
外设	V	V	V	-	V
WiFi/BLE	V	V	V	-	V

地址访问主要以 [27:24] 来区分“存储”或“外设”，可忽略 [31:28]。内存空间是连续的 X2008000~X204BFFF (272KB SRAM)，只读内存 X1000000，深度睡眠内存 X0010000。片外空间是 X3000000 (最大支持 16MB Flash)。外设空间是 X0000000~X000F000。

表 1.2: 地址映像

目标	开始地址	大小	描述
WRAM	0x42030000	112KB	无线 SRAM 存储器
RETRAM	0x40010000	4KB	深度睡眠内存 (保留 RAM)
HBN	0x4000F000	4KB	深度睡眠控制 (休眠)
PDS	0x4000E000	4KB	睡眠控制 (掉电睡眠)
SDU	0x4000D000	4KB	SDIO 控制
DMA	0x4000C000	4KB	DMA 控制
QSPI	0x4000B000	4KB	Flash 闪存控制
IRR	0x4000A600	256B	红外遥控器
TIMER	0x4000A500	256B	计时器控制
PWM	0x4000A400	256B	脉冲宽度调制控制
I2C	0x4000A300	256B	I2C 控制
SPI	0x4000A200	256B	SPI 主/从控制
UART1	0x4000A100	256B	UART 控制
UART0	0x4000A000	256B	UART 控制
L1C	0x40009000	4KB	缓存控制
eFuse	0x40007000	4KB	eFuse 存储器控制
TZ2	0x40006000	4KB	信任区隔离
TZ1	0x40005000	4KB	信任区隔离
SEC	0x40004000	4KB	安全引擎
GPIP	0x40002000	4KB	通用 DAC/ADC/ACOMP 接口控制
MIX	0x40001000	4KB	混合信号寄存器

表 1.2: 地址映像

目标	开始地址	大小	描述
GLB	0x40000000	4KB	全局寄存器
RAM	0x22020000 /0x42020000	64KB	片上存储器, 如果用作数据存储器, 则使用 0x42020000 地址访问; 如果用作程序存储器, 则使用 0x22020000 地址访问
XIP	0x23000000	16MB	XIP 闪存
TCM1	0x22014000 /0x42014000	48KB	紧耦合内存, 如果用作数据存储器, 则使用 0x42014000 地址访问; 如果用作程序存储器, 则使用 0x22014000 地址访问
TCM0	0x22008000 /0x42008000	48KB	紧耦合内存, 如果用作数据存储器, 则使用 0x42008000 地址访问; 如果用作程序存储器, 则使用 0x22008000 地址访问
ROM	0x21000000	128KB	只读存储器

## 1.4 中断源

BL602/BL604 一共包含 18 个中断源, 中断源与对应的中断号如下表所示:

表 1.3: 中断分配

中断源		中断号	描述
L1C	L1C_BMX_ERR	IRQ_NUM_BASE+2	L1C BMX Error Interrupt
	L1C_BMX_TO	IRQ_NUM_BASE+3	L1C BMX Timeout Interrupt
DMA	DMA_BMX_ERR	IRQ_NUM_BASE+8	DMA BMX Error Interrupt
IR	IRTX	IRQ_NUM_BASE+19	IR TX Interrupt
	IRRX	IRQ_NUM_BASE+20	IR RX Interrupt
ADC	GPADC_DMA	IRQ_NUM_BASE+25	GPADC_DMA Interrupt
SPI	SPI	IRQ_NUM_BASE+27	SPI Interrupt
UART	UART0	IRQ_NUM_BASE+29	UART0 Interrupt
	UART1	IRQ_NUM_BASE+30	UART1 Interrupt
I2C	I2C	IRQ_NUM_BASE+32	I2C Interrupt
PWM	PWM	IRQ_NUM_BASE+34	PWM Interrupt
TIMER	TIMER_CH0	IRQ_NUM_BASE+36	Timer Channel 0 Interrupt
	TIMER_CH1	IRQ_NUM_BASE+37	Timer Channel 1 Interrupt
	TIMER_WDT	IRQ_NUM_BASE+38	Watch Dog Interrupt
GPIO	GPIO_INT0	IRQ_NUM_BASE+44	GPIO Interrupt

表 1.3: 中断分配

中断源		中断号	描述
PDS	PDS_WAKEUP	IRQ_NUM_BASE+50	PDS Wakeup Interrupt
HBN	HBN_OUT0	IRQ_NUM_BASE+51	Hibernate out 0 Interrupt
	HBN_OUT1	IRQ_NUM_BASE+52	Hibernate out 1 Interrupt

注解：其中 IRQ\_NUM\_BASE 为 16，中断号 0-15 为 RISC-V 保留中断。

## 2.1 简介

芯片内部的复位源：硬件重置，看门狗重置，软件复位。芯片内的时钟源：XTAL，PLL，RC。搭配分频等配置送至各模块。

## 2.2 复位源

复位源包含：

- 硬件重置: 通过管脚进行重置
  - 管脚全局重置 (PAD\_EXT\_RST = 1-> 0): 所有逻辑都会进行重置，返回初始状态 (适用于 QFN40)
  - 管脚电源重置 (CHIP\_EN = 0-> 1): 类似电源管理重置
  - 电源管理重置: 芯片从断电中复电，HBN 逻辑将芯片系统进行重置
- 看门狗重置
  - 当看门狗报警触发重置信号，重置管理单元将在必要准备后，重置芯片系统，看门狗内部逻辑会记录看门狗重置的状态
- 软件复位: 通过软件设置寄存器进行局部或局部复位
  - 软件初始重置 (reg\_ctrl\_pwron\_rst): 通过软件触发此寄存器的上升沿，进行芯片系统重置
  - 软件 CPU 复位 (reg\_ctrl\_cpu\_reset): 通过软件触发此寄存器的上升沿，进行 CPU 部分系统复位
  - 软件系统复位 (reg\_ctrl\_sys\_reset): 通过软件触发此寄存器的上升沿，保留必要的逻辑处理如电源管理单元，进行芯片部分系统复位
  - 软件模块复位: 根据特定模块的需求，设置软件复位

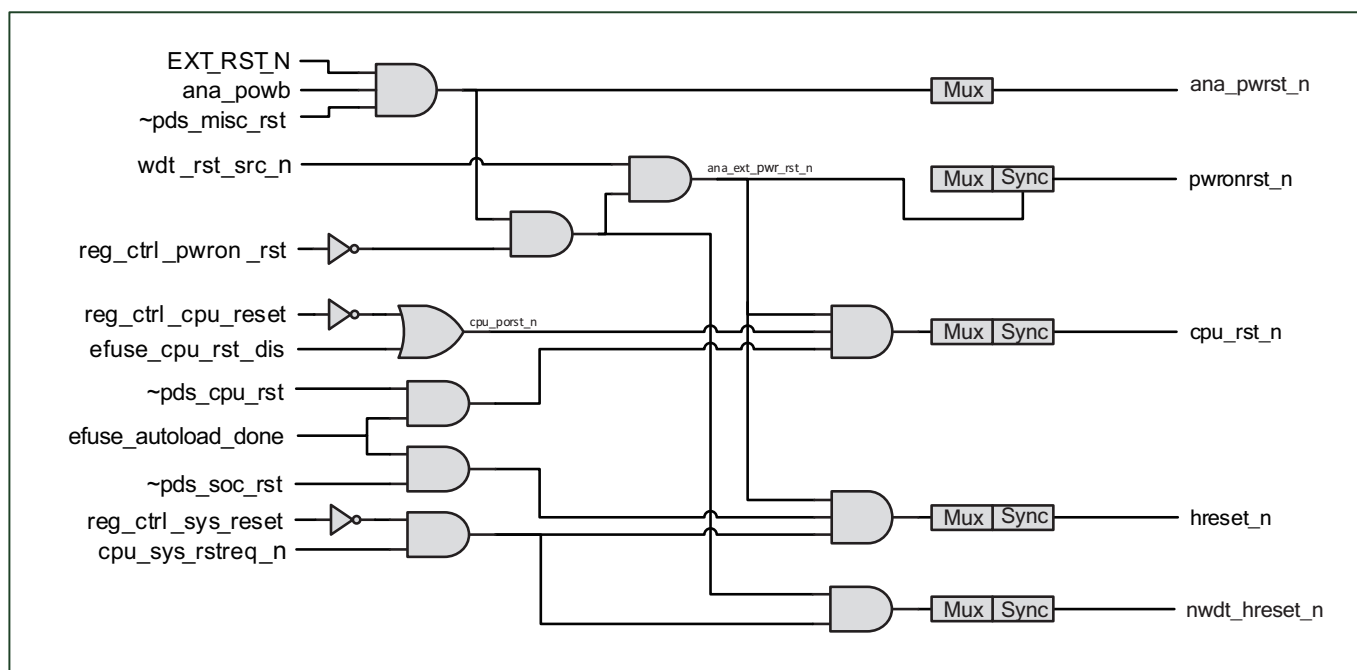


图 2.1: 复位源

## 2.3 时钟源

时钟源包含：

- XTAL：外部晶振时钟，视系统需求频率可选 24、32、38.4、40MHz
- XTAL32K：外部晶振时钟，频率 32kHz
- RC32K：RC 振荡器时钟，频率 32kHz，提供校准
- RC32M：RC 振荡器时钟，频率 32MHz，提供校准
- PLL：锁相回路时钟，内部系统高速时钟，最高频率支持 192MHz

时钟控制单元将来自振荡器的时钟分配给内核和外围设备。可通过选择系统时钟源，动态分频器，时钟配置，睡眠使用 32kHz 时钟，以达到低功耗时钟管理。

外围设备时钟包括: Flash、UART、I2C、SPI、PWM、IR-remote、ADC、DAC。

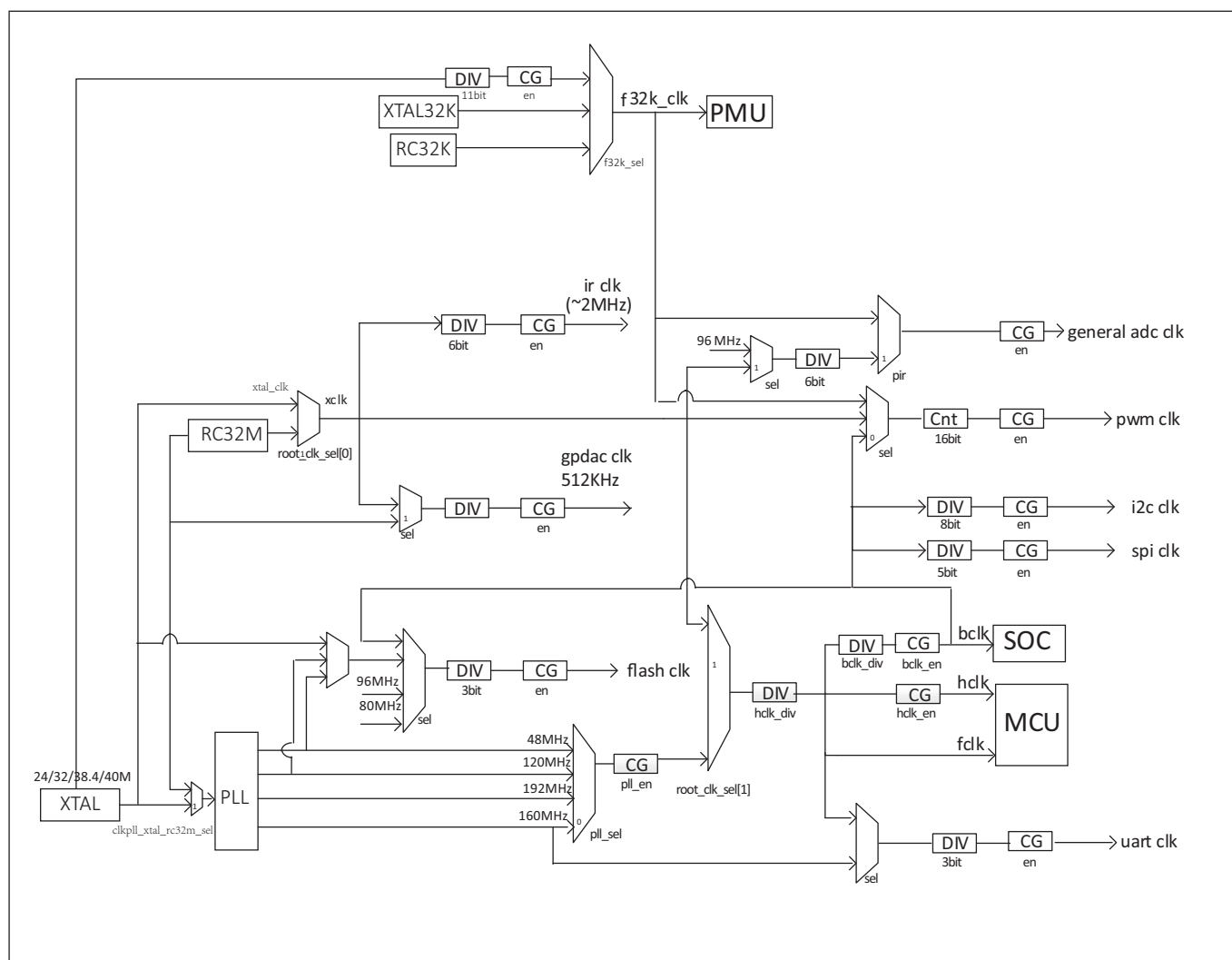


图 2.2: 时钟架构

## 3.1 简介

GLB(Global Register) 是芯片通用全局设定模块，主要包含了时钟管理、复位管理、总线管理、内存管理以及 GPIO 管理等功能。

## 3.2 功能描述

### 3.2.1 时钟管理

时钟管理功能主要用于设定处理器、总线、各个外设的时钟，通过该模块可以设定上述模块工作的时钟源，时钟分频等，同时也可以实现对上述模块时钟的门控，以达到系统低功耗的目的。详细设定可以参考系统时钟相关的章节。

### 3.2.2 复位管理

复位管理提供各个外设模块的单独复位功能以及芯片复位功能。芯片复位包括：

- CPU 复位：仅仅复位 CPU 模块，程序会重新运行，外设不会被复位
- 系统复位：各个外设和 CPU 会被复位，但是 AON 域的相关寄存器不会被复位
- 上电复位：整个系统包括 AON 域的相关寄存器都会被复位

应用程序可以根据需要，选择使用对应的复位方式。

### 3.2.3 总线管理

提供总线的仲裁设定以及总线出错设定，可以设定在总线出错时候是否产生中断，并提供出错总线地址信息，方便用户调试程序。

### 3.2.4 内存管理

提供各个内存模块在芯片系统低功耗模式时的功耗管理，包含两种设定模式：



- **retention 模式**: 在该模式下, 内存上的数据可以保存, 但是在退出低功耗模式之前, 无法读写。
- **sleep 模式**: 在该模式下, 内存的数据会丢失, 仅用于降低系统功耗。

### 3.2.5 GPIO 概述

GPIO 管理功能提供 GPIO 控制寄存器, 实现软件对 GPIO 属性的配置, 使用户能够方便的操作 GPIO。每个 GPIO 可以配置为输入、输出和可选功能三种模式。在每个模式下 (除模拟可选功能), 提供设置上拉, 下拉, 浮空三种端口状态, 此外 GPIO 还提供中断功能, 可以配置为上升沿触发, 下降沿触发或者高电平/低电平触发。

### 3.2.6 GPIO 主要特点

- 可以配置为普通输入输出功能, 该模式下可以设定上拉, 下拉或者浮空输入输出。
- 可以配置为可选功能, 搭配外设功能使用, 该模式下亦可以设定上拉, 下拉, 在使用模拟功能时, 必须设置为浮空。
- 可以设置驱动能力, 以提供更大的输出电流。
- 可以设置施密特触发器功能, 提供简单硬件防抖功能。

### 3.2.7 GPIO 功能描述

每个 GPIO 可以通过软件配置为:

- 高阻输入
- 上拉输入
- 下拉输入
- 上拉中断输入
- 下拉中断输入
- 高阻中断输入
- 上拉输出
- 下拉输出
- 高阻输出
- 模拟输入可选功能
- 模拟输出可选功能
- 数字可选功能

GPIO 模块基本框图如图所示。

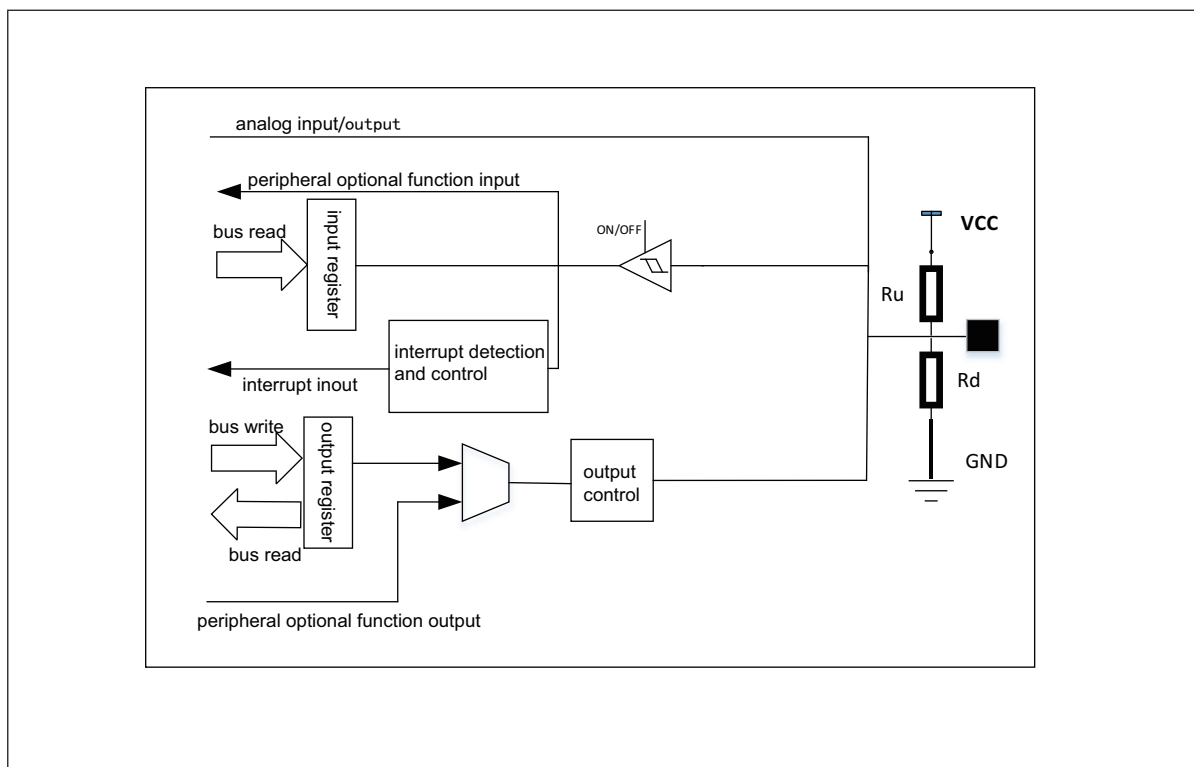


图 3.1: GPIO 基本框图

### 3.2.8 GPIO 功能设定

GPIO 的功能通过 GPIO\_CFGCTL 寄存器组设定，主要设定项包括：

- func\_sel: 选择 GPIO 功能
- pu: 选择是否上拉
- pd: 选择是否下拉
- drv: 设定驱动能力
- smt: 选择是否使能施密特触发器
- ie: 设定输入使能
- oe: 设定输出使能

GPIO 可以设定的功能包括：

- Flash/QSPI: 设定 GPIO 为 QSPI 功能，可以连接 Flash，作为程序存储/运行介质
- SPI: 设定 GPIO 为 SPI 功能
- I2C: 设定 GPIO 为 I2C 功能
- UART: 设定 GPIO 为 UART 功能

- PWM: 设定 GPIO 为 PWM 功能
- ANA: 设定 GPIO 为 Analog 功能
- SWGPIO: 设定 GPIO 为通用 IO 功能
- JTAG: 设定 GPIO 为 JTAG 功能

为了尽可能最大限度的满足客户需求，每个 GPIO 基本上都可以选择上述可选功能，当选择某个可选功能时，GPIO 与对应的功能信号如下表所示：

表 3.1: 管脚描述

GPIO	SDIO	FLASH	SPI	I2C	UART	PWM	Analog	SWGPIO	JTAG
GPIO0	CLK	D1	MISO	SCL	SIG0	CH0		SWGPIO0	TMS
GPIO1	CMD	D2	MOSI	SDA	SIG1	CH1		SWGPIO1	TDI
GPIO2	DAT0	D2	SS	SCL	SIG2	CH2		SWGPIO2	TCK
GPIO3	DAT1	D3	SCLK	SDA	SIG3	CH3		SWGPIO3	TDO
GPIO4	DAT2		MISO	SCL	SIG4	CH4	CH1	SWGPIO4	TMS
GPIO5	DAT3		MOSI	SDA	SIG5	CH0	CH4	SWGPIO5	TDI
GPIO6			SS	SCL	SIG6	CH1	CH5	SWGPIO6	TCK
GPIO7			SCLK	SDA	SIG7	CH2		SWGPIO7	TDO
GPIO8			MISO	SCL	SIG0	CH3		SWGPIO8	TMS
GPIO9			MOSI	SDA	SIG1	CH4	CH6/7	SWGPIO9	TDI
GPIO10			SS	SCL	SIG2	CH0	MICBIAS/CH8/9	SWGPIO10	TCK
GPIO11			SCLK	SDA	SIG3	CH1	IROUT/CH10	SWGPIO11	TDO
GPIO12			MISO	SCL	SIG4	CH2	ADC_VREF/CH0	SWGPIO12	TMS
GPIO13			MOSI	SDA	SIG5	CH3	CH3	SWGPIO13	TDI
GPIO14			SS	SCL	SIG6	CH4	CH2	SWGPIO14	TCK
GPIO15			SCLK	SDA	SIG7	CH0	PSWROUT/CH11	SWGPIO15	TDO
GPIO16			MISO	SCL	SIG0	CH1		SWGPIO16	TMS
GPIO17		D3	MOSI	SDA	SIG1	CH2	DC_TP_OUT	SWGPIO17	TDI
GPIO18		D2	SS	SCL	SIG2	CH3		SWGPIO18	TCK
GPIO19		D1	SCLK	SDA	SIG3	CH4		SWGPIO19	TDO
GPIO20		D0	MISO	SCL	SIG4	CH0		SWGPIO20	TMS
GPIO21		CS	MOSI	SDA	SIG5	CH1		SWGPIO21	TDI
GPIO22		CLK_OUT	SS	SCL	SIG6	CH2		SWGPIO22	TCK

在上述表格中,当选择 UART 功能时,只是选择了 UART 的一个信号,并没有指定该引脚的具体功能(比如是 UART TX 还是 UART RX),还需要通过 UART\_SIGX\_SEL(X=0-7)进一步选择具体的 UART 信号及对应的功能。每一个 UART\_SIGX\_SEL 可以选择的信号包括:

- 0 : UART0\_RTS
- 1 : UART0\_CTS
- 2 : UART0\_TXD
- 3 : UART0\_RXD
- 4 : UART1\_RTS
- 5 : UART1\_CTS
- 6 : UART1\_TXD
- 7 : UART1\_RXD

以 GPIO0 为例,当 fun\_sel 选择 UART 的时候,GPIO0 选择的是 UART\_SIG0,在默认情况下 UART\_SIG0\_SEL 的值是 0,也就是 UART0\_RTS,即 GPIO 是 UART0\_RTS 功能。如果应用程序想把 GPIO 作为 UART1\_TXD,那只要把 UART\_SIG0\_SEL 设置为 6,那么 GPIO0 的功能就是 UART1\_TXD。

### 3.2.9 GPIO 输出设置

通过设定 func\_sel 为 SWGPIO,GPIO 可以作为普通 GPIO 的输入/输出,将 IE 设置为 0,OE 设置为 1,就可以将 GPIO 配置为输出功能,输出的数值通过 GPIO\_O 寄存器组设定。当 GPIO\_O 对应 bit 设置为 0 时,GPIO 输出低电平,当 GPIO\_O 对应 bit 设置为 1 时,GPIO 输出高电平。可以通过 DRV 控制位设置输出能力。

### 3.2.10 GPIO 输入设置

通过设定 func\_sel 为 SWGPIO,将 IE 设置为 1,OE 设置为 0,就可以将 GPIO 配置为输入功能,可以通过 smt 控制位设置是否使能施密特触发器,通过 PD,PU 控制位设置上拉下拉属性。外部输入的数值,可以通过读取 GPIO\_I 寄存器对应的 bit 获取到。

### 3.2.11 GPIO 可选功能设置

通过设定 func\_sel 为对应的外设功能,可以实现 GPIO 与外设的连接,实现外设的输入输出,从 GPIO 的基础功能框图可以看出,当选择可选功能时,需要将 IE 设置为 1,OE 设置为 0,也就是断开普通 GPIO 的输出控制功能。这样,对于固定输入功能的外设,外设的 OE 信号始终为 0,从而实现输入功能;对于固定输出的外设,其 OE 信号始终为 1,从而实现输出是被外设控制,而此时的输入信号就是输出信号,但是不会被正在输出的外设采集;当外设既需要输入又要输出时,通过控制外设 OE 信号就可以实现输入输出。

### 3.2.12 GPIO 中断设置

要使用 GPIO 的中断功能，需要先将 GPIO 设置为输入模式，中断触发模式通过 GPIO\_INT\_MODE\_SET 寄存器组进行设定。可以设定的中断模式包括：

- 上升沿触发中断
- 下降沿触发中断
- 高电平触发中断
- 低电平触发中断

每个 GPIO 都可以设定为中断功能，是否使能某个 GPIO 中断可以通过 GPIO\_INT\_MASK 寄存器进行设定，中断产生时，在中断函数中可以通过 GPIO\_INT\_STAT 寄存器获取到产生中断的 GPIO 引脚号，同时可以通过 GPIO\_INT\_CLR 清除掉对应的中断信号。

### 3.3 寄存器描述

名称	描述
clk_cfg0	Clock configuration-processor, bus
clk_cfg2	Clock configuration-UART,Flash
clk_cfg3	Clock configuration-I2C,SPI
GPADC_32M_SRC_CTRL	Clock configuration-GPADC
GPIO_CFGCTL0	GPIO0, GPIO1 configuration
GPIO_CFGCTL1	GPIO2, GPIO3 configuration
GPIO_CFGCTL2	GPIO4, GPIO5 configuration
GPIO_CFGCTL3	GPIO6, GPIO7 configuration
GPIO_CFGCTL4	GPIO8, GPIO9 configuration
GPIO_CFGCTL5	GPIO10, GPIO11 configuration
GPIO_CFGCTL6	GPIO12, GPIO13 configuration
GPIO_CFGCTL7	GPIO14, GPIO15 configuration
GPIO_CFGCTL8	GPIO16, GPIO17 configuration
GPIO_CFGCTL9	GPIO18, GPIO19 configuration
GPIO_CFGCTL10	GPIO20, GPIO21 configuration
GPIO_CFGCTL11	GPIO22, GPIO23 configuration
GPIO_CFGCTL12	GPIO24, GPIO25 configuration
GPIO_CFGCTL13	GPIO26, GPIO27 configuration

名称	描述
GPIO_CFGCTL14	GPIO28 configuration

### 3.3.1 clk\_cfg0

地址: 0x40000000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
GLBID				RSVD				BCLKDIV							
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
HCLKDIV								RCSEL		PLLSEL		RSVD			

位	名称	权限	复位值	描述
31:28	GLBID	R	4'h6	
27:24	RSVD			
23:16	BCLKDIV	R/W	0	bclk divide from hclk
15:8	HCLKDIV	R/W	0	hclk divide from root clock (clock source selected by hbn_root_clk_sel)
7:6	RCSEL	R	0	root clock selection from HBN (0: RC32M 1: XTAL 2/3: PLL others)
5:4	PLLSEL	R/W	0	pll clock selection (0: 48MHz 1: 120MHz 2: 160MHz 3: 192MHz)
3:0	RSVD			

### 3.3.2 clk\_cfg2

地址: 0x40000008

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
DMAEN								RSVD							
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RSVD		SFSEL		SFEN	SFDIV			HUCSEL	RSVD		UARTEN	RSVD	UARTDIV		

位	名称	权限	复位值	描述
31:24	DMAEN	R/W	8'hff	CH0, 1, 2, AHBm, AHBs, Rqs
23:14	RSVD			
13:12	SFSEL	R/W	2'd2	Flash Clock Select (0: 120M, 1:80M, 2:HCLK, 3:96M)
11	SFEN	R/W	1	Flash Clock Enable
10:8	SFDIV	R/W	3'd3	Flash Clock Divider (Selected Flash Clock)/(N+1)
7	HUCSEL	R	0	uart clock selection from HBN (0: root clock 1: PLL 160M)
6:5	RSVD			
4	UARTEN	R/W	1	UART Clock Enable
3	RSVD			
2:0	UARTDIV	R/W	3'd7	UART Clock Divider (root clock or 160M)/(N+1) (clock source selected by hbn_uart_clk_sel)

### 3.3.3 clk\_cfg3

地址: 0x4000000c

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
RSVD							I2C EN	I2CDIV							
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RSVD							SPI EN	RSVD			SPIDIV				

位	名称	权限	复位值	描述
31:25	RSVD			
24	I2CEN	R/W	1	I2C Master Clock Out Enable
23:16	I2CDIV	R/W	8'd255	I2C Master Clock Out Divider (Freq_of_BCLK/(N+1))
15:9	RSVD			
8	SPIEN	R/W	1	SPI Clock Enable (Default : Enable)
7:5	RSVD			
4:0	SPIDIV	R/W	5'd3	SPI Clock Divider (BUS_CLK/(N+1)), default BUS_CLK/4

### 3.3.4 GPADC\_32M\_SRC\_CTRL

地址：0x400000a4

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
RSVD															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RSVD							GADC DIV	GADC SEL	RSVD	GADCDIV					

位	名称	权限	复位值	描述
31:9	RSVD			
8	GADCDIV	R/W	1	GPADC 32M Clock Divider Enable
7	GADCSEL	R/W	0	GPADC Clock Source Select. 0: 96MHz, 1: xclk
6	RSVD			
5:0	GADCDIV	R/W	6'd2	GPADC 32M Clock Divider (96M)/(N+1) , default : 96M/3 = 32M

### 3.3.5 GPIO\_CFGCTL0

地址：0x40000100

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
RSVD				GP1FUNC				RSVD		GP1 PD	GP1 PU	GP1DRV		GP1 SMT	GP1 IE
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RSVD				GP0FUNC				RSVD		GP0 PD	GP0 PU	GP0DRV		GP0 SMT	GP0 IE

位	名称	权限	复位值	描述
31:28	RSVD			
27:24	GP1FUNC	R/W	4'h1	GPIO Function Select (Default : SDIO)
23:22	RSVD			
21	GP1PD	R/W	0	GPIO Pull Down Control
20	GP1PU	R/W	0	GPIO Pull Up Control
19:18	GP1DRV	R/W	0	GPIO Driving Control
17	GP1SMT	R/W	1	GPIO SMT Control
16	GP1IE	R/W	1	GPIO Input Enable



位	名称	权限	复位值	描述
15:12	RSVD			
11:8	GP0FUNC	R/W	4'h1	GPIO Function Select (Default : SDIO)
7:6	RSVD			
5	GP0PD	R/W	0	GPIO Pull Down Control
4	GP0PU	R/W	0	GPIO Pull Up Control
3:2	GP0DRV	R/W	0	GPIO Driving Control
1	GP0SMT	R/W	1	GPIO SMT Control
0	GP0IE	R/W	1	GPIO Input Enable

### 3.3.6 GPIO\_CFGCTL1

地址: 0x40000104

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
RSVD				GP3FUNC				RSVD		GP3 PD	GP3 PU	GP3DRV		GP3 SMT	GP3 IE
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RSVD				GP2FUNC				RSVD		GP2 PD	GP2 PU	GP2DRV		GP2 SMT	GP2 IE

位	名称	权限	复位值	描述
31:28	RSVD			
27:24	GP3FUNC	R/W	4'h1	GPIO Function Select (Default : SDIO)
23:22	RSVD			
21	GP3PD	R/W	0	GPIO Pull Down Control
20	GP3PU	R/W	0	GPIO Pull Up Control
19:18	GP3DRV	R/W	0	GPIO Driving Control
17	GP3SMT	R/W	1	GPIO SMT Control
16	GP3IE	R/W	1	GPIO Input Enable
15:12	RSVD			
11:8	GP2FUNC	R/W	4'h1	GPIO Function Select (Default : SDIO)
7:6	RSVD			
5	GP2PD	R/W	0	GPIO Pull Down Control
4	GP2PU	R/W	0	GPIO Pull Up Control

位	名称	权限	复位值	描述
3:2	GP2DRV	R/W	0	GPIO Driving Control
1	GP2SMT	R/W	1	GPIO SMT Control
0	GP2IE	R/W	1	GPIO Input Enable

### 3.3.7 GPIO\_CFGCTL2

地址: 0x40000108

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
RSVD				GP5FUNC				RSVD		GP5 PD	GP5 PU	GP5DRV		GP5 SMT	GP5 IE
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RSVD				GP4FUNC				RSVD		GP4 PD	GP4 PU	GP4DRV		GP4 SMT	GP4 IE

位	名称	权限	复位值	描述
31:28	RSVD			
27:24	GP5FUNC	R/W	4'h1	GPIO Function Select (Default : SDIO)
23:22	RSVD			
21	GP5PD	R/W	0	GPIO Pull Down Control
20	GP5PU	R/W	0	GPIO Pull Up Control
19:18	GP5DRV	R/W	0	GPIO Driving Control
17	GP5SMT	R/W	1	GPIO SMT Control
16	GP5IE	R/W	1	GPIO Input Enable
15:12	RSVD			
11:8	GP4FUNC	R/W	4'h1	GPIO Function Select (Default : SDIO)
7:6	RSVD			
5	GP4PD	R/W	0	GPIO Pull Down Control
4	GP4PU	R/W	0	GPIO Pull Up Control
3:2	GP4DRV	R/W	0	GPIO Driving Control
1	GP4SMT	R/W	1	GPIO SMT Control
0	GP4IE	R/W	1	GPIO Input Enable

### 3.3.8 GPIO\_CFGCTL3

地址：0x4000010c

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
RSVD				GP7FUNC				RSVD		GP7 PD	GP7 PU	GP7DRV		GP7 SMT	GP7 IE
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RSVD				GP6FUNC				RSVD		GP6 PD	GP6 PU	GP6DRV		GP6 SMT	GP6 IE

位	名称	权限	复位值	描述
31:28	RSVD			
27:24	GP7FUNC	R/W	4'hB	GPIO Function Select (Default : SWGPIO )
23:22	RSVD			
21	GP7PD	R/W	0	GPIO Pull Down Control
20	GP7PU	R/W	0	GPIO Pull Up Control
19:18	GP7DRV	R/W	0	GPIO Driving Control
17	GP7SMT	R/W	1	GPIO SMT Control
16	GP7IE	R/W	1	GPIO Input Enable
15:12	RSVD			
11:8	GP6FUNC	R/W	4'hB	GPIO Function Select (Default : SWGPIO )
7:6	RSVD			
5	GP6PD	R/W	0	GPIO Pull Down Control
4	GP6PU	R/W	0	GPIO Pull Up Control
3:2	GP6DRV	R/W	0	GPIO Driving Control
1	GP6SMT	R/W	1	GPIO SMT Control
0	GP6IE	R/W	1	GPIO Input Enable

### 3.3.9 GPIO\_CFGCTL4

地址：0x40000110

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
RSVD				GP9FUNC				RSVD		GP9 PD	GP9 PU	GP9DRV		GP9 SMT	GP9 IE
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RSVD				GP8FUNC				RSVD		GP8 PD	GP8 PU	GP8DRV		GP8 SMT	GP8 IE

位	名称	权限	复位值	描述
31:28	RSVD			
27:24	GP9FUNC	R/W	4'hB	GPIO Function Select (Default : SWGPIO )
23:22	RSVD			
21	GP9PD	R/W	0	GPIO Pull Down Control
20	GP9PU	R/W	0	GPIO Pull Up Control
19:18	GP9DRV	R/W	0	GPIO Driving Control
17	GP9SMT	R/W	1	GPIO SMT Control
16	GP9IE	R/W	1	GPIO Input Enable
15:12	RSVD			
11:8	GP8FUNC	R/W	4'hB	GPIO Function Select (Default : SWGPIO )
7:6	RSVD			
5	GP8PD	R/W	0	GPIO Pull Down Control
4	GP8PU	R/W	0	GPIO Pull Up Control
3:2	GP8DRV	R/W	0	GPIO Driving Control
1	GP8SMT	R/W	1	GPIO SMT Control
0	GP8IE	R/W	1	GPIO Input Enable

### 3.3.10 GPIO\_CFGCTL5

地址: 0x40000114

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
RSVD				GP11FUNC				RSVD		GP11 PD	GP11 PU	GP11DRV		GP11 SMT	GP11 IE
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RSVD				GP10FUNC				RSVD		GP10 PD	GP10 PU	GP10DRV		GP10 SMT	GP10 IE

位	名称	权限	复位值	描述
31:28	RSVD			
27:24	GP11FUNC	R/W	4'hE	GPIO Function Select (Default : JTAG )
23:22	RSVD			
21	GP11PD	R/W	0	GPIO Pull Down Control
20	GP11PU	R/W	0	GPIO Pull Up Control
19:18	GP11DRV	R/W	0	GPIO Driving Control
17	GP11SMT	R/W	1	GPIO SMT Control
16	GP11IE	R/W	1	GPIO Input Enable
15:12	RSVD			
11:8	GP10FUNC	R/W	4'hB	GPIO Function Select (Default : SWGPIO )
7:6	RSVD			
5	GP10PD	R/W	0	GPIO Pull Down Control
4	GP10PU	R/W	0	GPIO Pull Up Control
3:2	GP10DRV	R/W	0	GPIO Driving Control
1	GP10SMT	R/W	1	GPIO SMT Control
0	GP10IE	R/W	1	GPIO Input Enable

### 3.3.11 GPIO\_CFGCTL6

地址: 0x40000118

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
RSVD				GP13FUNC				RSVD		GP13 PD	GP13 PU	GP13DRV		GP13 SMT	GP13 IE
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RSVD				GP12FUNC				RSVD		GP12 PD	GP12 PU	GP12DRV		GP12 SMT	GP12 IE

位	名称	权限	复位值	描述
31:28	RSVD			
27:24	GP13FUNC	R/W	4'hB	GPIO Function Select (Default : SWGPIO )
23:22	RSVD			
21	GP13PD	R/W	0	GPIO Pull Down Control
20	GP13PU	R/W	0	GPIO Pull Up Control

位	名称	权限	复位值	描述
19:18	GP13DRV	R/W	0	GPIO Driving Control
17	GP13SMT	R/W	1	GPIO SMT Control
16	GP13IE	R/W	1	GPIO Input Enable
15:12	RSVD			
11:8	GP12FUNC	R/W	4'hE	GPIO Function Select (Default : JTAG )
7:6	RSVD			
5	GP12PD	R/W	0	GPIO Pull Down Control
4	GP12PU	R/W	0	GPIO Pull Up Control
3:2	GP12DRV	R/W	0	GPIO Driving Control
1	GP12SMT	R/W	1	GPIO SMT Control
0	GP12IE	R/W	1	GPIO Input Enable

### 3.3.12 GPIO\_CFGCTL7

地址: 0x4000011c

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
RSVD				GP15FUNC				RSVD		GP15 PD	GP15 PU	GP15DRV		GP15 SMT	GP15 IE
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RSVD				GP14FUNC				RSVD		GP14 PD	GP14 PU	GP14DRV		GP14 SMT	GP14 IE

位	名称	权限	复位值	描述
31:28	RSVD			
27:24	GP15FUNC	R/W	4'hB	GPIO Function Select (Default : SWGPIO )
23:22	RSVD			
21	GP15PD	R/W	0	GPIO Pull Down Control
20	GP15PU	R/W	0	GPIO Pull Up Control
19:18	GP15DRV	R/W	0	GPIO Driving Control
17	GP15SMT	R/W	1	GPIO SMT Control
16	GP15IE	R/W	1	GPIO Input Enable
15:12	RSVD			
11:8	GP14FUNC	R/W	4'hE	GPIO Function Select (Default : JTAG )

位	名称	权限	复位值	描述
7:6	RSVD			
5	GP14PD	R/W	0	GPIO Pull Down Control
4	GP14PU	R/W	0	GPIO Pull Up Control
3:2	GP14DRV	R/W	0	GPIO Driving Control
1	GP14SMT	R/W	1	GPIO SMT Control
0	GP14IE	R/W	1	GPIO Input Enable

### 3.3.13 GPIO\_CFGCTL8

地址: 0x40000120

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
RSVD				GP17FUNC				RSVD		GP17 PD	GP17 PU	GP17DRV		GP17 SMT	GP17 IE
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RSVD				GP16FUNC				RSVD		GP16 PD	GP16 PU	GP16DRV		GP16 SMT	GP16 IE

位	名称	权限	复位值	描述
31:28	RSVD			
27:24	GP17FUNC	R/W	4'hE	GPIO Function Select (Default : JTAG )
23:22	RSVD			
21	GP17PD	R/W	0	GPIO Pull Down Control
20	GP17PU	R/W	0	GPIO Pull Up Control
19:18	GP17DRV	R/W	0	GPIO Driving Control
17	GP17SMT	R/W	1	GPIO SMT Control
16	GP17IE	R/W	1	GPIO Input Enable
15:12	RSVD			
11:8	GP16FUNC	R/W	4'hB	GPIO Function Select (Default : SWGPIO )
7:6	RSVD			
5	GP16PD	R/W	0	GPIO Pull Down Control
4	GP16PU	R/W	0	GPIO Pull Up Control
3:2	GP16DRV	R/W	0	GPIO Driving Control
1	GP16SMT	R/W	1	GPIO SMT Control

位	名称	权限	复位值	描述
0	GP16IE	R/W	1	GPIO Input Enable

### 3.3.14 GPIO\_CFGCTL9

地址: 0x40000124

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
RSVD				GP19FUNC				RSVD		GP19 PD	GP19 PU	GP19DRV		GP19 SMT	GP19 IE
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RSVD				GP18FUNC				RSVD		GP18 PD	GP18 PU	GP18DRV		GP18 SMT	GP18 IE

位	名称	权限	复位值	描述
31:28	RSVD			
27:24	GP19FUNC	R/W	4'hB	GPIO Function Select (Default : SWGPIO )
23:22	RSVD			
21	GP19PD	R/W	0	GPIO Pull Down Control
20	GP19PU	R/W	0	GPIO Pull Up Control
19:18	GP19DRV	R/W	0	GPIO Driving Control
17	GP19SMT	R/W	1	GPIO SMT Control
16	GP19IE	R/W	1	GPIO Input Enable
15:12	RSVD			
11:8	GP18FUNC	R/W	4'hB	GPIO Function Select (Default : SWGPIO )
7:6	RSVD			
5	GP18PD	R/W	0	GPIO Pull Down Control
4	GP18PU	R/W	0	GPIO Pull Up Control
3:2	GP18DRV	R/W	0	GPIO Driving Control
1	GP18SMT	R/W	1	GPIO SMT Control
0	GP18IE	R/W	1	GPIO Input Enable

### 3.3.15 GPIO\_CFGCTL10

地址: 0x40000128



31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
RSVD				GP21FUNC				RSVD		GP21 PD	GP21 PU	GP21DRV		GP21 SMT	GP21 IE
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RSVD				GP20FUNC				RSVD		GP20 PD	GP20 PU	GP20DRV		GP20 SMT	GP20 IE

位	名称	权限	复位值	描述
31:28	RSVD			
27:24	GP21FUNC	R/W	4'hB	GPIO Function Select (Default : SWGPIO )
23:22	RSVD			
21	GP21PD	R/W	0	GPIO Pull Down Control
20	GP21PU	R/W	0	GPIO Pull Up Control
19:18	GP21DRV	R/W	0	GPIO Driving Control
17	GP21SMT	R/W	1	GPIO SMT Control
16	GP21IE	R/W	1	GPIO Input Enable
15:12	RSVD			
11:8	GP20FUNC	R/W	4'hB	GPIO Function Select (Default : SWGPIO )
7:6	RSVD			
5	GP20PD	R/W	0	GPIO Pull Down Control
4	GP20PU	R/W	0	GPIO Pull Up Control
3:2	GP20DRV	R/W	0	GPIO Driving Control
1	GP20SMT	R/W	1	GPIO SMT Control
0	GP20IE	R/W	1	GPIO Input Enable

### 3.3.16 GPIO\_CFGCTL11

地址: 0x4000012c

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
RSVD				GP23FUNC				RSVD		GP23 PD	GP23 PU	GP23DRV		GP23 SMT	GP23 IE
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RSVD				GP22FUNC				RSVD		GP22 PD	GP22 PU	GP22DRV		GP22 SMT	GP22 IE

位	名称	权限	复位值	描述
31:28	RSVD			
27:24	GP23FUNC	R/W	4'hB	GPIO Function Select (Default : SWGPIO )
23:22	RSVD			
21	GP23PD	R/W	0	GPIO Pull Down Control
20	GP23PU	R/W	0	GPIO Pull Up Control
19:18	GP23DRV	R/W	0	GPIO Driving Control
17	GP23SMT	R/W	1	GPIO SMT Control
16	GP23IE	R/W	1	GPIO Input Enable
15:12	RSVD			
11:8	GP22FUNC	R/W	4'hB	GPIO Function Select (Default : SWGPIO )
7:6	RSVD			
5	GP22PD	R/W	0	GPIO Pull Down Control
4	GP22PU	R/W	0	GPIO Pull Up Control
3:2	GP22DRV	R/W	0	GPIO Driving Control
1	GP22SMT	R/W	1	GPIO SMT Control
0	GP22IE	R/W	1	GPIO Input Enable

### 3.3.17 GPIO\_CFGCTL12

地址: 0x40000130

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
RSVD				GP25FUNC				RSVD		GP25 PD	GP25 PU	GP25DRV		GP25 SMT	GP25 IE
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RSVD				GP24FUNC				RSVD		GP24 PD	GP24 PU	GP24DRV		GP24 SMT	GP24 IE

位	名称	权限	复位值	描述
31:28	RSVD			
27:24	GP25FUNC	R/W	4'hB	GPIO Function Select (Default : SWGPIO )
23:22	RSVD			
21	GP25PD	R/W	0	GPIO Pull Down Control
20	GP25PU	R/W	0	GPIO Pull Up Control

位	名称	权限	复位值	描述
19:18	GP25DRV	R/W	0	GPIO Driving Control
17	GP25SMT	R/W	1	GPIO SMT Control
16	GP25IE	R/W	1	GPIO Input Enable
15:12	RSVD			
11:8	GP24FUNC	R/W	4'hB	GPIO Function Select (Default : SWGPIO )
7:6	RSVD			
5	GP24PD	R/W	1	GPIO Pull Down Control
4	GP24PU	R/W	0	GPIO Pull Up Control
3:2	GP24DRV	R/W	0	GPIO Driving Control
1	GP24SMT	R/W	1	GPIO SMT Control
0	GP24IE	R/W	1	GPIO Input Enable

### 3.3.18 GPIO\_CFGCTL13

地址: 0x40000134

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
RSVD				GP27FUNC				RSVD		GP27 PD	GP27 PU	GP27DRV		GP27 SMT	GP27 IE
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RSVD				GP26FUNC				RSVD		GP26 PD	GP26 PU	GP26DRV		GP26 SMT	GP26 IE

位	名称	权限	复位值	描述
31:28	RSVD			
27:24	GP27FUNC	R/W	4'hB	GPIO Function Select (Default : SWGPIO )
23:22	RSVD			
21	GP27PD	R/W	0	GPIO Pull Down Control
20	GP27PU	R/W	0	GPIO Pull Up Control
19:18	GP27DRV	R/W	0	GPIO Driving Control
17	GP27SMT	R/W	1	GPIO SMT Control
16	GP27IE	R/W	1	GPIO Input Enable
15:12	RSVD			
11:8	GP26FUNC	R/W	4'hB	GPIO Function Select (Default : SWGPIO )

位	名称	权限	复位值	描述
7:6	RSVD			
5	GP26PD	R/W	0	GPIO Pull Down Control
4	GP26PU	R/W	0	GPIO Pull Up Control
3:2	GP26DRV	R/W	0	GPIO Driving Control
1	GP26SMT	R/W	1	GPIO SMT Control
0	GP26IE	R/W	1	GPIO Input Enable

### 3.3.19 GPIO\_CFGCTL14

地址: 0x40000138

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
RSVD															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RSVD										GP28 PD	GP28 PU	GP28DRV		GP28 SMT	GP28 IE

位	名称	权限	复位值	描述
31:6	RSVD			
5	GP28PD	R/W	0	GPIO Pull Down Control
4	GP28PU	R/W	0	GPIO Pull Up Control
3:2	GP28DRV	R/W	0	GPIO Driving Control
1	GP28SMT	R/W	1	GPIO SMT Control
0	GP28IE	R/W	1	GPIO Input Enable

## 4.1 简介

芯片内置一个 12bits 的逐次逼近式模拟数字转换器 (ADC)，支持 12 路外部模拟输入和若干内部模拟信号选择。ADC 可以工作在单次转换和多通道扫描两种模式下，转换结果为 12/14/16bits 左对齐模式。ADC 拥有深度为 32 的 FIFO，支持多种中断，支持 DMA 操作。ADC 除了用于普通模拟信号测量外，还可以用于测量供电电压，此外 ADC 还可以通过测量内/外部二极管电压用于温度检测。

## 4.2 主要特点

- 高性能
  - 可以选择 12-bit, 14-bit, 16-bit 转换结果输出
  - ADC 转换时间最快 0.5us (12-bit 转换结果)
  - 支持 1.8V, 3.3V 可选参考电压
  - 支持 DMA 将转换结果搬运到内存
  - 支持单通道转换和多通道扫描两种模式
  - 支持单端与差分两种输入模式
  - 支持抖动补偿
  - 支持用户自行设定转换结果偏移值
  - 扫描模式时钟最大支持 1M，非扫描模式支持 2M
- 模拟通道数
  - 12 路外部模拟通道
  - 2 路 DAC 内部通道
  - 1 路 VBAT/2 通道

## – 1 路 TSEN 通道

### 4.3 功能描述

ADC 模块基本框图如图所示。

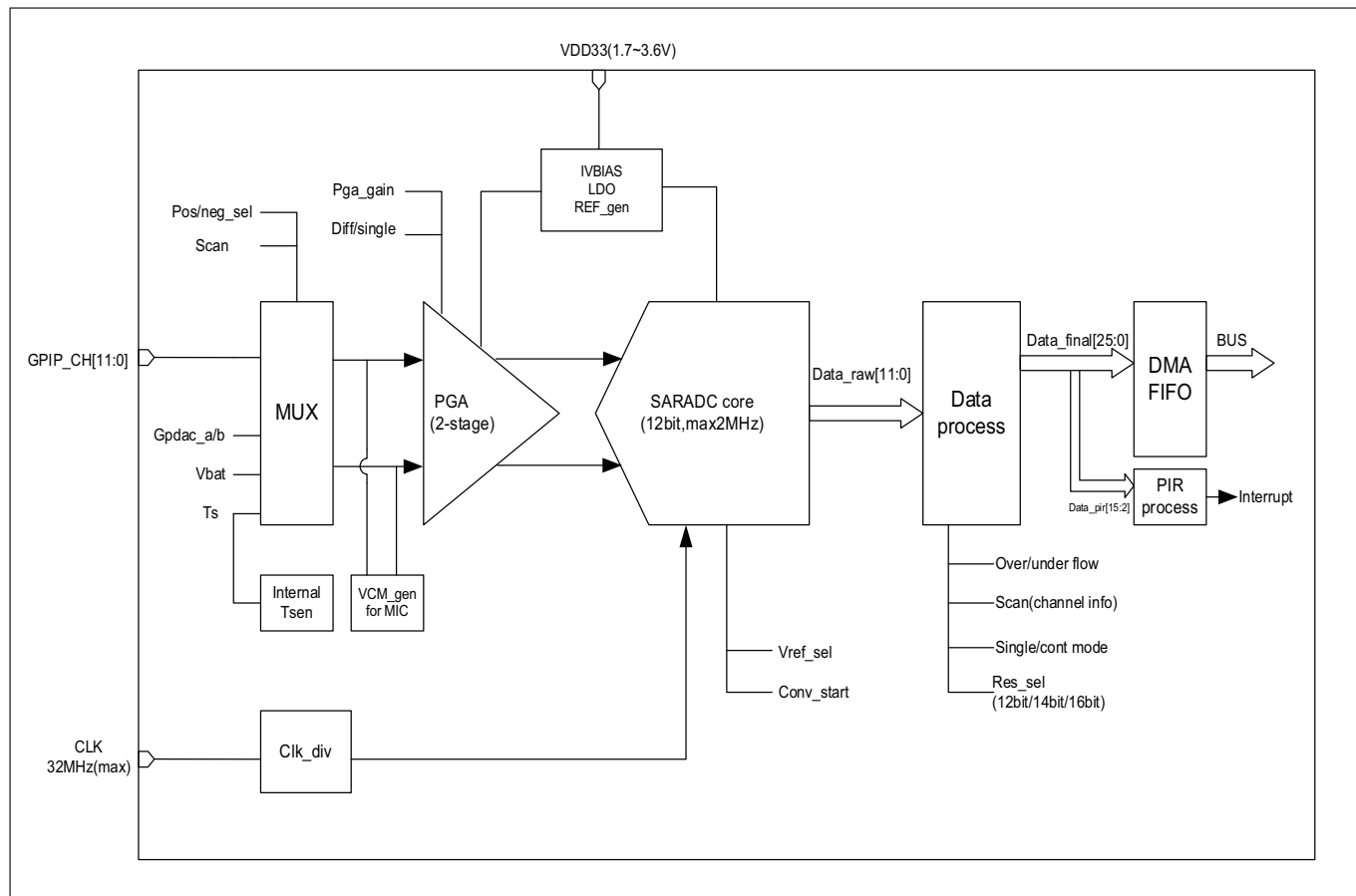


图 4.1: ADC 基本框图

ADC 模块包含五大部分，分别为前端输入通道选择器，程控放大器，ADC 采样模块，数据处理模块以及 FIFO。输入通道选择器用于选择需要采样的通道，既包含外部模拟信号，也包含内部模拟信号，程控放大器用于对输入信号做进一步处理，可以根据输入信号的特点，比如直流，交流，进行设定，以便得到更准确的转换值。ADC 采样模块是最主要的功能模块，实现通过逐次比较的方式，得到模拟信号到数字信号的转换。转换的结果为 12bit，数据处理模块负责将转换的结果进一步处理，包括添加通道信息等。最后得到的数据会推送到最后端的 FIFO 中。

#### 4.3.1 ADC 引脚和内部信号

表 4.1: ADC 内部信号

内部信号	信号类型	信号描述
VBAT/2	Input	从电源引脚分压过来的电压信号

表 4.1: ADC 内部信号

内部信号	信号类型	信号描述
TSEN	Input	内部温度传感器输出电压
VREF	Input	内部模拟模块参考电压
DACOUTA	Input	DAC 模块输出
DACOUTB	Input	DAC 模块输出

表 4.2: ADC 外部引脚

外部引脚	信号类型	信号描述
VDDA	Input	模拟模块供电电压正极
VSSA	Input	模拟模块供电地
ADC_CHX	Input	模拟输入引脚，总共 12 路

### 4.3.2 ADC 通道

ADC 采样的可以选择的通道包括外部模拟引脚的输入信号和芯片内部可选信号，具体包括：

- ADC CH0
- ADC CH1
- ADC CH2
- ADC CH3
- ADC CH4
- ADC CH5
- ADC CH6
- ADC CH7
- ADC CH8
- ADC CH9
- ADC CH10
- ADC CH11
- DAC OUTA

- DAC OUTB
- VBAT/2
- TSEN
- VREF
- GND

需要注意的是，如果选择 VBAT/2 或 TSEN 作为输入待采信号，需要把 `gpadc_vbat_en` 或 `gpadc_ts_en` 置位。ADC 模块可以支持单端输入或者差分输入，如果是单端输入模式，负极输入通道需要选择 GND。

### 4.3.3 ADC 时钟

ADC 模块的工作时钟来源如下图所示。

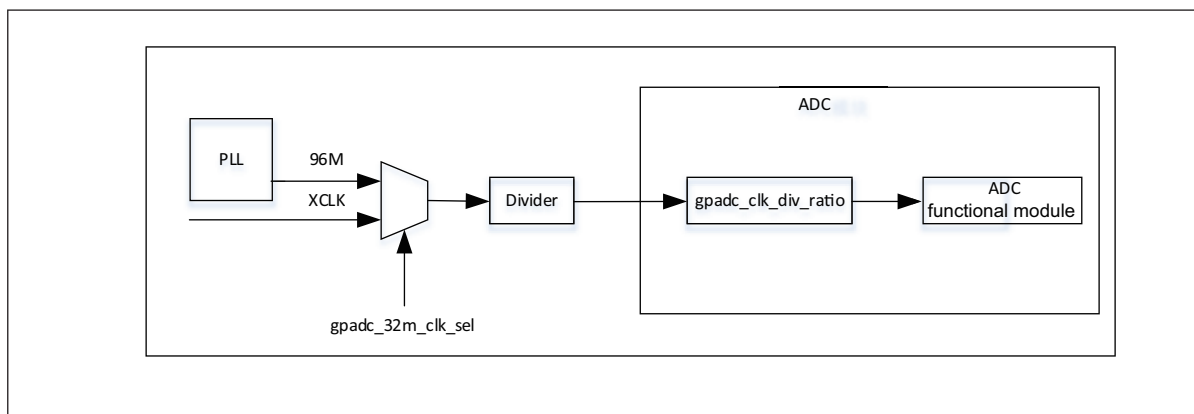


图 4.2: ADC 时钟

ADC 的时钟源可以选择来自 PLL 的 96M，XTAL 或者内部 RC32M，时钟源的选择在 GLB 模块中设定，同时 GLB 模块也提供了时钟分频，默认情况下，ADC 的时钟源是 96M，时钟分频是 2，到达 ADC 模块的时钟是 32M。在 ADC 模块内部，提供了一个时钟分频，默认 16 分频，故 ADC 模块内部的时钟默认是 2M。用户可以根据实际采样需求，自行调整 ADC 的时钟源和各个分频系数。gpadc\_32m\_clk\_div 分频寄存器宽度为 6bits，最大分频为 64，分频公式为  $f_{out} = f_{source} / (gpadc\_32m\_clk\_div + 1)$ 。gpadc\_clk\_div\_ratio 分频寄存器位于 ADC 模块内部，宽度为 3bits，其分频值定义如下：

- 3'b000: div=1
- 3'b001: div=4
- 3'b010: div=8
- 3'b011: div=12
- 3'b100: div=16
- 3'b101: div=20



- 3'b110: div=24
- 3'b111: div=32

#### 4.3.4 ADC 转换模式

ADC 支持单通道转换和扫描转换两种模式，在单通道转换模式下，用户需要通过 `gpadc_pos_sel` 选择正极输入通道，通过 `gpadc_neg_sel` 选择负极输入通道，同时把 `gpadc_cont_conv_en` 控制位设置为 0，表示单通道转换，然后设置 `gpadc_conv_start` 控制位启动转换即可。

在扫描转换模式下，`gpadc_cont_conv_en` 控制位需要设置为 1，ADC 根据 `gpadc_scan_length` 控制位设定的转换通道个数，依次按照 `gpadc_reg_scn_posX(X=1, 2)` 和 `gpadc_reg_scn_negX(X=1, 2)` 寄存器组所设定的通道顺序，逐个进行转换，转换的结果会自动推入 ADC 的 FIFO。`gpadc_reg_scn_posX(X=1, 2)` 和 `gpadc_reg_scn_negX(X=1, 2)` 寄存器组所设定的通道可以相同，这也就意味着用户可以实现对一个通道进行多次采样转换。

ADC 的转换结果一般都是放入 FIFO 中。用户需要根据实际转换通道数，设定 FIFO 接收数据阈值中断，通过 FIFO 的阈值中断，作为 ADC 转换完成中断。

#### 4.3.5 ADC 结果

`gpadc_raw_data` 寄存器存放了 ADC 的原始结果，在单端模式下，数据有效位是 12bits，无符号位，在差分模式下，高位为符号位，剩下 11bits 代表转换的结果。

`gpadc_data_out` 寄存器存放了 ADC 的结果，这个结果里包含了 ADC 结果，符号位和通道信息，数据格式如下：

表 4.3: ADC 转换结果含义

BitS	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
含义	正极通道号					负极通道号					转换结果															

转换结果的 bit21-bit25 是正极通道号，bit16-bit20 是负极通道号，bit0-bit15 是转换的数值。

`gpadc_res_sel` 控制位可以设定转换结果的位数为 12 位，14 位，和 16 位，其中 14 位和 16 位是多次采样提高精度得到的结果，其可以设置的值如下：

- 3'b000 12bit 2MS/s, OSR=1
- 3'b001 14bit 125kS/s, OSR=16
- 3'b010 14bit 31.25kS/s, OSR=64
- 3'b011 16bit 15.625KS/s, OSR=128
- 3'b100 16bit 7.8125KS/s, OSR=256

ADC 转换结果为左对齐模式，当选择 12 位时，转换结果的 bit15-bit4 有效，当选择 14 位时，转换结果的 bit15-bit2 有效，当选择 16 位时，转换结果的 bit15-bit0 有效。同样，在差分模式下，最高位是符号位，也就是，当选择 14 位时，

bit15 是符号位, bit14-bit2 是转换结果, bit14 是 MSB, 在单端模式下, 没有符号位, 也就是, 当选择 12 位时, bit15-bit4 是转换结果, bit15 是 MSB。

在实际使用中, ADC 的结果一般都是放入 FIFO, 这在多通道扫描模式下尤为重要, 所以用户一般都是从 ADC FIFO 获取转换结果, ADC FIFO 的数据格式 `gpadc_data_out` 寄存器中数据格式相同。

### 4.3.6 ADC 中断

ADC 模块在正极采样超量程和负极采样超量程时可以产生中断, 可以通过 `gpadc_pos_satur_mask`, `gpadc_neg_satur_mask` 屏蔽各自中断, 当中断产生时, 可以通过 `gpadc_pos_satur`, 和 `gpadc_neg_satur` 寄存器查询中断状态, 同时可以通过 `gpadc_pos_satur_clr` 和 `gpadc_neg_satur_clr` 清除中断。该功能可以用来判断输入电压是否异常。

### 4.3.7 ADC FIFO

ADC 模块拥有深度为 32 的 FIFO, 数据宽度为 26bits, 当 ADC 完成转换后, 会自动将结果推入到 FIFO。ADC 的 FIFO 有如下状态和中断管理功能:

- FIFO 满状态
- FIFO 非空状态
- FIFO Overrun 中断
- FIFO Underrun 中断

当中断产生时, 可以通过对应的 `clear` 位将中断标志清除掉。

利用 ADC 的 FIFO 用户可以实现三种模式获取数据: 查询模式, 中断模式, DMA 模式

#### 查询模式

CPU 轮询 `gpadc_rdy` 位, 当该控制位置位时, 说明 FIFO 中存在有效数据, CPU 可以根据 `gpadc_fifo_data_count` 获知 FIFO 数据个数并从 FIFO 读出这些数据。

#### 中断模式

CPU 设置 `gpadc_rdy_mask` 为 0, ADC 就会在 FIFO 有数据推入的时候产生中断, 用户可在中断函数中, 根据 `gpadc_fifo_data_count` 获知 FIFO 数据个数并从 FIFO 读出这些数据, 然后设置 `gpadc_rdy_clr` 清除中断。

#### DMA 模式

用户设定 `gpadc_dma_en` 控制位, 可以配合 DMA 完成转换数据到内存的搬运, 在使用 DMA 模式时, 通过 `gpadc_fifo_thl` 设置 ADC FIFO 发送 DMA 请求的数据个数阈值, DMA 在收到请求时, 会自动根据用户设定的参数, 从 FIFO 搬运指定个数的结果到对应的内存。

### 4.3.8 ADC 设置流程

#### 设置 ADC 时钟

根据 ADC 转换速度需求, 确定 ADC 的工作时钟, 设定 GLB 模块的 ADC 时钟源和分频, 结合 `gpadc_clk_div_ratio`,

确定最终 ADC 模块的工作时钟频率。

## 根据使用的通道设置 GPIO

根据使用的模拟引脚，确定使用的通道号，初始化对应的 GPIO 为模拟功能，需要注意的是，在设定 GPIO 为模拟输入的时候，不要设置 GPIO 的上拉或者下拉，需要设置为浮空输入。

## 设定要转换的通道

根据使用的模拟通道和转换模式，设定对应的通道寄存器，对于单通道转换，在 `gpadc_pos_sel` 和 `gpadc_neg_sel` 寄存器中设置转换的通道信息。对于多通道扫描模式，根据要扫描通道数目和扫描顺序，设定 `gpadc_scan_length`, `gpadc_reg_scn_posX` 和 `gpadc_reg_scn_negX`。

## 设定数据读取方式

根据 ADC FIFO 介绍的读取数据方式，选择使用的模式，设置对应的寄存器。如果使用 DMA，同样需要配置 DMA 的一个通道，配合 ADC FIFO 完成数据的搬运。

## 启动转换

最后设置 `gpadc_res_sel` 选择数据转换结果的精度，最后设置 `gpadc_global_en=1`，`gpadc_conv_start=1` 就可以启动 ADC 开始转换。当转换完成，需要再次转换时，需要将 `gpadc_conv_start` 设置为 0，再设置为 1，以便再次触发转换。

### 4.3.9 VBAT 测量

这里的 VBAT/2 测量的是芯片 VDD33 的电压，而不是外部的比如锂电池的电压，如果需要测量锂电池等供电源头的电压，可以将电压分压，然后输入 ADC 的 GPIO 模拟通道，测量 VDD33 的电压可以减少 GPIO 的使用。

ADC 模块测量的 VBAT/2 电压是经过分压的，实际输入到 ADC 模块的电压是 VDD33 的一半，即  $VBAT/2 = VDD33/2$ 。由于电压经过分压，为了得到较高的精确度，建议 ADC 的参考电压选择 1.8V，采用单端模式，正极输入电压选择 VBAT/2，负极输入电压选择 GND，同时将 `Gpadc_vbat_en` 设置为 1，启动转换后，将对应的转换结果乘以 2 就可以得到 VDD33 电压。

### 4.3.10 TSEN 测量

ADC 可以测量内部二极管或者外部二极管电压值，而二极管的压差和温度有关，所以通过测量二极管的电压，可以计算得到环境温度，我们称之为 Temperature Sensor，简称 TSEN。

TSEN 的测试原理是通过一个二极管上面测量两次不同大小的电流产生的电压差  $\Delta V$  随着温度的变化拟合的曲线，无论外部或者内部二极管的测量，最终输出的值和温度有关，都可以表示成  $\Delta(ADC\_out) = 7.753T + X$ ，当我们知道了电压值，也就知道了温度 T。这里的 X 是一个偏移值，可以作为标准值，在实际使用前，我们需要确定 X。芯片厂商会在芯片出厂前，在标准温度下，例如室温 25 度，测量  $\Delta(ADC\_out)$ ，从而得到 X。在用户使用的时候，只要根据公式  $T = [\Delta(ADC\_out) - X] / 7.753$ ，就可以得到温度 T。

在使用 TSEN 时，建议把 ADC 设置成 16bits 模式，通过多次采样以减少误差，参考电压选择 1.8V 以提高精度，设置 `gpadc_ts_en` 为 1 以便启动 TSEN 功能，如果选择内部二极管，`gpadc_tsext_sel=0`，如果选择外部二极管，`gpadc_tsext_sel=1`，根据实际情况选择正向输入通道，如果是内部二极管，选择 TSEN 通道，如果是外部，选择对应的模拟 GPIO 通道，负极输入端选择 GND。在上述设定完毕后，设置 `gpadc_tsvbe_low=0`，启动测量，得到测量结果 V0，再设

置 `gpadc_tsvbe_low=1`，启动测量，得到测量结果  $V1, \Delta(\text{ADC\_out})=V1-V0$ ，根据公式  $T=[\Delta(\text{ADC\_out})-X]/7.753$ ，得到温度  $T$ 。

## 4.4 寄存器描述

名称	描述
<code>gpadc_config</code>	GPADC configuration register
<code>gpadc_dma_rdata</code>	GPADC dma read data register
<code>gpadc_reg_cmd</code>	GPADC configuration register
<code>gpadc_reg_config1</code>	GPADC configuration register1
<code>gpadc_reg_config2</code>	GPADC configuration register2
<code>gpadc_reg_scn_pos1</code>	GPADC conervation sequence 1
<code>gpadc_reg_scn_pos2</code>	GPADC conervation sequence 2
<code>gpadc_reg_scn_neg1</code>	GPADC conervation sequence 3
<code>gpadc_reg_scn_neg2</code>	GPADC conervation sequence 4
<code>gpadc_reg_status</code>	GPADC status register
<code>gpadc_reg_isr</code>	GPADC status flag register
<code>gpadc_reg_result</code>	GPADC result register
<code>gpadc_reg_raw_result</code>	GPADC raw result register
<code>gpadc_reg_define</code>	GPADC define register

### 4.4.1 gpadc\_config

地址：0x40002000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
RSVD								FIFOTHL		FIFODACN					
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RSVD	FURM	FORM	RDYM	RSVD	URCL	ORCL	RDY CLR	RSVD	FIFO UR	FIFO OR	RDY	FIFO FULL	FIFO NE	FIFO CLR	DMA EN

位	名称	权限	复位值	描述
31:24	RSVD			

位	名称	权限	复位值	描述
23:22	FIFOTHL	R/W	2'd0	fifo threshold 2'b00: 1 data 2'b01: 4 data 2'b10: 8 data 2'b11: 16 data
21:16	FIFODACN	R	6'd0	fifo data number
15	RSVD			
14	FURM	R/W	1'b0	write 1 mask
13	FORM	R/W	1'b0	write 1 mask
12	RDYM	R/W	1'b0	write 1 mask
11	RSVD			
10	URCL	R/W	1'b0	Write 1 to clear flag
9	ORCL	R/W	1'b0	Write 1 to clear flag
8	RDYCLR	R/W	1'b0	Write 1 to clear flag
7	RSVD			
6	FIFOUR	R	1'b0	FIFO underrun interrupt flag
5	FIFOOR	R	1'b0	FIFO overrun interrupt flag
4	RDY	R	1'b0	Conversion data ready interrupt flag
3	FIFOFULL	R	1'b0	FIFO full flag
2	FIFONE	R	1'b0	FIFO not empty flag
1	FIFOCLR	W1C	1'b0	FIFO clear signal
0	DMAEN	R/W	1'b0	GPADC DMA enable

#### 4.4.2 gpadc\_dma\_rdata

地址: 0x40002004

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
RSVD						DMARDA									
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
DMARDA															

位	名称	权限	复位值	描述
31:26	RSVD			
25:0	DMARDA	R	26'd0	GPADC final conversion result stored in the FIFO

位	名称	权限	复位值	描述
---	----	----	-----	----

### 4.4.3 gpadc\_reg\_cmd

地址: 0x4000f90c

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
RSVD	STEN	SENSEL		CSPU	RSVD			MBEN	MPG		M1D	M2D	DWEN	RSVD	BMB
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
MPEN	MBI EN	NG	POSSEL					NEGSEL					SRST	CSTA	GEN

位	名称	权限	复位值	描述
31	RSVD			
30	STEN	R/W	1'b0	enable sensor dc test mux
29:28	SENSEL	R/W	2'h0	selected output current channel and measurement channel 2'h0: 1st channel 2'h1: 2nd channel 2'h2: 3rd channel 2'h3: 4th channel
27	CSPU	R/W	1'b0	enable chip sensor test 1'b0: disable 1'b1: enable
26:24	RSVD			
23	MBEN	R/W	1'b0	micboost 32db enable 1'b0: 16dB 1'b1: 32dB
22:21	MPG	R/W	2'h0	mic_pga2_gain 2'h0: 0dB 2'h1: 6dB 2'h2: -6dB 2'h3: 12dB
20	M1D	R/W	1'b0	mic1 diff enable 1'b0: single 1'b1: diff
19	M2D	R/W	1'b0	mic2 diff enable 1'b0: single 1'b1: diff

位	名称	权限	复位值	描述
18	DWEN	R/W	1'b0	dwa enable 1'b0: dwa disable 1'b1: dwa enable
17	RSVD			
16	BMB	R/W	1'b0	micboost amp bypass 1'b0: not bypass 1'b1: bypass
15	MPEN	R/W	1'b0	micpga enable 1'b0: micpga disable 1'b1: miapga enable
14	MBIEN	R/W	1'b0	enable micbias 1'b0: micbias power down 1'b1: miabias power on
13	NG	R/W	1'b0	set negative input of adc to ground 1'b0: disable 1'b1: enable
12:8	POSSEL	R/W	5'hf	select adc positive input in none-scan mode 5'h0 gpip_ch[0] 5'h1 gpip_ch[1] 5'h2 gpip_ch[2] 5'h3 gpip_ch[3] 5'h4 gpip_ch[4] 5'h5 gpip_ch[5] 5'h6 gpip_ch[6] 5'h7 gpip_ch[7] 5'h8 gpip_ch[8] 5'h9 gpip_ch[9] 5'h10 gpip_ch[10] 5'h11 gpip_ch[11] 5'h12 daca 5'h13 dacb 5'h14 temp_p 5'h16 vref 5'h18 vbat/2 5'h23 31 avss

位	名称	权限	复位值	描述
7:3	NEGSEL	R/W	5'hf	select adc negative input in none-scan mode 5'h0 gpip_ch[0] 5'h1 gpip_ch[1] 5'h2 gpip_ch[2] 5'h3 gpip_ch[3] 5'h4 gpip_ch[4] 5'h5 gpip_ch[5] 5'h6 gpip_ch[6] 5'h7 gpip_ch[7] 5'h8 gpip_ch[8] 5'h9 gpip_ch[9] 5'h10 gpip_ch[10] 5'h11 gpip_ch[11] 5'h12 daca 5'h13 dacb 5'h14 temp_p 5'h16 vref 5'h18 vbat/2 5'h23 31 avss
2	SRST	R/W	1'b0	user reset the whole block 1'h0: not reset 1'h1: reset
1	CSTA	R/W	1'b0	1'h0: stop conervation 1'h1: start conervation
0	GEN	R/W	1'b0	1'h0: disable ADC 1'h1: enable ADC

#### 4.4.4 gpadc\_reg\_config1

地址: 0x4000f910

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
RSVD	V18SEL		V11SEL		DTEN	SCEN	SCLEN				CDRD			CAIV	RSVD
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RSVD											RSSEL			CTCV	OCEN

位	名称	权限	复位值	描述
31	RSVD			
30:29	V18SEL	R/W	2'h0	internal vdd18 select
28:27	V11SEL	R/W	2'h0	internal vdd11 select
26	DTEN	R/W	1'h0	Dither compensation enable



位	名称	权限	复位值	描述
25	SCEN	R/W	1'h0	select scan mode enable: 0: select gpadc_pos/neg_sel;1: select : select gpadc_scan_pos_x and gpadc_scan_neg_ x
24:21	SCLN	R/W	4'h0	select scan mode length 4'b0000 : select gpadc_scan_pos_0 and gpadc_scan_ neg_0 4'b0001 : select gpadc_scan_pos_1 and gpadc_scan_ neg_1 4'b0010 : select gpadc_scan_pos_2 and gpadc_scan_ neg_2 4'b0011 : select gpadc_scan_pos_3 and gpadc_scan_ neg_3 4'b0100 : select gpadc_scan_pos_4 and gpadc_scan_ neg_4 4'b0101 : select gpadc_scan_pos_5 and gpadc_scan_ neg_5 4'b0110 : select gpadc_scan_pos_6 and gpadc_scan_ neg_6 4'b0111 : select gpadc_scan_pos_7 and gpadc_scan_ neg_7 4'b1000 : select gpadc_scan_pos_8 and gpadc_scan_ neg_8 4'b1001 : select gpadc_scan_pos_9 and gpadc_scan_ neg_9 4'b1010 : select gpadc_scan_pos_10 and gpadc_scan_ neg_10 4'b1011 : select gpadc_scan_pos_11 and gpadc_scan_ neg_11
20:18	CDRD	R/W	3'h3	analog 32M clock division ratio 3'b000: div=1 3'b001: div=4 3'b010: div=8 3'b011: div=12 3'b100: div=16 3'b101: div=20 3'b110: div=24 3'b111: div=32
17	CAIV	R/W	1'b0	analog clock 2M inverted
16:5	RSVD			

位	名称	权限	复位值	描述
4:2	RSSEL	R/W	3'h0	adc resolution/over-sample rate select 3'b000 12bit 2MS/s, OSR=1 3'b001 14bit 125kS/s, OSR=16 3'b010 14bit 31.25kS/s, OSR=64 3'b011 16bit 15.625kS/s, OSR=128 (voice mode 16kS/s) 3'b100 16bit 7.8125kS/s, OSR=256 (voice mode 8kS/s)
1	CTCV	R/W	1'b1	To enable continuous conversion 1'h0: one shot conversion 1'h1: continuous conversion
0	OCEN	R/W	1'b0	offset calibration enable

#### 4.4.5 gpadc\_reg\_config2

地址: 0x4000f914

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
TDCR	DLYSEL			PGA1GAIN			PGA2GAIN			TESTSEL			ATEN	BSEL	CHMD
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
CHMD	PCEN	PEN	POCAL			PVCMD			TSEN	DDM	VBEN	VRFS	DIFM	RSVD	

位	名称	权限	复位值	描述
31	TDCR	R/W	1'b0	tSEN diode current
30:28	DLYSEL	R/W	3'h0	adc conversion speed
27:25	PGA1GAIN	R/W	3'h0	3'h0: disable 3'h1: gain=1 3'h2: gain=2 3'h3: gain=4 3'h4: gain=8 3'h5: gain=16 3'h6: gain=32 3'h7: gain=32
24:22	PGA2GAIN	R/W	3'h0	3'h0: disable 3'h1: gain=1 3'h2: gain=2 3'h3: gain=4 3'h4: gain=8 3'h5: gain=16 3'h6: gain=32 3'h7: gain=32

位	名称	权限	复位值	描述
21:19	TESTSEL	R/W	3'h0	select test point 0 7
18	ATEN	R/W	1'b0	Analog test enable.
17	BSEL	R/W	1'b0	adc analog portion low power mode select 1'h0: Full biasing current 1'h1: Half biasing current
16:15	CHMD	R/W	2'h3	2'b11 all off 2'b11 Vref AZ on 2'b11 Vref AZ and PGA chop on 2'b11 Vref AZ and PGA chop+RPC on
14	PCEN	R/W	1'b0	enable pga input vcm bias
13	PEN	R/W	1'b0	1'h0: disable PGA 1'h1 enable PGA
12:9	POCAL	R/W	4'h8	pga offset calibration
8:7	PVCM	R/W	2'h2	Audio PGA output common mode control 2'b00: cm=1V 2'b11: cm=1.2V 2'b11: cm=1.4V 2'b11: cm=1.6V
6	TSEN	R/W	1'b0	1'h0: disable temperature sensor 1'h1: enable temperature sensor
5	DDM	R/W	1'b0	1'h0: internal diode mode 1'h1: external diode mode
4	VBEN	R/W	1'b0	1'h0: disable VBAT sensor 1'h1 enable VBAT sensor
3	VRFS	R/W	1'b0	ADC reference select 1'h0 3.3V 1'h1 1.8V
2	DIFM	R/W	1'b0	1'h0 single-ended 1'h1 differential
1:0	RSVD			

#### 4.4.6 gpadc\_reg\_scn\_pos1

地址: 0x4000f918

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
RSVD		SCANP5					SCANP4					SCAN3			
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SCAN3		SCANP2					SCANP1					SCANP0			

位	名称	权限	复位值	描述
31:30	RSVD			
29:25	SCANP5	R/W	5'hf	definition is the same as adc_reg_cmd.adc_pos_sel
24:20	SCANP4	R/W	5'hf	definition is the same as adc_reg_cmd.adc_pos_sel
19:15	SCAN3	R/W	5'hf	definition is the same as adc_reg_cmd.adc_pos_sel
14:10	SCANP2	R/W	5'hf	definition is the same as adc_reg_cmd.adc_pos_sel
9:5	SCANP1	R/W	5'hf	definition is the same as adc_reg_cmd.adc_pos_sel
4:0	SCANP0	R/W	5'hf	definition is the same as adc_reg_cmd.adc_pos_sel

#### 4.4.7 gpadc\_reg\_scn\_pos2

地址: 0x4000f91c

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
RSVD		SCANP11					SCANP10					SCAN9			
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SCAN9	SCANP8					SCANP7					SCANP6				

位	名称	权限	复位值	描述
31:30	RSVD			
29:25	SCANP11	R/W	5'hf	definition is the same as adc_reg_cmd.adc_pos_sel
24:20	SCANP10	R/W	5'hf	definition is the same as adc_reg_cmd.adc_pos_sel
19:15	SCAN9	R/W	5'hf	definition is the same as adc_reg_cmd.adc_pos_sel
14:10	SCANP8	R/W	5'hf	definition is the same as adc_reg_cmd.adc_pos_sel
9:5	SCANP7	R/W	5'hf	definition is the same as adc_reg_cmd.adc_pos_sel
4:0	SCANP6	R/W	5'hf	definition is the same as adc_reg_cmd.adc_pos_sel

#### 4.4.8 gpadc\_reg\_scn\_neg1

地址: 0x4000f920

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
RSVD		SCANN5					SCANN4					SCAN3			
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SCAN3	SCANN2					SCANN1					SCANN0				

位	名称	权限	复位值	描述
31:30	RSVD			
29:25	SCANN5	R/W	5'hf	definition is the same as adc_reg_cmd.adc_neg_sel
24:20	SCANN4	R/W	5'hf	definition is the same as adc_reg_cmd.adc_neg_sel
19:15	SCAN3	R/W	5'hf	definition is the same as adc_reg_cmd.adc_neg_sel
14:10	SCANN2	R/W	5'hf	definition is the same as adc_reg_cmd.adc_neg_sel
9:5	SCANN1	R/W	5'hf	definition is the same as adc_reg_cmd.adc_neg_sel
4:0	SCANN0	R/W	5'hf	definition is the same as adc_reg_cmd.adc_neg_sel

#### 4.4.9 gpadc\_reg\_scn\_neg2

地址: 0x4000f924

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
RSVD		SCANN11					SCANN10					SCAN9			
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SCAN9	SCANN8					SCANN7					SCANN6				

位	名称	权限	复位值	描述
31:30	RSVD			
29:25	SCANN11	R/W	5'hf	definition is the same as adc_reg_cmd.adc_neg_sel
24:20	SCANN10	R/W	5'hf	definition is the same as adc_reg_cmd.adc_neg_sel
19:15	SCAN9	R/W	5'hf	definition is the same as adc_reg_cmd.adc_neg_sel
14:10	SCANN8	R/W	5'hf	definition is the same as adc_reg_cmd.adc_neg_sel
9:5	SCANN7	R/W	5'hf	definition is the same as adc_reg_cmd.adc_neg_sel
4:0	SCANN6	R/W	5'hf	definition is the same as adc_reg_cmd.adc_neg_sel

#### 4.4.10 gpadc\_reg\_status

地址: 0x4000f928

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
RSVD															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RSVD															DRDY

位	名称	权限	复位值	描述
31:1	RSVD			
0	DRDY	R	1'b0	ADC final conversion data ready

#### 4.4.11 gpadc\_reg\_isr

地址: 0x4000f92c

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
RSVD															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RSVD						PSM	NSM	RSVD		PSC	NSC	RSVD		PS	NS

位	名称	权限	复位值	描述
31:10	RSVD			
9	PSM	R/W	1'h0	write 1 mask
8	NSM	R/W	1'h0	write 1 mask
7:6	RSVD			
5	PSC	R/W	1'b0	Write 1 to clear flag
4	NSC	R/W	1'b0	Write 1 to clear flag
3:2	RSVD			
1	PS	R	1'b0	ADC data positive side saturation interrupt flag
0	NS	R	1'b0	ADC data negative side saturation interrupt flag

#### 4.4.12 gpadc\_reg\_result

地址: 0x4000f930

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
RSVD						DATAOUT									
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
DATAOUT															

位	名称	权限	复位值	描述
31:26	RSVD			

位	名称	权限	复位值	描述
25:0	DATAOUT	R	26'h1EF0000	ADC final conversion result data, after calibration and signed/unsigned process

#### 4.4.13 gpadc\_reg\_raw\_result

地址: 0x4000f934

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
RSVD															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RSVD				RAWDATA											

位	名称	权限	复位值	描述
31:12	RSVD			
11:0	RAWDATA	R	12'h0	ADC Raw data

#### 4.4.14 gpadc\_reg\_define

地址: 0x4000f938

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
RSVD															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
OSCDATA															

位	名称	权限	复位值	描述
31:16	RSVD			
15:0	OSCDATA	R/W	16'h0	User defined or self calculated offset data 16-bit signed

## 5.1 简介

芯片内置一个 10bits 的数字模拟转换器 (DAC), FIFO 深度为 1, 支持 2 路 DAC 调制输出。可用于音频播放, 变送器电压调制。

## 5.2 主要特点

- DAC 调制精度为 10-bits
- DAC 的输入时钟可选为 32k、16k、8k 或 512k
- 支持 DMA 将内存搬运至 DAC 调制寄存器
- 支持双声道播放 DMA 搬运模式
- DAC 的输出引脚固定为 ChannelA 为 GPIO13, Channel 为 GPIO14

## 5.3 功能描述

DAC 模块基本框图如图所示。



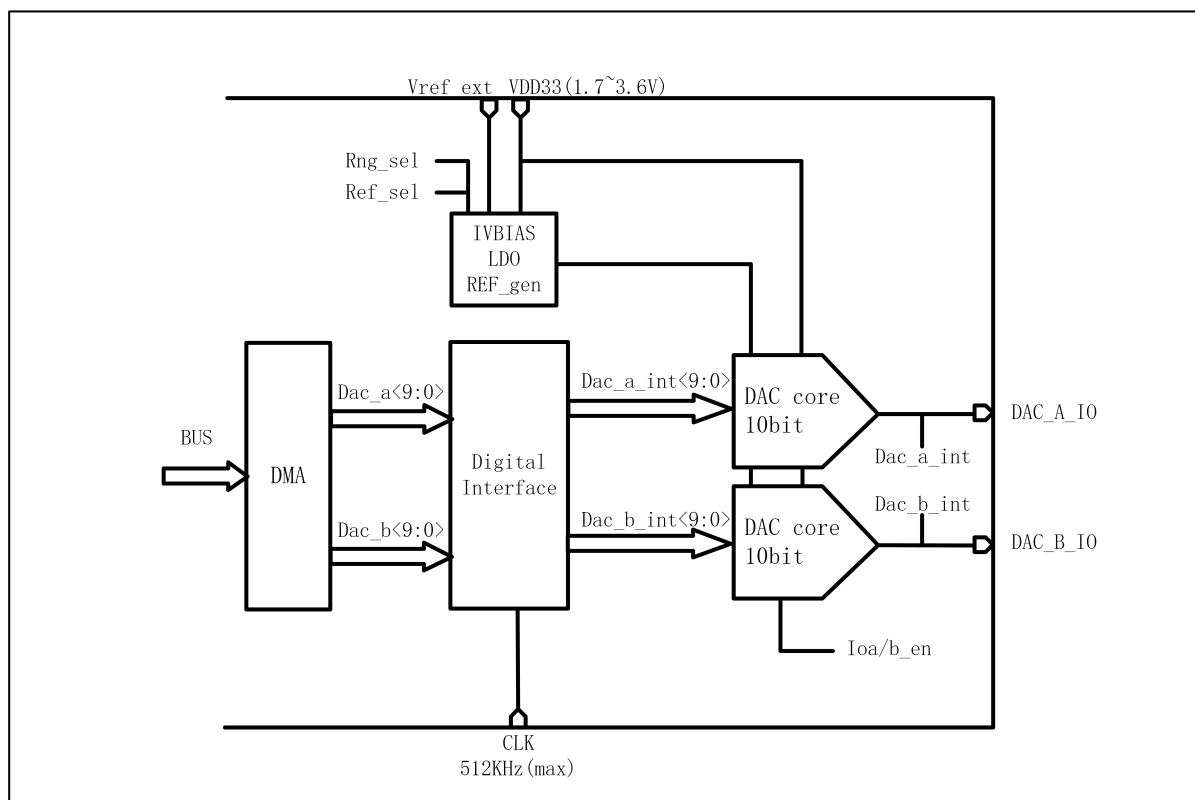


图 5.1: DAC 基本框图

- DAC 模块支持最多两路调制输出
- DAC 模块支持双声道 DMA 数据搬运模式
- DAC 模块支持长度为 32-bit 的 DMA 数据接口，其中高 16 位将会调制在 ChannelA 的引脚上，低 16 位调制在 ChannelB 引脚。

## 5.4 寄存器描述

名称	描述
gpdac_config	GPDAC configuration register
gpdac_dma_config	GPDAC dma configuration register
gpdac_dma_wdata	GPDAC dma write data register

### 5.4.1 gpdac\_config

地址: 0x40002040

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
RSVD								CHBSEL				CHASEL			
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RSVD					MODE			RSVD		DSMMODE		RSVD		EN2	EN

位	名称	权限	复位值	描述
31:24	RSVD			
23:20	CHBSEL	R/W	0	Channel B Source Select 0: Reg 1: DMA 2: DMA + Filter 3: Sin Gen 4: A (The same as channel A) 5: A (Inverse of channel A)
19:16	CHASEL	R/W	0	Channel A Source Select 0: Reg 1: DMA 2: DMA + Filter 3: Sin Gen
15:11	RSVD			
10:8	MODE	R/W	0	0:32k, 1:16k, 3:8k, 4:512k(for DMA only)
7:6	RSVD			
5:4	DSMMODE	R/W	0	0:bypass, 1:dsm order=1, 2: dsm order=2
3:2	RSVD			
1	EN2	R/W	0	GPDAC enable 2 (for B channel)
0	EN	R/W	0	GPDAC enable

## 5.4.2 gpdac\_dma\_config

地址: 0x40002044

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
RSVD															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RSVD										DMAFM		RSVD		DMA TXEN	

位	名称	权限	复位值	描述
31:6	RSVD			
5:4	DMAFM	R/W	0	DMA TX format (Data 12-bit) 0: A0, A1, A2... 1: B0,A0, B1,A1, B2,A2... 2: A1,A0, A3,A2, A5,A4... (Note: 20'h0,[11:0] or 4'h0,[27:16],4'h0,[11:0])
3:1	RSVD			
0	DMATXEN	R/W	0	GPDAC DMA TX enable

### 5.4.3 gpdac\_dma\_wdata

地址: 0x40002048

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
DMAWDA															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
DMAWDA															

位	名称	权限	复位值	描述
31:0	DMAWDA	W	x	GPDAC DMA TX data

## 6.1 简介

DMA(Direct Memory Access) 是一种内存存取技术, 可以独立地直接读写系统内存, 而不需处理器介入处理。在同等程度的处理器负担下, DMA 是一种快速的数据传送方式。DMA 控制器有 4 组独立专用通道, 管理外围设备和内存之间的数据传输以提高总线效率。主要有三种类型传输包括内存至内存、内存至外设、外设至内存。并支持 LLI 链接列表功能。使用上由软件配置传输数据大小、数据源地址和目标地址。

## 6.2 主要特征

- 4 组独立专用通道
- 独立控制来源与目标存取宽度 (单字节、双字节、四字节)
- 每个通道独立作为读写缓存
- 每个通道可被独立的外设硬件触发或是软件触发
- 支持外设包括 UART、I2C、SPI、ADC。
- 八种流程控制
  - DMA 流程控制, 来源内存、目标内存
  - DMA 流程控制, 来源内存、目标外设
  - DMA 流程控制, 来源外设、目标内存
  - DMA 流程控制, 来源外设、目标外设
  - 目标外设流程控制, 来源外设、目标外设
  - 目标外设流程控制, 来源内存、目标外设
  - 来源外设流程控制, 来源外设、目标内存
  - 来源外设流程控制, 来源外设、目标外设

- 支持 LLI 链表功能，提高 DMA 效率

## 6.3 功能描述

### 6.3.1 工作原理

当一个设备试图通过总线直接向另一个设备传输数据时，它会先向 CPU 发送 DMA 请求信号。外设通过 DMA 向 CPU 提出接管总线控制权的总线请求，CPU 收到该信号后，在当前的总线周期结束后，会按 DMA 信号的优先级和提出 DMA 请求的先后顺序响应 DMA 信号。CPU 对某个设备接口响应 DMA 请求时，会让出总线控制权。于是在 DMA 控制器的管理下，外设和存储器直接进行数据交换，而不需 CPU 干预。数据传送完毕后，设备会向 CPU 发送 DMA 结束信号，交还总线控制权。

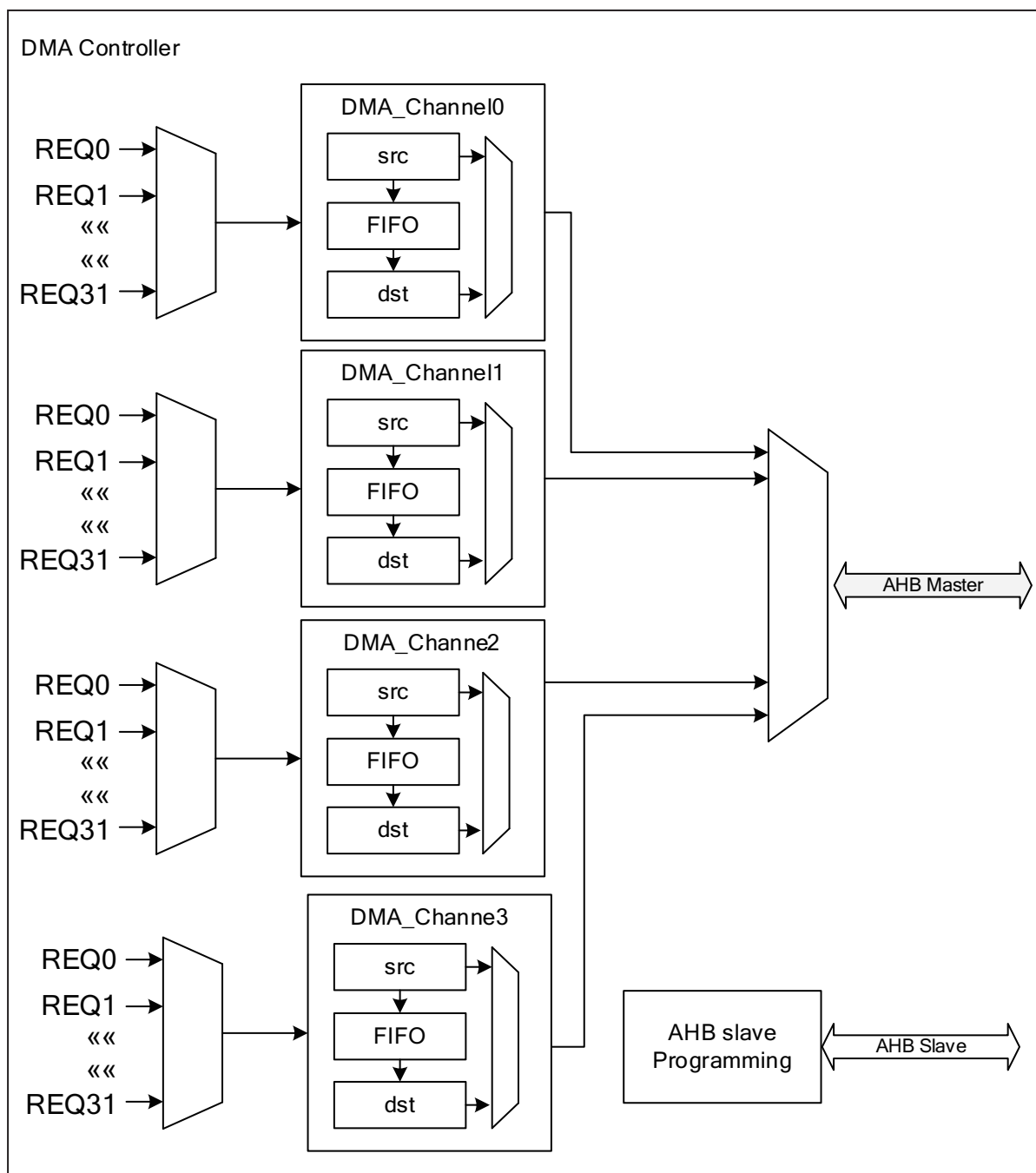


图 6.1: DMA 框图

DMA 包含一组 AHB Master 接口和一组 AHB Slave 接口。AHB Master 接口根据当前配置需求通过系统总线主动存取内存或是外设，做为数据搬移的端口。AHB Slave 接口作为配置 DMA 的接口，只支持 32-bit 存取。

### 6.3.2 DMA 通道配置

DMA 共支持 4 路通道，各通道之间互不干涉，可以同时运行，下面是 DMA 通道 x 的配置过程：

1. 在 DMA\_C0SrcAddr 寄存器中设置 32-bit 来源地址

2. 在 DMA\_C0DstAddr 寄存器中设置 32-bit 目标地址
3. 地址自动累加，可通过配置 DMA\_C0Control 寄存器中 SI(来源)、DI(目标) 设定是否开启地址自动累加模式，设置为 1 时，开启地址自动累加模式
4. 设置传输数据宽度，可通过配置 DMA\_C0Control 寄存器中 STW(来源)、DTW(目标) 位，宽度选项有单字节、双字节、四字节
5. Burst 型态，可通过配置 DMA\_C0Control 寄存器中 SBS(来源)、DBS(目标) 位来设置，配置选项有 Single、INCR4、INCR8、INCR16
6. 需要特别注意的是所配置的组合，单笔 burst 不能超过 16 字节
7. 设置数据传输长度的范围为：0-4095

### 6.3.3 外设支持

可通过配置 SrcPeripheral(来源) 和 DstPeripheral(目标) 来决定当前 DMA 配合的外设，关系为 0-3 : UART / 6-7 : I2C / 10-11 : SPI / 22-23 : ADC/DAC

#### UART 使用 DMA 传输数据

UART 发送数据包，使用 DMA 方式能大量减轻 CPU 处理的时间，使其 CPU 资源不被大量浪费，尤其在 UART 收发大量数据包（如高频率收发指令）时具有明显优势。

以 UART0 传输为例，配置过程如下：

1. 将寄存器 DMA\_C0Config[SRCPH] 位的值设置为 1，即将 Source peripheral 设置为 UART\_TX
2. 将寄存器 DMA\_C0Config[DSTPH] 位的值设置为 0，即将 Destination peripheral 设置为 UART\_RX

#### I2C 使用 DMA 传输数据 配置如下：

1. 将寄存器 DMA\_C0Config[SRCPH] 位的值设置为 7，即将 Source peripheral 设置为 I2C\_TX
2. 将寄存器 DMA\_C0Config[DSTPH] 位的值设置为 6，即将 Destination peripheral 设置为 I2C\_RX

#### SPI 使用 DMA 传输数据 配置如下：

1. 将寄存器 DMA\_C0Config[SRCPH] 位的值设置为 11，即将 Source peripheral 设置为 SPI\_TX
2. 将寄存器 DMA\_C0Config[DSTPH] 位的值设置为 10，即将 Destination peripheral 设置为 SPI\_RX

#### ADC0/1 使用 DMA 传输数据 配置如下：

1. 将寄存器 DMA\_C0Config[SRCPH] 位的值设置为 22/23，即将 Source peripheral 设置为 GPADC0/GPADC1

### 6.3.4 链表模式

DMA 支持链表工作模式。在进行一次 DMA 读或写操作时，可以向下一条链表中填写数据，当完成当前链表的数据传输后，通过读取 DMA\_COLL1 寄存器的数值获取下一条链表的起始地址，直接传输下一条链表中的数据。保证 DMA 传

输过程中连续不间断的工作，提高 CPU 和 DMA 的效率。

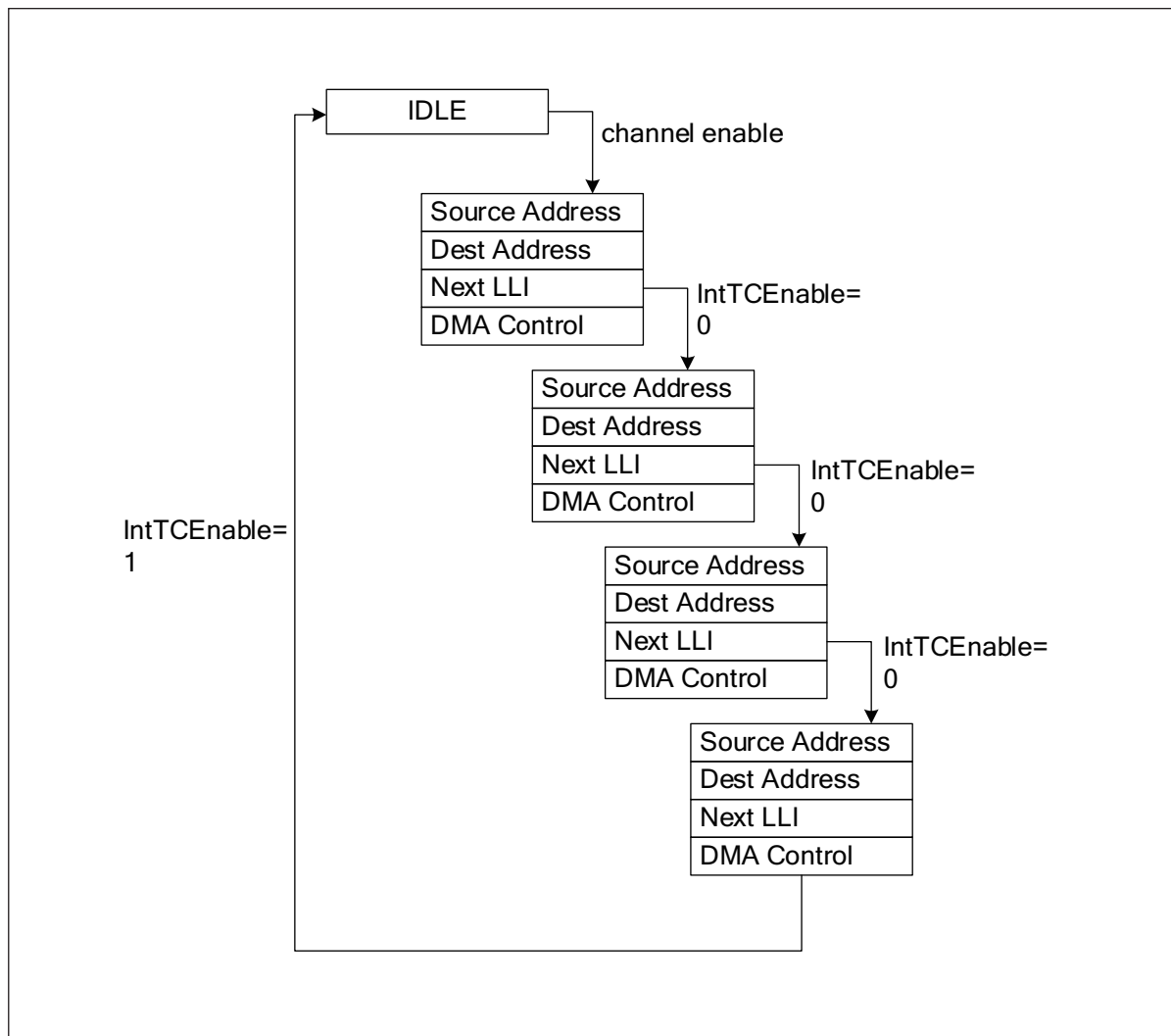


图 6.2: LLI 框架

### 6.3.5 DMA 中断

- DMA\_INT\_TCOMPLETED
  - 数据传输完成中断，当一次数据传输完毕后，会进入此中断
- DMA\_INT\_ERR
  - 数据传输出错中断，当数据传输过程中出现错误时，会进入此中断

## 6.4 传输模式



### 6.4.1 内存到内存

这个模式启动后，DMA 会根据设定好的搬移数量 (TransferSize)，将数据从来源地址搬到目标地址，传输完毕后 DMA 控制器会自动回到空闲状态，等待下一次的搬运。

具体配置流程如下：

1. 将寄存器 DMA\_C0SrcAddr 的值设置为来源的内存地址
2. 将寄存器 DMA\_C0DstAddr 的值设置为目标的内存地址
3. 选择传输模式，将寄存器 DMA\_C0Config[FLOWCTRL] 位的值设置为 0，即选择 memory-to-memory 模式
4. 设置 DMA\_C0Control 寄存器中对应的位的数值：DI、SI 位设置为 1，开启地址自动累加模式，DTW、STW 位分别设置来源和目标的传输宽度，DBS、SBS 位分别设置来源和目标的 burst 型态，
5. 选择合适的通道，使能 DMA，完成数据传输

### 6.4.2 内存到外设

在这种工作模式下，DMA 会根据设定好的搬移数量 (TransferSize)，把数据从来源端搬至内部缓存，当缓存空间不够时自动暂停，待有足够的缓存空间时继续，直到设定的搬移数量达到。另外一方面当目标外设请求触发会将目标配置 burst 到目标地址，直到达到设定搬移数量完成自动回到空闲状态，等待下一次启动

具体配置流程如下：

1. 将寄存器 DMA\_C0SrcAddr 的值设置为来源的内存地址
2. 将寄存器 DMA\_C0DstAddr 的值设置为目标的外设地址
3. 选择传输模式，将寄存器 DMA\_C0Config[FLOWCTRL] 位的值设置为 1，即选择 Memory-to-peripheral 模式
4. 设置 DMA\_C0Control 寄存器中对应的位的数值：DI、SI 位设置为 1，开启地址自动累加模式，DTW、STW 位分别设置来源和目标的传输宽度，DBS、SBS 位分别设置来源和目标的 burst 型态，
5. 选择合适的通道，使能 DMA，完成数据传输

### 6.4.3 外设到内存

在这种工作模式下，当来源外设请求触发时将来源配置 burst 到缓存，直到设定的搬移数量达到停止。另外一方面，当内部缓存足够一次目标 burst 数量时，DMA 会自动将缓存的内容搬到目标地址直到达到设定搬移数量完成自动回到空闲状态，等待下一次启动

具体配置流程如下：

1. 将寄存器 DMA\_C0SrcAddr 的值设置为来源的外设地址
2. 将寄存器 DMA\_C0DstAddr 的值设置为目标的内存地址
3. 选择传输模式，将寄存器 DMA\_C0Config[FLOWCTRL] 位的值设置为 2，即选择 Peripheral-to-memory 模式

4. 设置 DMA\_C0Control 寄存器中对应的位的数值：DI、SI 位设置为 1，开启地址自动累加模式，DTW、STW 位分别设置来源和目标的传输宽度，DBS、SBS 位分别设置来源和目标的 burst 型态，
5. 选择合适的通道，使能 DMA，完成数据传输

## 6.5 寄存器描述

名称	描述
DMA_IntStatus	Interrupt status
DMA_IntTCStatus	Interrupt terminal count request status
DMA_IntTCClear	Terminal count request clear
DMA_IntErrorStatus	Interrupt error status
DMA_IntErrClr	Interrupt error clear
DMA_RawIntTCStatus	Status of the terminal count interrupt prior to masking
DMA_RawIntErrorStatus	Status of the error interrupt prior to masking
DMA_EnbldChns	Channel enable status
DMA_SoftBReq	Software burst request
DMA_SoftSReq	Software single request
DMA_SoftLBReq	Software last burst request
DMA_SoftLSReq	Software last single request
DMA_Config	DMA general configuration
DMA_Sync	DMA request asynchronous setting
DMA_C0SrcAddr	Channel DMA source address
DMA_C0DstAddr	Channel DMA Destination address
DMA_C0LLI	Channel DMA link list
DMA_C0Control	Channel DMA bus control
DMA_C0Config	Channel DMA configuration
DMA_C1SrcAddr	Channel DMA source address
DMA_C1DstAddr	Channel DMA Destination address
DMA_C1LLI	Channel DMA link list
DMA_C1Control	Channel DMA bus control
DMA_C1Config	Channel DMA configuration
DMA_C2SrcAddr	Channel DMA source address

名称	描述
DMA_C2DstAddr	Channel DMA Destination address
DMA_C2LLI	Channel DMA link list
DMA_C2Control	Channel DMA bus control
DMA_C2Config	Channel DMA configuration
DMA_C3SrcAddr	Channel DMA source address
DMA_C3DstAddr	Channel DMA Destination address
DMA_C3LLI	Channel DMA link list
DMA_C3Control	Channel DMA bus control
DMA_C3Config	Channel DMA configuration

### 6.5.1 DMA\_IntStatus

地址：0x4000c000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
RSVD															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RSVD								INTSTA							

位	名称	权限	复位值	描述
31:8	RSVD			
7:0	INTSTA	R	0	Status of the DMA interrupts after masking

### 6.5.2 DMA\_IntTCStatus

地址：0x4000c004

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
RSVD															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RSVD								INTTCSTA							

位	名称	权限	复位值	描述
31:8	RSVD			
7:0	INTTCSTA	R	0	Interrupt terminal count request status

### 6.5.3 DMA\_IntTCClear

地址: 0x4000c008

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
RSVD															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RSVD								TCRC							

位	名称	权限	复位值	描述
31:8	RSVD			
7:0	TCRC	W	0	Terminal count request clear

### 6.5.4 DMA\_IntErrorStatus

地址: 0x4000c00c

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
RSVD															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RSVD								IES							

位	名称	权限	复位值	描述
31:8	RSVD			
7:0	IES	R	0	Interrupt error status

### 6.5.5 DMA\_IntErrClr

地址: 0x4000c010

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
RSVD															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RSVD								IEC							

位	名称	权限	复位值	描述
31:8	RSVD			
7:0	IEC	W	0	Interrupt error clear

### 6.5.6 DMA\_RawIntTCStatus

地址: 0x4000c014

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
RSVD															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RSVD								SOTCIPTM							

位	名称	权限	复位值	描述
31:8	RSVD			
7:0	SOTCIPTM	R	0	Status of the terminal count interrupt prior to masking

### 6.5.7 DMA\_RawIntErrorStatus

地址: 0x4000c018

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
RSVD															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RSVD								SOTEIPTM							

位	名称	权限	复位值	描述
31:8	RSVD			
7:0	SOTEIPTM	R	0	Status of the error interrupt prior to masking

### 6.5.8 DMA\_EnbldChns

地址：0x4000c01c

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
RSVD															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RSVD								CES							

位	名称	权限	复位值	描述
31:8	RSVD			
7:0	CES	R	0	Channel enable status

### 6.5.9 DMA\_SoftBReq

地址：0x4000c020

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
SBR															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SBR															

位	名称	权限	复位值	描述
31:0	SBR	R/W	0	Software burst request

### 6.5.10 DMA\_SoftSReq

地址：0x4000c024

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
SSR															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SSR															

位	名称	权限	复位值	描述
31:0	SSR	R/W	0	Software single request

### 6.5.11 DMA\_SoftLBReq

地址: 0x4000c028

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
SLBR															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SLBR															

位	名称	权限	复位值	描述
31:0	SLBR	R/W	0	Software last burst request

### 6.5.12 DMA\_SoftLSReq

地址: 0x4000c02c

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
SLSR															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SLSR															

位	名称	权限	复位值	描述
31:0	SLSR	R/W	0	Software last single request

### 6.5.13 DMA\_Config

地址: 0x4000c030

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
RSVD															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RSVD														AHB MEC	SDMA EN

位	名称	权限	复位值	描述
31:2	RSVD			
1	AHBMEC	R/W	0	AHB Master endianness configuration: 0 = little-endian, 1 = big-endian

位	名称	权限	复位值	描述
0	SDMAEN	R/W	0	SMDMA Enable.

### 6.5.14 DMA\_Sync

地址: 0x4000c034

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
DSLFD RS															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
DSLFD RS															

位	名称	权限	复位值	描述
31:0	DSLFD RS	R/W	0	DMA synchronization logic for DMA request signals: 0 = enable, 1 = disable

### 6.5.15 DMA\_C0SrcAddr

地址: 0x4000c100

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
DMASA															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
DMASA															

位	名称	权限	复位值	描述
31:0	DMASA	R/W	0	DMA source address

### 6.5.16 DMA\_C0DstAddr

地址: 0x4000c104

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
DMADA															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
DMADA															



位	名称	权限	复位值	描述
31:0	DMADA	R/W	0	DMA Destination address

### 6.5.17 DMA\_C0LLI

地址: 0x4000c108

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
FLLI															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
FLLI															

位	名称	权限	复位值	描述
31:0	FLLI	R/W	0	First linked list item. Bits [1:0] must be 0.

### 6.5.18 DMA\_C0Control

地址: 0x4000c10c

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
TCI EN	PROTECT			DI	SI	RSVD	IMTM MODE	DTW			STW			DBS	
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
DBS	SBS			TS											

位	名称	权限	复位值	描述
31	TCIEN	R/W	0	Terminal count interrupt enable bit. It controls whether the current LLI is expected to trigger the terminal count interrupt.
30:28	PROTECT	R/W	0	Protection.
27	DI	R/W	1	Destination increment. When set, the Destination address is incremented after each transfer.
26	SI	R/W	1	Source increment. When set, the source address is incremented after each transfer.
25	RSVD			
24	IMTMMODE	R/W	0	In Memory-to-memory mode, Set this bit high when Src data size is larger than Dst.

位	名称	权限	复位值	描述
23:21	DTW	R/W	3'b010	Destination transfer width: 8/16/32
20:18	STW	R/W	3'b010	Source transfer width: 8/16/32
17:15	DBS	R/W	3'b001	Destination burst size: 1/4/8/16
14:12	SBS	R/W	3'b001	Source burst size: 1/4/8/16. Note CH FIFO Size is 16Bytes and SBS*Size should <= 16B
11:0	TS	R/W	0	Transfer size: 0 4095. Number of data transfers left to complete when the SMDMA is the flow controller.

### 6.5.19 DMA\_C0Config

地址: 0x4000c110

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
RSVD		LLICOUNT										RSVD	HALT	ACTIVE	LOCK
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TCIM	IEM	FLOWCTRL			DSTPH					SRCPH				CHEN	

位	名称	权限	复位值	描述
31:30	RSVD			
29:20	LLICOUNT	R	0	LLI counter. Increased 1 each LLI run. Cleared 0 when config Control.
19	RSVD			
18	HALT	R/W	0	Halt: 0 = enable DMA requests, 1 = ignore subsequent source DMA requests.
17	ACTIVE	R	0	Active: 0 = no data in FIFO of the channel, 1 = FIFO of the channel has data.
16	LOCK	R/W	0	Lock.
15	TCIM	R/W	0	Terminal count interrupt mask.
14	IEM	R/W	0	Interrupt error mask.

位	名称	权限	复位值	描述
13:11	FLOWCTRL	R/W	0	000: Memory-to-memory (DMA) 001: Memory-to-peripheral (DMA) 010: Peripheral-to-memory (DMA) 011: Source peripheral-to-Destination peripheral (DMA) 100: Source peripheral-to-Destination peripheral (Destination peripheral) 101: Memory-to-peripheral (peripheral) 110: Peripheral-to-memory (peripheral) 111: Source peripheral-to-Destination peripheral (Source peripheral)
10:6	DSTPH	R/W	0	Destination peripheral. [23:22] DAC/ADC [11:10] SPI TX/RX [ 7: 6] I2C TX/RX [ 3: 0] UART1 TX/RX ; UART0 TX/RX
5:1	SRCPH	R/W	0	Source peripheral.
0	CHEN	R/W	0	Channel enable.

## 6.5.20 DMA\_C1SrcAddr

地址: 0x4000c200

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
SRCADDR															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SRCADDR															

位	名称	权限	复位值	描述
31:0	SRCADDR	R/W	0	DMA source address

## 6.5.21 DMA\_C1DstAddr

地址: 0x4000c204

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
DSTADDR															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
DSTADDR															

位	名称	权限	复位值	描述
31:0	DSTADDR	R/W	0	DMA Destination address

### 6.5.22 DMA\_C1LLI

地址: 0x4000c208

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
LLI															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
LLI														RSVD	

位	名称	权限	复位值	描述
31:2	LLI	R/W	0	First linked list item. Bits [1:0] must be 0.
1:0	RSVD			

### 6.5.23 DMA\_C1Control

地址: 0x4000c20c

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
I	PROT			DI	SI	RSVD		DWIDTH			SWIDTH			DBSIZE	
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
DB SIZE	SBSIZE			TRANSIZE											

位	名称	权限	复位值	描述
31	I	R/W	0	Terminal count interrupt enable bit. It controls whether the current LLI is expected to trigger the terminal count interrupt.
30:28	PROT	R/W	0	Protection.
27	DI	R/W	1	Destination increment. When set, the Destination address is incremented after each transfer.
26	SI	R/W	1	Source increment. When set, the source address is incremented after each transfer.
25:24	RSVD			
23:21	DWIDTH	R/W	3'b010	Destination transfer width: 8/16/32

位	名称	权限	复位值	描述
20:18	SWIDTH	R/W	3'b010	Source transfer width: 8/16/32
17:15	DBSIZE	R/W	3'b001	Destination burst size: 1/4/8/16
14:12	SBSIZE	R/W	3'b001	Source burst size: 1/4/8/16. Note CH FIFO Size is 16Bytes and SBSIZE*Swidth should <= 16B
11:0	TRANSIZE	R/W	0	Transfer size: 0 4095. Number of data transfers left to complete when the SMDMA is the flow controller.

## 6.5.24 DMA\_C1Config

地址: 0x4000c210

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
RSVD													H	A	L
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ITC	IE	FLOWCTRL				DSTPH					SRCPH				E

位	名称	权限	复位值	描述
31:19	RSVD			
18	H	R/W	0	Halt: 0 = enable DMA requests, 1 = ignore subsequent source DMA requests.
17	A	R	0	Active: 0 = no data in FIFO of the channel, 1 = FIFO of the channel has data.
16	L	R/W	0	Lock.
15	ITC	R/W	0	Terminal count interrupt mask.
14	IE	R/W	0	Interrupt error mask.
13:11	FLOWCTRL	R/W	0	000: Memory-to-memory (DMA) 001: Memory-to-peripheral (DMA) 010: Peripheral-to-memory (DMA) 011: Source peripheral-to-Destination peripheral (DMA) 100: Source peripheral-to-Destination peripheral (Destination peripheral) 101: Memory-to-peripheral (peripheral) 110: Peripheral-to-memory (peripheral) 111: Source peripheral-to-Destination peripheral (Source peripheral)

位	名称	权限	复位值	描述
10:6	DSTPH	R/W	0	Destination peripheral. [23:22] GPADC [21:18] I2S [17:14] PDM [13:10] SPI [ 9: 6] I2C [ 5: 0] UART
5:1	SRCPH	R/W	0	Source peripheral.
0	E	R/W	0	Channel enable.

### 6.5.25 DMA\_C2SrcAddr

地址: 0x4000c300

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
SRCADDR															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SRCADDR															

位	名称	权限	复位值	描述
31:0	SRCADDR	R/W	0	DMA source address

### 6.5.26 DMA\_C2DstAddr

地址: 0x4000c304

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
DSTADDR															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
DSTADDR															

位	名称	权限	复位值	描述
31:0	DSTADDR	R/W	0	DMA Destination address

### 6.5.27 DMA\_C2LLI

地址: 0x4000c308

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
LLI															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
LLI														RSVD	

位	名称	权限	复位值	描述
31:2	LLI	R/W	0	First linked list item. Bits [1:0] must be 0.
1:0	RSVD			

### 6.5.28 DMA\_C2Control

地址: 0x4000c30c

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
I	PROT			DI	SI	RSVD		DWIDTH			SWIDTH			DBSIZE	
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
DB SIZE	SBSIZE			TRANSIZE											

位	名称	权限	复位值	描述
31	I	R/W	0	Terminal count interrupt enable bit. It controls whether the current LLI is expected to trigger the terminal count interrupt.
30:28	PROT	R/W	0	Protection.
27	DI	R/W	1	Destination increment. When set, the Destination address is incremented after each transfer.
26	SI	R/W	1	Source increment. When set, the source address is incremented after each transfer.
25:24	RSVD			
23:21	DWIDTH	R/W	3'b010	Destination transfer width: 8/16/32
20:18	SWIDTH	R/W	3'b010	Source transfer width: 8/16/32
17:15	DBSIZE	R/W	3'b001	Destination burst size: 1/4/8/16
14:12	SBSIZE	R/W	3'b001	Source burst size: 1/4/8/16. Note CH FIFO Size is 16Bytes and SBSIZE*Swidht should <= 16B

位	名称	权限	复位值	描述
11:0	TRANSIZE	R/W	0	Transfer size: 0 4095. Number of data transfers left to complete when the SMDMA is the flow controller.

### 6.5.29 DMA\_C2Config

地址: 0x4000c310

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
RSVD													H	A	L
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ITC	IE	FLOWCTRL			DSTPH					SRCPH					E

位	名称	权限	复位值	描述
31:19	RSVD			
18	H	R/W	0	Halt: 0 = enable DMA requests, 1 = ignore subsequent source DMA requests.
17	A	R	0	Active: 0 = no data in FIFO of the channel, 1 = FIFO of the channel has data.
16	L	R/W	0	Lock.
15	ITC	R/W	0	Terminal count interrupt mask.
14	IE	R/W	0	Interrupt error mask.
13:11	FLOWCTRL	R/W	0	000: Memory-to-memory (DMA) 001: Memory-to-peripheral (DMA) 010: Peripheral-to-memory (DMA) 011: Source peripheral-to-Destination peripheral (DMA) 100: Source peripheral-to-Destination peripheral (Destination peripheral) 101: Memory-to-peripheral (peripheral) 110: Peripheral-to-memory (peripheral) 111: Source peripheral-to-Destination peripheral (Source peripheral)
10:6	DSTPH	R/W	0	Destination peripheral. [23:22] GPADC [21:18] I2S [17:14] PDM [13:10] SPI [ 9: 6] I2C [ 5: 0] UART



位	名称	权限	复位值	描述
5:1	SRCPH	R/W	0	Source peripheral.
0	E	R/W	0	Channel enable.

### 6.5.30 DMA\_C3SrcAddr

地址: 0x4000c400

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
SRCADDR															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SRCADDR															

位	名称	权限	复位值	描述
31:0	SRCADDR	R/W	0	DMA source address

### 6.5.31 DMA\_C3DstAddr

地址: 0x4000c404

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
DSTADDR															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
DSTADDR															

位	名称	权限	复位值	描述
31:0	DSTADDR	R/W	0	DMA Destination address

### 6.5.32 DMA\_C3LLI

地址: 0x4000c408

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
LLI															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
LLI														RSVD	

位	名称	权限	复位值	描述
31:2	LLI	R/W	0	First linked list item. Bits [1:0] must be 0.
1:0	RSVD			

### 6.5.33 DMA\_C3Control

地址: 0x4000c40c

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
I	PROT			DI	SI	RSVD		DWIDTH			SWIDTH			DBSIZE	
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
DB SIZE	SBSIZE			TRANSIZE											

位	名称	权限	复位值	描述
31	I	R/W	0	Terminal count interrupt enable bit. It controls whether the current LLI is expected to trigger the terminal count interrupt.
30:28	PROT	R/W	0	Protection.
27	DI	R/W	1	Destination increment. When set, the Destination address is incremented after each transfer.
26	SI	R/W	1	Source increment. When set, the source address is incremented after each transfer.
25:24	RSVD			
23:21	DWIDTH	R/W	3'b010	Destination transfer width: 8/16/32
20:18	SWIDTH	R/W	3'b010	Source transfer width: 8/16/32
17:15	DBSIZE	R/W	3'b001	Destination burst size: 1/4/8/16
14:12	SBSIZE	R/W	3'b001	Source burst size: 1/4/8/16. Note CH FIFO Size is 16Bytes and SBSIZE*Swidh should <= 16B
11:0	TRANSIZE	R/W	0	Transfer size: 0 4095. Number of data transfers left to complete when the SMDMA is the flow controller.

### 6.5.34 DMA\_C3Config

地址: 0x4000c410

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
RSVD													H	A	L
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ITC	IE	FLOWCTRL			DSTPH					SRCPH					E

位	名称	权限	复位值	描述
31:19	RSVD			
18	H	R/W	0	Halt: 0 = enable DMA requests, 1 = ignore subsequent source DMA requests.
17	A	R	0	Active: 0 = no data in FIFO of the channel, 1 = FIFO of the channel has data.
16	L	R/W	0	Lock.
15	ITC	R/W	0	Terminal count interrupt mask.
14	IE	R/W	0	Interrupt error mask.
13:11	FLOWCTRL	R/W	0	000: Memory-to-memory (DMA) 001: Memory-to-peripheral (DMA) 010: Peripheral-to-memory (DMA) 011: Source peripheral-to-Destination peripheral (DMA) 100: Source peripheral-to-Destination peripheral (Destination peripheral) 101: Memory-to-peripheral (peripheral) 110: Peripheral-to-memory (peripheral) 111: Source peripheral-to-Destination peripheral (Source peripheral)
10:6	DSTPH	R/W	0	Destination peripheral. [23:22] GPADC [21:18] I2S [17:14] PDM [13:10] SPI [ 9: 6] I2C [ 5: 0] UART
5:1	SRCPH	R/W	0	Source peripheral.
0	E	R/W	0	Channel enable.

## 7.1 简介

L1 Cache Controller 是位于处理器外部, 用于管理 Flash 上代码或者数据缓冲, 提高 CPU 访问 Flash 速度的单元模块。架构如下图:

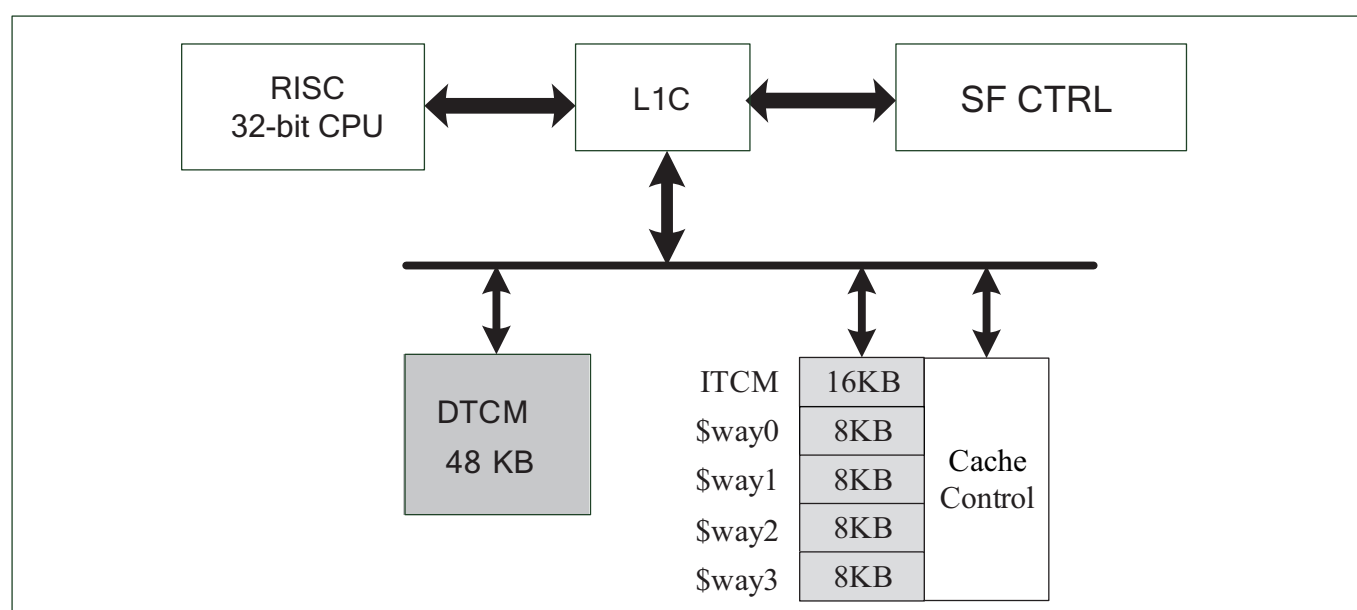


图 7.1: LIC 架构

L1C 是集成在处理器和 Flash 中间的高速单元, 因为处理器的速度非常快, 当处理器访问 Flash 需要等待的时间较长, 等待的时间即代表浪费的时间, 浪费的时间越少代表效能的浪费越多, L1C 缓存可以在处理器与 Flash 中间当作润滑的角色, 让处理器效率提升。

## 7.2 主要特征

- 4 路相联映射缓存 (4-way Set-Associative mapping)

- 可调变的缓存空间大小
- 与 TCM 地址空间连续，可以方便的配置 L1C 空间为 TCM 空间
- 支持缓存效能统计

## 7.3 功能描述

### 7.3.1 TCM 与 Cache RAM 资源相互变换

为了增加内存使用效率，支持将 Cache 的 32K RAM 全部或者部分调整为 TCM 空间，这样方便用户根据实际情况，调整内存使用方式和效率。Cache 的默认大小为 32K，分为 4 条 way，每条 way 是 8K，调整的单位是 1 条 way，也就是 8K。ITCM 的默认大小是 16K。通过 WayDisable 的设定可以灵活的调整 Cache 和 ITCM 的实际空间大小。

表 7.1: WayDisable 的设定

WayDisable	Cache	ITCM
none	32K	16K
1-way	24K	24K
2-way	16K	32K
3-way	8K	40K
4-way	0K	48K

### 7.3.2 缓存 (Cache)

缓存每条 line buffer 单位为 32 字节，采用 4 路相联映射缓存，应用架构如下：

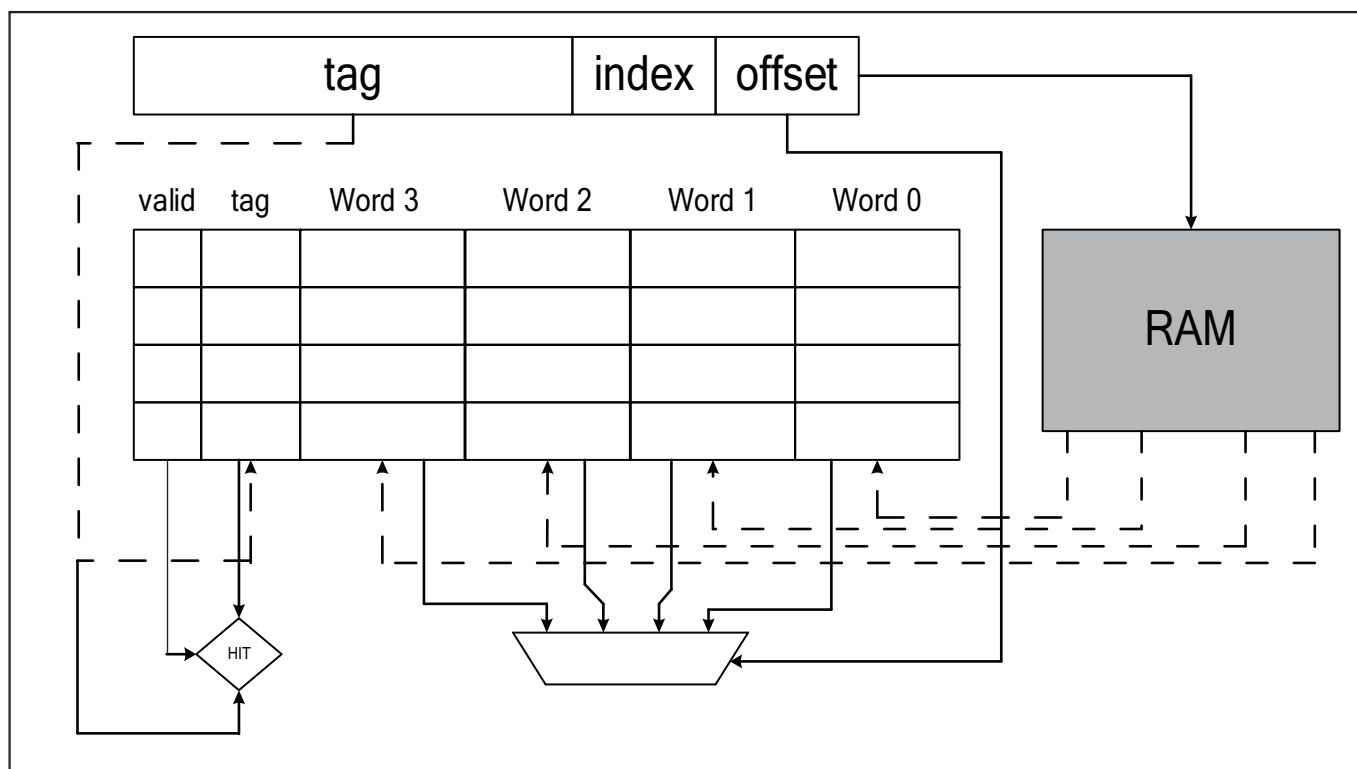


图 7.2: 缓存架构

每组相联映射缓存包含两个部分，第一个是 **tag**，包含了有效值和地址映像关系，第二部分是数据储存。当处理器存取缓存时，缓存处理器会比对地址和 **tag** 的关系，当地址比对成功时代表可以直接从缓存取数据，反之缓存处理器则会通过 **AHB Master** 抓取相关的数据并同时放进缓存和响应处理器的数据。当大部分的数据都可以在 **tag** 中比对成功时，可以大幅度缩短处理器的等待时间，增加使用效率。

## 7.4 寄存器描述

名称	描述
<code>l1c_config</code>	L1C feature configuration
<code>hit_cnt_lsb</code>	Low 32-bit hit counter
<code>hit_cnt_msb</code>	High 32-bit hit counter
<code>miss_cnt</code>	Miss counter

### 7.4.1 l1c\_config

地址: 0x40009000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
RSVD															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RSVD				WAYDIS				RSVD						CNT EN	CAC ABLE

位	名称	权限	复位值	描述
31:12	RSVD			
11:8	WAYDIS	R/W	4'b1111	Disable part of cache ways & used as ITCM
7:2	RSVD			
1	CNTEN	R/W	0	Cache performance counter enable
0	CACABLE	R/W	0	Cachable region enable

### 7.4.2 hit\_cnt\_lsb

地址: 0x40009004

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
CNTLSB															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
CNTLSB															

位	名称	权限	复位值	描述
31:0	CNTLSB	R	0	Hit counter low 32-bit

### 7.4.3 hit\_cnt\_msb

地址: 0x40009008

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
CNTMSB															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
CNTMSB															

位	名称	权限	复位值	描述
31:0	CNTMSB	R	0	total hit count = hit_cnt_msb*2 <sup>32</sup> + hit_cnt_lsb

#### 7.4.4 miss\_cnt

地址: 0x4000900c

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
MISSCNT															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
MISSCNT															

位	名称	权限	复位值	描述
31:0	MISSCNT	R	0	Miss counter



## 8.1 简介

红外遥控（Infrared remote，简称 IR）是一种无线、非接触式控制技术，具有抗干扰能力强、信息传输可靠、功耗低、成本低等优点。红外遥控的发射电路是采用红外发光二极管来发出经过调制的红外光波；接收电路由红外接收二极管、三极管或硅光电池组成，它们将红外发射器发射的红外光转换为相应的电信号，再送至后置放大器。

## 8.2 主要特征

- 支持以固定协议 NEC、RC-5 接收数据
- 支持以脉冲宽度计数方式接收任意格式数据
- 强大的红外波形编辑能力，可发出符合各种协议的波形
- 多达 15 个档位的功率设定，以适应不同的功耗要求
- 最多支持 64-bit 数据位
- 64 字节的接收 FIFO
- 载波频率与占空比可编程
- 最高工作频率为 32MHz

## 8.3 功能描述

### 8.3.1 固定协议接收

IR 接收支持两种固定的协议，分别为 NEC 协议和 RC-5 协议。

- NEC 协议

NEC 协议的逻辑 1 与逻辑 0 波形如下图所示：

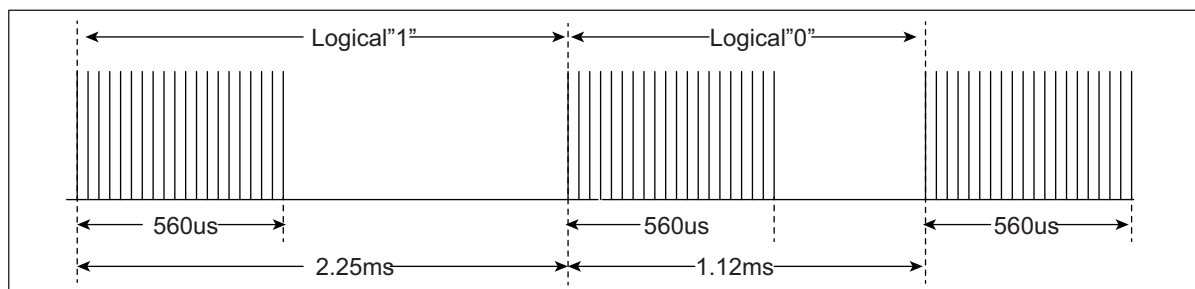


图 8.1: NEC 逻辑波形

逻辑 1 为 2.25ms，脉冲时间 560us；逻辑 0 位 1.12ms，脉冲时间 560us。NEC 协议的具体格式如下图所示：



图 8.2: NEC 协议波形

头脉冲是 9ms 的高电平脉冲和 4.5ms 的低电平，之后是 8-bit 的地址码及其反码，然后是 8-bit 的命令码及其反码，尾脉冲是 560us 高电平与 560us 低电平。

#### • RC-5 协议

RC-5 协议的逻辑 1 与逻辑 0 波形如下图所示：

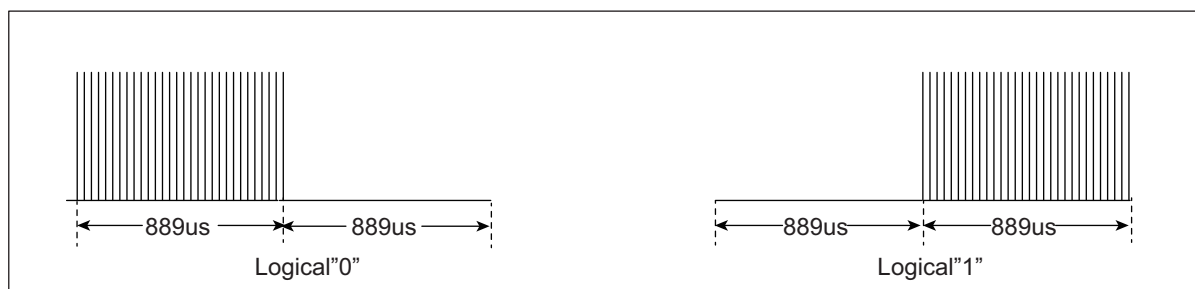


图 8.3: RC5 逻辑波形

逻辑 1 为 1.778ms，先是 889us 的低电平后是 889us 的高电平；逻辑 0 与逻辑 1 波形相反。RC-5 协议的具体格式如下图所示：

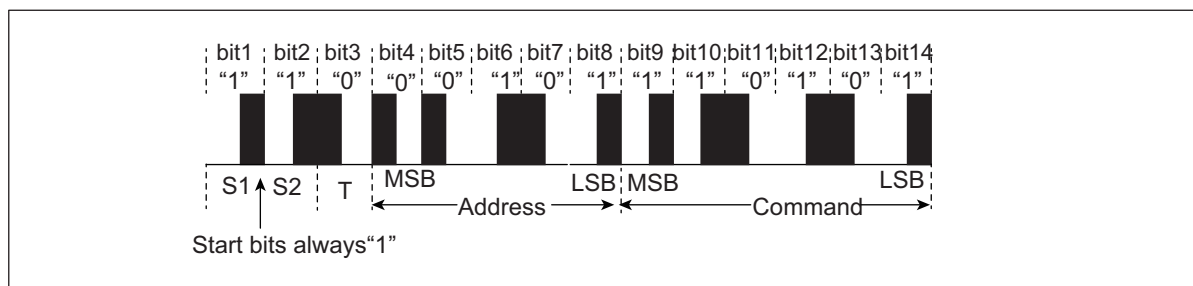


图 8.4: RC5 协议波形

前两位为起始位，固定为逻辑 1，第三位是翻转位，当一个键值发出然后再按下时该位会取反。之后 5 位是地址码与 6 位命令码。需要注意的是，常见的红外一体接收头为了提高接收灵敏度，接收到高电平后输出的是低电平，所以在使用 IR 接收功能时要将接收翻转功能打开。

### 8.3.2 脉冲宽度接收

对于 NEC、RC-5 协议以外的其他任意格式的数据，IR 会以其时钟去依次计数每个高低电平的持续时间，然后将数据存入到深度为 64 字节的接收 FIFO 之中。

### 8.3.3 普通发送模式

用户可根据具体协议分别对头脉冲、尾脉冲、逻辑 0 和逻辑 1 脉冲进行相应的配置。在设置时需要计算出所使用的协议内各种不同宽度脉冲的公共脉冲宽度单位，即最大公约数，填入寄存器 IRTX\_PULSE\_WIDTH 的低 12 位，各脉冲将其所对应的倍数填入寄存器 IRTX\_PW 中。IR 最大支持 64-bit 数据位，分为两个 32 位寄存器 IRTX\_DATA\_WORD0 和 IRTX\_DATA\_WORD1。

### 8.3.4 脉冲宽度发送

对于不适用于普通发送模式的协议，IR 提供了脉冲宽度发送的方式。先计算出所使用的协议内各种不同宽度脉冲的公共脉冲宽度单位，即最大公约数，填入寄存器 IRTX\_PULSE\_WIDTH 的低 12 位。然后将从第一个高电平开始到最后一个电平为止的各个电平宽度所对应的倍数填入寄存器 IRTX\_SWM\_PW\_n(0<=n<=7) 中，每个电平宽度倍数占 4-bit。

### 8.3.5 载波调制

通过设置寄存器 IRTX\_PULSE\_WIDTH 的高 16 位可以产生不同频率和占空比的载波，该寄存器的 <TXMPH1W> 位设置的是载波相位 1 的宽度，<TXMPH0W> 位设置的是载波相位 0 的宽度。

### 8.3.6 IR 中断

IR 有单独的发送和接收中断，当一次发送动作结束时，会产生发送中断。当接收到一段数据时，它会等待电平持续长度达到设定的结束阈值时产生接收中断。可以通过寄存器 IRTX\_INT\_STS 查询发送中断状态和清除中断，通过寄存器 IRRX\_INT\_STS 查询接收中断状态和清除中断。

## 8.4 寄存器描述

名称	描述
irtx_config	IR TX configuration register
irtx_int_sts	IR TX interrupt status
irtx_data_word0	IR TX data word0
irtx_data_word1	IR TX data word1
irtx_pulse_width	IR TX pulse width
irtx_pw	IR TX pulse width of phase
irtx_swm_pw_0	IR TX Software Mode pulse width data0
irtx_swm_pw_1	IR TX Software Mode pulse width data1
irtx_swm_pw_2	IR TX Software Mode pulse width data2
irtx_swm_pw_3	IR TX Software Mode pulse width data3
irtx_swm_pw_4	IR TX Software Mode pulse width data4
irtx_swm_pw_5	IR TX Software Mode pulse width data5
irtx_swm_pw_6	IR TX Software Mode pulse width data6
irtx_swm_pw_7	IR TX Software Mode pulse width data7
irrx_config	IR RX configuration register
irrx_int_sts	IR RX interrupt status
irrx_pw_config	IR RX pulse width configuration
irrx_data_count	IR RX data bit count
irrx_data_word0	IR RX data word0
irrx_data_word1	IR RX data word1
irrx_swm_fifo_config_0	IR RX FIFO configuration
irrx_swm_fifo_rdata	IR RX software mode pulse width data

### 8.4.1 irtx\_config

地址: 0x4000a600

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
RSVD														TXDATANU	
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TXDATANU				TPHL IS	TXTP EN	TXH HLI	TXH EN	RSVD	TXL1 HLI	TXL0 HLI	TXDA EN	TXSW EN	TXMD EN	TXO EN	TXEN

位	名称	权限	复位值	描述
31:18	RSVD			
17:12	TXDATANU	R/W	6'd31	Bit count of Data phase (unit: bit / PW for normal / SWM)
11	TPHLIS	R/W	1'b0	Tail pulse H/L inverse signal (Don't care if SWM is enabled) 0: Phase 0 is High (Active), phase 1 is Low (Idle) (H -> L) 1: Phase 0 is Low (Idle), phase 1 is High (Active) (L -> H)
10	TXTPEN	R/W	1'b1	Enable signal of tail pulse (Don't care if SWM is enabled)
9	TXHHLI	R/W	1'b0	Tail pulse H/L inverse signal (Don't care if SWM is enabled) 0: Phase 0 is High (Active), phase 1 is Low (Idle) (H -> L) 1: Phase 0 is Low (Idle), phase 1 is High (Active) (L -> H)
8	TXHEN	R/W	1'b1	Enable signal of head pulse (Don't care if SWM is enabled)
7	RSVD			
6	TXL1HLI	R/W	1'b0	Logic 1 H/L inverse signal (Don't care if SWM is enabled) 0: Phase 0 is High (Active), phase 1 is Low (Idle) (H -> L) 1: Phase 0 is Low (Idle), phase 1 is High (Active) (L -> H)
5	TXL0HLI	R/W	1'b0	Logic 0 H/L inverse signal (Don't care if SWM is enabled) 0: Phase 0 is High (Active), phase 1 is Low (Idle) (H -> L) 1: Phase 0 is Low (Idle), phase 1 is High (Active) (L -> H)
4	TXDAEN	R/W	1'b1	Enable signal of data phase (Don't care if SWM is enabled)
3	TXSWEN	R/W	1'b0	Enable signal of IRTX Software Mode (SWM)
2	TXMDEN	R/W	1'b0	Enable signal of output modulation
1	TXOEN	R/W	1'b0	Output inverse signal 1'b0: Output stays at Low during idle state 1'b1: Output stays at High during idle state
0	TXEN	R/W	1'b0	Enable signal of IRTX function Asserting this bit will trigger the transaction, and should be de-asserted after finish

## 8.4.2 irtx\_int\_sts

地址: 0x4000a604

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
RSVD							TXE EN	RSVD							TXE CLR
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RSVD							TXE MASK	RSVD							TXE INT

位	名称	权限	复位值	描述
31:25	RSVD			
24	TXEEN	R/W	1'b1	Interrupt enable of irtx_end_int
23:17	RSVD			
16	TXECLR	W1C	1'b0	Interrupt clear of irtx_end_int
15:9	RSVD			
8	TXEMASK	R/W	1'b1	Interrupt mask of irtx_end_int
7:1	RSVD			
0	TXEINT	R	1'b0	IRTX transfer end interrupt

### 8.4.3 irtx\_data\_word0

地址: 0x4000a608

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
TXDW0															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TXDW0															

位	名称	权限	复位值	描述
31:0	TXDW0	R/W	32'h0	TX data word 0 (Don't care if SWM is enabled)

### 8.4.4 irtx\_data\_word1

地址: 0x4000a60c

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
TXDW1															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TXDW1															

位	名称	权限	复位值	描述
31:0	TXDW1	R/W	32'h0	TX data word 1 (Don't care if SWM is enabled)

### 8.4.5 irtx\_pulse\_width

地址: 0x4000a610

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
TXMPH1W								TXMPH0W							
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RSVD				TXPWU											

位	名称	权限	复位值	描述
31:24	TXMPH1W	R/W	8'd34	Modulation phase 1 width
23:16	TXMPH0W	R/W	8'd17	Modulation phase 0 width
15:12	RSVD			
11:0	TXPWU	R/W	12'd1124	Pulse width unit

### 8.4.6 irtx\_pw

地址: 0x4000a614

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
TXTPH1W				TXTPH0W				TXHPH1W				TXHPH0W			
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TXL1PH1W				TXL1PH0W				TXL0PH1W				TXL0PH0WS			

位	名称	权限	复位值	描述
31:28	TXTPH1W	R/W	4'd0	Pulse width of tail pulse phase 1 (Don't care if SWM is enabled)
27:24	TXTPH0W	R/W	4'd0	Pulse width of tail pulse phase 0 (Don't care if SWM is enabled)
23:20	TXHPH1W	R/W	4'd7	Pulse width of head pulse phase 1 (Don't care if SWM is enabled)
19:16	TXHPH0W	R/W	4'd15	Pulse width of head pulse phase 0 (Don't care if SWM is enabled)

位	名称	权限	复位值	描述
15:12	TXL1PH1W	R/W	4'd2	Pulse width of logic1 phase 1 (Don't care if SWM is enabled)
11:8	TXL1PH0W	R/W	4'd0	Pulse width of logic1 phase 0 (Don't care if SWM is enabled)
7:4	TXL0PH1W	R/W	4'd0	Pulse width of logic0 phase 1 (Don't care if SWM is enabled)
3:0	TXL0PH0WS	R/W	4'd0	Pulse width of logic0 phase 0 (Don't care if SWM is enabled)

### 8.4.7 irtx\_swm\_pw\_0

地址: 0x4000a640

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
TXSWPW0															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TXSWPW0															

位	名称	权限	复位值	描述
31:0	TXSWPW0	R/W	32'h0	IRTX Software Mode pulse width data #0 #7, each pulse is represented by 4-bit ([3:0] is the 1st pulse, [7:4] is the 2nd pulse, [11:8] is the 3rd pulse, etc)

### 8.4.8 irtx\_swm\_pw\_1

地址: 0x4000a644

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
TXSWPW1															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TXSWPW1															



位	名称	权限	复位值	描述
31:0	TXSWPW1	R/W	32'h0	IRTX Software Mode pulse width data #8 #15, each pulse is represented by 4-bit ([3:0] is the 1st pulse, [7:4] is the 2nd pulse, [11:8] is the 3rd pulse, etc)

#### 8.4.9 irtx\_swm\_pw\_2

地址: 0x4000a648

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
TXSWPW2															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TXSWPW2															

位	名称	权限	复位值	描述
31:0	TXSWPW2	R/W	32'h0	IRTX Software Mode pulse width data #16 #23, each pulse is represented by 4-bit ([3:0] is the 1st pulse, [7:4] is the 2nd pulse, [11:8] is the 3rd pulse, etc)

#### 8.4.10 irtx\_swm\_pw\_3

地址: 0x4000a64c

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
TXSWPW3															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TXSWPW3															

位	名称	权限	复位值	描述
31:0	TXSWPW3	R/W	32'h0	IRTX Software Mode pulse width data #24 #31, each pulse is represented by 4-bit ([3:0] is the 1st pulse, [7:4] is the 2nd pulse, [11:8] is the 3rd pulse, etc)

### 8.4.11 irtx\_swm\_pw\_4

地址: 0x4000a650

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
TXSWPW4															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TXSWPW4															

位	名称	权限	复位值	描述
31:0	TXSWPW4	R/W	32'h0	IRTX Software Mode pulse width data #32 #39, each pulse is represented by 4-bit ([3:0] is the 1st pulse, [7:4] is the 2nd pulse, [11:8] is the 3rd pulse, etc)

### 8.4.12 irtx\_swm\_pw\_5

地址: 0x4000a654

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
TXSWPW5															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TXSWPW5															

位	名称	权限	复位值	描述
31:0	TXSWPW5	R/W	32'h0	IRTX Software Mode pulse width data #40 #47, each pulse is represented by 4-bit ([3:0] is the 1st pulse, [7:4] is the 2nd pulse, [11:8] is the 3rd pulse, etc)

### 8.4.13 irtx\_swm\_pw\_6

地址: 0x4000a658

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
TXSWPW6															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TXSWPW6															

位	名称	权限	复位值	描述
31:0	TXSWPW6	R/W	32'h0	IRTX Software Mode pulse width data #48 #55, each pulse is represented by 4-bit ([3:0] is the 1st pulse, [7:4] is the 2nd pulse, [11:8] is the 3rd pulse, etc)

#### 8.4.14 irtx\_swm\_pw\_7

地址: 0x4000a65c

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
TXSWPW7															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TXSWPW7															

位	名称	权限	复位值	描述
31:0	TXSWPW7	R/W	32'h0	IRTX Software Mode pulse width data #56 #63, each pulse is represented by 4-bit ([3:0] is the 1st pulse, [7:4] is the 2nd pulse, [11:8] is the 3rd pulse, etc)

#### 8.4.15 irrx\_config

地址: 0x4000a680

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
RSVD															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RSVD				RXDEGCNT				RSVD				RXDGEN	RXMODE	RXIN INV	RXEN

位	名称	权限	复位值	描述
31:12	RSVD			
11:8	RXDEGCNT	R/W	4'd0	De-glitch function cycle count
7:5	RSVD			
4	RXDGEN	R/W	1'b0	Enable signal of IRRX input de-glitch function

位	名称	权限	复位值	描述
3:2	RXMODE	R/W	2'd0	IRRX mode 0: NEC 1: RC5 2: SW pulse-width detection mode (SWM) 3: Reserved
1	RXININV	R/W	1'b1	Input inverse signal
0	RXEN	R/W	1'b0	Enable signal of IRRX function Asserting this bit will trigger the transaction, and should be de-asserted after finish

#### 8.4.16 irrx\_int\_sts

地址: 0x4000a684

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
RSVD							RXE EN	RSVD							RXE CLR
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RSVD							RXE MASK	RSVD							RXE INT

位	名称	权限	复位值	描述
31:25	RSVD			
24	RXEEN	R/W	1'b1	Interrupt enable of irrx_end_int
23:17	RSVD			
16	RXECLR	W1C	1'b0	Interrupt clear of irrx_end_int
15:9	RSVD			
8	RXEMASK	R/W	1'b1	Interrupt mask of irrx_end_int
7:1	RSVD			
0	RXEINT	R	1'b0	IRRX transfer end interrupt

#### 8.4.17 irrx\_pw\_config

地址: 0x4000a688

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
RXETH															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RXDATH															

位	名称	权限	复位值	描述
31:16	RXETH	R/W	16'd8999	Pulse width threshold to trigger END condition
15:0	RXDATH	R/W	16'd3399	Pulse width threshold for Logic0/1 detection (Don't care if SWM is enabled)

### 8.4.18 irrx\_data\_count

地址: 0x4000a690

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
RSVD															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RSVD									RXDACNT						

位	名称	权限	复位值	描述
31:7	RSVD			
6:0	RXDACNT	R	7'd0	RX data bit count (pulse-width count for SWM)

### 8.4.19 irrx\_data\_word0

地址: 0x4000a694

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
RXDAW0															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RXDAW0															

位	名称	权限	复位值	描述
31:0	RXDAW0	R	32'h0	RX data word 0

### 8.4.20 irrx\_data\_word1

地址: 0x4000a698

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
RXDAW1															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RXDAW1															

位	名称	权限	复位值	描述
31:0	RXDAW1	R	32'h0	RX data word 1

### 8.4.21 irrx\_swm\_fifo\_config\_0

地址: 0x4000a6c0

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
RSVD															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RSVD						RXFIFOCN						RXFUF	RXFOF	RSVD	RXFCLR

位	名称	权限	复位值	描述
31:11	RSVD			
10:4	RXFIFOCN	R	7'd0	RX FIFO available count
3	RXFUF	R	1'b0	Underflow flag of RX FIFO, can be cleared by rx_fifo_clr
2	RXFOF	R	1'b0	Overflow flag of RX FIFO, can be cleared by rx_fifo_clr
1	RSVD			
0	RXFCLR	W1C	1'b0	Clear signal of RX FIFO

### 8.4.22 irrx\_swm\_fifo\_rdata

地址: 0x4000a6c4

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
RSVD															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RXFRDA															

位	名称	权限	复位值	描述
31:16	RSVD			
15:0	RXFRDA	R	16'h0	IRRX Software Mode pulse width data

## 9.1 简介

串行外设接口（Serial Peripheral Interface Bus, SPI）是一种用于短程通信的同步串行通信接口规范，装置之间使用全双工模式通信，是一个主机和一个或多个从机的主从模式。需要至少 4 根线，事实上 3 根也可以（单向传输时），包括 SDI（数据输入）、SDO（数据输出）、SCLK（时钟）、CS（片选）。

## 9.2 主要特征

- 既可作为 SPI 主设备，也可作为 SPI 从设备
- 发送和接收通道各有深度为 4 个字的 FIFO
- 主从设备都支持 4 种时钟格式（CPOL，CPHA）
- 主从设备都支持 1/2/3/4 字节传输模式
- 灵活的时钟配置，最高可支持 40M 时钟
- 可配置 MSB/LSB 优先传输
- 接收过滤功能
- 从设备下的超时机制
- 支持 DMA 传输模式

## 9.3 功能描述

### 9.3.1 时钟控制

依照不同的时钟相位以及极性设定，SPI 时钟共有四种模式，可以通过寄存器 SPI\_CONFIG 的 bit4（CPOL）和 bit5（CPHA）进行设置。CPOL 用来决定 SCK 时钟信号空闲时的电平，CPOL=0 则空闲电平为低电平，CPOL=1 则空闲电平为高电平。CPHA 用来决定采样时刻，CPHA=0 则在每个周期的第一个时钟沿采样，CPHA=1 则在每个周期的第二



个时钟沿采样。通过设置寄存器 `SPI_PRD_0` 和 `SPI_PRD_1`，还可以调整时钟的开始和结束电平持续时间、相位 0/1 的时间以及每帧数据之间的间隔。四种模式下的具体设置如下图所示：

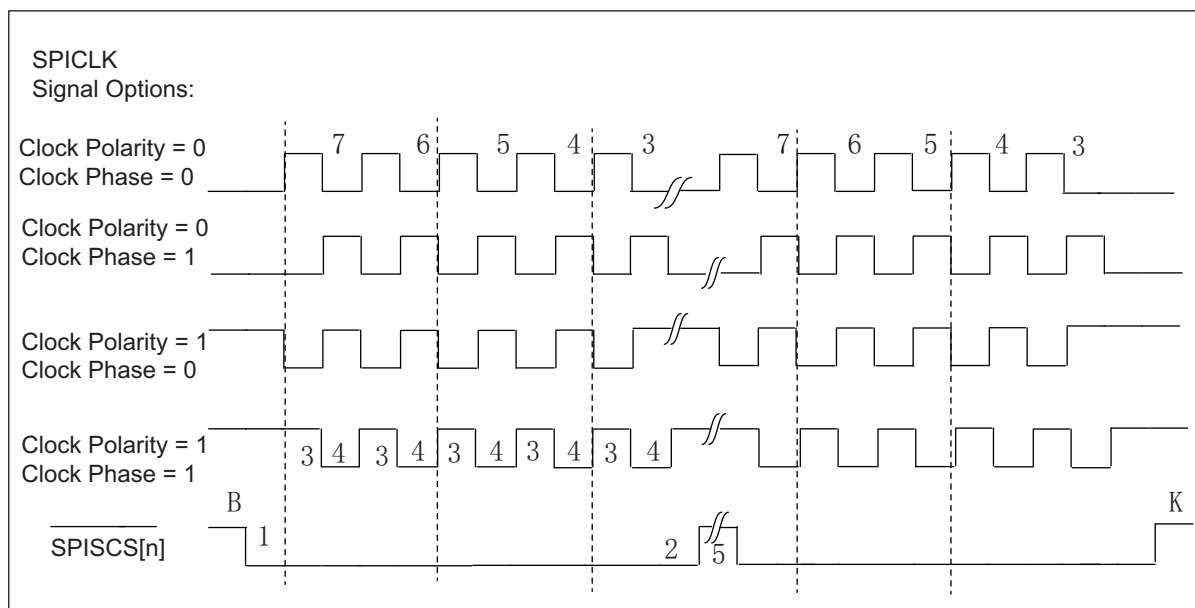


图 9.1: SPI 时序图

其中各数字含义如下：1 是起始条件的长度，2 是停止条件的长度，3 是相位 0 的长度，4 是相位 1 的长度，5 是每帧数据之间的间隔。

### 9.3.2 主设备持续传输模式

开启该模式后，在发送完当前数据而 FIFO 里还存在可用数据时，CS 信号不会被释放。

### 9.3.3 接收过滤功能

通过设置需要过滤掉的开始位和结束位，SPI 会将接收到数据中的对应数据段丢弃。如下图所示：

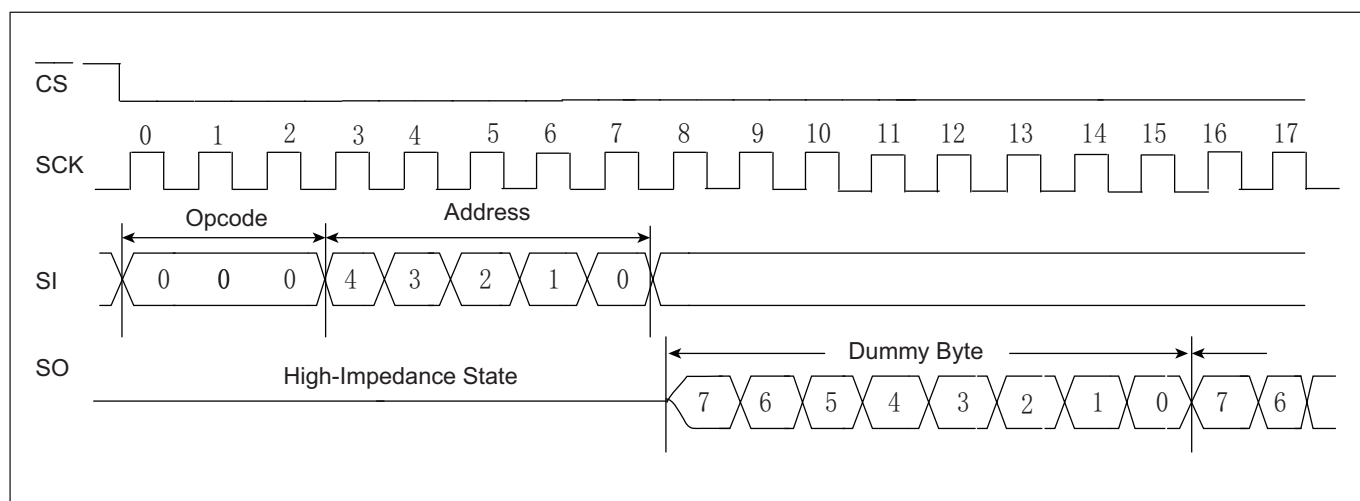


图 9.2: SPI Ignore 波形图

上图中过滤的开始位设为 0，结束位设为 7 则 Dummy Byte 会被收到，结束位设为 15 则 Dummy Byte 会被丢弃。

### 9.3.4 接收去差错功能

通过使能该功能和设置门限值，SPI 会将达不到门限值宽度的数据丢弃。

### 9.3.5 从模式超时机制

通过设定一个超时门限，当从模式下 SPI 超过该时间值未收到时钟信号时，会触发中断。

### 9.3.6 I/O 传输模式

芯片通信处理器可以响应来自 FIFO 的中断来执行 FIFO 填充和清空操作。每个 FIFO 都有一个可编程的 FIFO 触发阈值来触发中断。当 RX FIFO 中的数值超过 SPI 控制器 1 中的 RX FIFO 触发阈值时，将产生一个中断，向芯片通信处理器发送信号来清空 RX FIFO。当 TX FIFO 中的数值小于或等于 SPI 控制寄存器 1 中的 TX FIFO 触发阈值加 1 时，将产生中断，向芯片通信处理器发送信号来重新填充 TX FIFO。可以通过查询 SPI 状态寄存器来确定 FIFO 中的采样值以及 FIFO 的状态。软件负责确保正确的 RX FIFO 触发阈值和 TX FIFO 触发阈值，以防止接收 FIFO 超限和发送 FIFO 欠载。

### 9.3.7 DMA 传输模式

SPI 支持 DMA 传输模式。使用该模式需要分别设置 TX 和 RX FIFO 的阈值，当该模式启用后，UART 会对 TX/RX FIFO 进行检查，一旦 TX/RX 的 FIFO 可用计数值大于其设定的阈值，将会发起 DMA 请求，DMA 会按照设定将数据搬移至 TX FIFO 中或从 RX FIFO 中移出。

### 9.3.8 SPI 中断

SPI 有着丰富的中断控制，包括以下几种中断模式：

- SPI 传输结束中断

- TX FIFO 请求中断
- RX FIFO 请求中断
- 从模式传输超时中断
- 从模式 TX 过载中断
- TX/RX FIFO 溢出中断

在主模式下，SPI 传输结束中断会在每帧数据传输结束时触发；在从模式下，SPI 传输结束中断会在 CS 信号被释放时触发。TX/RX FIFO 请求中断会在其 FIFO 可用计数值大于其设定的阈值时触发，当条件不满足时该中断标志会自动清除。从模式传输超时中断会在从模式下超过超时门限值未收到时钟信号时触发。如果 TX/RX FIFO 发生了上溢或者下溢，会触发 TX/RX FIFO 溢出中断，当 FIFO 清除位 TFC/RFC 被置 1 时，对应的 FIFO 会被清空，同时溢出中断标志会自动清除。可以通过寄存器 SPI\_INT\_STS 查询各中断状态和对相应的位写 1 清除中断。

## 9.4 寄存器描述

名称	描述
spi_config	SPI configuration register
spi_int_sts	SPI interrupt status
spi_bus_busy	SPI bus busy
spi_prd_0	SPI length control register
spi_prd_1	SPI length of interval
spi_rxd_ignr	SPI ignore function
spi_sto_value	SPI time-out value
spi_fifo_config_0	SPI FIFO configuration register0
spi_fifo_config_1	SPI FIFO configuration register1
spi_fifo_wdata	SPI FIFO write data
spi_fifo_rdata	SPI FIFO read data

### 9.4.1 spi\_config

地址：0x4000a200

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
RSVD															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
DEGCNT				DEGEN	RSVD	MCEN	IGNREN	BYTEINV	BITINV	SCLKPH	SCLKPOL	FSIZE		SEN	MEN

位	名称	权限	复位值	描述
31:16	RSVD			
15:12	DEGCNT	R/W	4'd0	De-glitch function cycle count
11	DEGEN	R/W	1'b0	Enable signal of all input de-glitch function
10	RSVD			
9	MCEN	R/W	1'b0	Enable signal of master continuous transfer mode 1'b0: Disabled, SS_n will de-assert between each data frame 1'b1: Enabled, SS_n will stay asserted between each consecutive data frame if the next data is valid in the FIFO
8	IGNREN	R/W	1'b0	Enable signal of RX data ignore function
7	BYTEINV	R/W	1'b0	Byte-inverse signal for each FIFO entry data 0: Byte[0] is sent out first 1: Byte[3] is sent out first
6	BITINV	R/W	1'b0	Bit-inverse signal for each data byte 0: Each byte is sent out MSB-first 1: Each byte is sent out LSB-first
5	SCLKPH	R/W	1'b0	SCLK clock phase inverse signal
4	SCLKPOL	R/W	1'b0	SCLK polarity 0: SCLK output LOW at IDLE state 1: SCLK output HIGH at IDLE state
3:2	FSIZE	R/W	2'd0	SPI frame size (also the valid width for each FIFO entry) 2'd0: 8-bit 2'd1: 16-bit 2'd2: 24-bit 2'd3: 32-bit
1	SEN	R/W	1'b0	Enable signal of SPI Slave function, Master and Slave should not be both enabled at the same time (This bit becomes don't-care if cr_spi_m_en is enabled)
0	MEN	R/W	1'b0	Enable signal of SPI Master function Asserting this bit will trigger the transaction, and should be de-asserted after finish

## 9.4.2 spi\_int\_sts

地址: 0x4000a204

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	
RSVD		FER EN	TXU EN	STO EN	RXF EN	TXF EN	END EN	RSVD			TXU CLR	STO CLR	RSVD		END CLR	
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
RSVD		FER MASK	TXU MASK	STO MASK	RXF MASK	TXF MASK	END MASK	RSVD			FER INT	TXU INT	STO INT	RXF INT	TXF INT	END INT

位	名称	权限	复位值	描述
31:30	RSVD			
29	FEREN	R/W	1'b1	Interrupt enable of spi_fer_int
28	TXUEN	R/W	1'b1	Interrupt enable of spi_txu_int
27	STOEN	R/W	1'b1	Interrupt enable of spi_sto_int
26	RXFEN	R/W	1'b1	Interrupt enable of spi_rxv_int
25	TXFEN	R/W	1'b1	Interrupt enable of spi_txe_int
24	ENDEN	R/W	1'b1	Interrupt enable of spi_end_int
23:21	RSVD			
20	TXUCLR	W1C	1'b0	Interrupt clear of spi_txu_int
19	STOCLR	W1C	1'b0	Interrupt clear of spi_sto_int
18:17	RSVD			
16	ENDCLR	W1C	1'b0	Interrupt clear of spi_end_int
15:14	RSVD			
13	FERMASK	R/W	1'b1	Interrupt mask of spi_fer_int
12	TXUMASK	R/W	1'b1	Interrupt mask of spi_txu_int
11	STOMASK	R/W	1'b1	Interrupt mask of spi_sto_int
10	RXFMASK	R/W	1'b1	Interrupt mask of spi_rxv_int
9	TXFMASK	R/W	1'b1	Interrupt mask of spi_txe_int
8	ENDMASK	R/W	1'b1	Interrupt mask of spi_end_int
7:6	RSVD			
5	FERINT	R	1'b0	SPI TX/RX FIFO error interrupt, auto-cleared when FIFO overflow/underflow error flag is cleared
4	TXUINT	R	1'b0	SPI slave mode TX underrun error flag, triggered when TXD is not ready during transfer in slave mode

位	名称	权限	复位值	描述
3	STOINT	R	1'b0	SPI slave mode transfer time-out interrupt, triggered when SPI bus is idle for a given value
2	RXFINT	R	1'b0	SPI RX FIFO ready (rx_fifo_cnt > rx_fifo_th) interrupt, auto-cleared when data is popped
1	TXFINT	R	1'b0	SPI TX FIFO ready (tx_fifo_cnt > tx_fifo_th) interrupt, auto-cleared when data is pushed
0	ENDINT	R	1'b0	SPI transfer end interrupt, shared by both master and slave mode Master mode: Triggered when the final frame is transferred Slave mode: Triggered when CS_n is de-asserted

### 9.4.3 spi\_bus\_busy

地址: 0x4000a208

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
RSVD															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RSVD														BUS BUSY	

位	名称	权限	复位值	描述
31:1	RSVD			
0	BUSBUSY	R	1'b0	Indicator of SPI bus busy

### 9.4.4 spi\_prd\_0

地址: 0x4000a210

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
PRDPH1								PRDPH0							
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
PRDP								PRDS							

位	名称	权限	复位值	描述
31:24	PRDPH1	R/W	8'd15	Length of DATA phase 1 (please refer to "Timing" tab)

位	名称	权限	复位值	描述
23:16	PRDPH0	R/W	8'd15	Length of DATA phase 0 (please refer to "Timing" tab)
15:8	PRDP	R/W	8'd15	Length of STOP condition (please refer to "Timing" tab)
7:0	PRDS	R/W	8'd15	Length of START condition (please refer to "Timing" tab)

### 9.4.5 spi\_prd\_1

地址: 0x4000a214

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
RSVD															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RSVD								PRDI							

位	名称	权限	复位值	描述
31:8	RSVD			
7:0	PRDI	R/W	8'd15	Length of INTERVAL between frame (please refer to "Timing" tab)

### 9.4.6 spi\_rxd\_ignr

地址: 0x4000a218

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
RSVD											RXDIGS				
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RSVD											RXDIGP				

位	名称	权限	复位值	描述
31:21	RSVD			
20:16	RXDIGS	R/W	5'd0	Starting point of RX data ignore function
15:5	RSVD			
4:0	RXDIGP	R/W	5'd0	Stopping point of RX data ignore function

### 9.4.7 spi\_sto\_value

地址: 0x4000a21c

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
RSVD															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RSVD				STOV											

位	名称	权限	复位值	描述
31:12	RSVD			
11:0	STOV	R/W	12'hFFF	Time-out value for spi_sto_int triggering

### 9.4.8 spi\_fifo\_config\_0

地址: 0x4000a280

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
RSVD															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RSVD								RFUF	RFOF	TFUF	TFOF	RFC	TFC	DMAR EN	DMAT EN

位	名称	权限	复位值	描述
31:8	RSVD			
7	RFUF	R	1'b0	Underflow flag of RX FIFO, can be cleared by rx_fifo_clr
6	RFOF	R	1'b0	Overflow flag of RX FIFO, can be cleared by rx_fifo_clr
5	TFUF	R	1'b0	Underflow flag of TX FIFO, can be cleared by tx_fifo_clr
4	TFOF	R	1'b0	Overflow flag of TX FIFO, can be cleared by tx_fifo_clr
3	RFC	W1C	1'b0	Clear signal of RX FIFO
2	TFC	W1C	1'b0	Clear signal of TX FIFO
1	DMAREN	R/W	1'b0	Enable signal of dma_rx_req/ack interface
0	DMATEN	R/W	1'b0	Enable signal of dma_tx_req/ack interface

### 9.4.9 spi\_fifo\_config\_1

地址: 0x4000a284



31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
RSVD						RFTH		RSVD						TFTH	
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RSVD						RFCNT		RSVD						TFCNT	

位	名称	权限	复位值	描述
31:26	RSVD			
25:24	RFTH	R/W	2'd0	RX FIFO threshold, dma_rx_req will not be asserted if tx_fifo_cnt is less than this value
23:18	RSVD			
17:16	TFTH	R/W	2'd0	TX FIFO threshold, dma_tx_req will not be asserted if tx_fifo_cnt is less than this value
15:11	RSVD			
10:8	RFCNT	R	3'd0	RX FIFO available count
7:3	RSVD			
2:0	TFCNT	R	3'd4	TX FIFO available count

### 9.4.10 spi\_fifo\_wdata

地址: 0x4000a288

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
FWDATA															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
FWDATA															

位	名称	权限	复位值	描述
31:0	FWDATA	W	x	SPI FIFO write data

### 9.4.11 spi\_fifo\_rdata

地址: 0x4000a28c

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
FRDATA															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
FRDATA															

位	名称	权限	复位值	描述
31:0	FRDATA	R	32'h0	SPI FIFO read data

## 10.1 简介

通用异步收发传输器（Universal Asynchronous Receiver/Transmitter，通常称为 UART）是一种异步收发传输器，提供了与外部设备进行全双工数据交换的灵活方式。BL602/BL604 共有 2 组 UART 口（UART0 和 UART1），通过配合 DMA 使用，可以实现高效的数据通信。

## 10.2 主要特征

- 全双工异步通信
- 数据位长度可选择 5/6/7/8 比特
- 停止位长度可选择 0.5/1/1.5/2 比特
- 支持奇/偶/无校验比特
- 可侦测错误的起始比特
- 丰富的中断控制
- 支持硬件流控（RTS/CTS）
- 便捷的波特率编程
- 可配置 MSB/LSB 优先传输
- 普通/固定字符的自动波特率检测
- 32 字节发送/接收 FIFO
- 支持 DMA 传输模式
- 最高工作频率为 160MHz

## 10.3 功能描述

### 10.3.1 数据格式描述

正常的 UART 通信数据是由起始位、数据位、奇偶校验位、停止位组成的。BL602 的 UART 支持可配置的数据位、奇偶校验位和停止位，这些都在寄存器 UTX\_CONFIG 和 URX\_CONFIG 中设置。一帧数据的波形如下图所示：

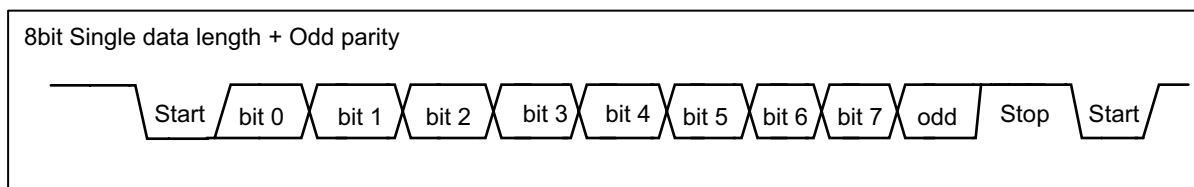


图 10.1: UART 数据格式

数据帧的起始位占用 1-bit，停止位可以通过配置 <TXBCNTP> 和 <CR\_URX\_BIT\_CNT\_P> 实现 0.5/1/1.5/2 位宽。起始位为低电平，停止位为高电平。数据位宽可以通过 <TXBCNTD> 和 <RXBCNTD> 配置为 5/6/7/8 位宽。当置位 <TXPREN> 和 <RXPREN> 时，数据帧会在数据之后添加一位奇偶校验位。<TXPRSEL> 和 <RXPRSEL> 用于选择奇校验还是偶校验。当接收器检测到输入数据的校验位错误时会产生校验错误中断。奇校验的计算方法：如果当前数据位 1 的个数是奇数个，奇校验位为 0；反之为 1。偶校验的计算方法：如果当前数据位 1 的个数是奇数个，偶校验位为 1；反之为 0。

### 10.3.2 基本架构图

#### 10.3.3 时钟源

UART 有两个时钟源：160MHz APB\_CLK 以及 FCLK。时钟中的分频器用于对时钟源进行分频，然后产生时钟信号来驱动 UART 模块。如下图所示：

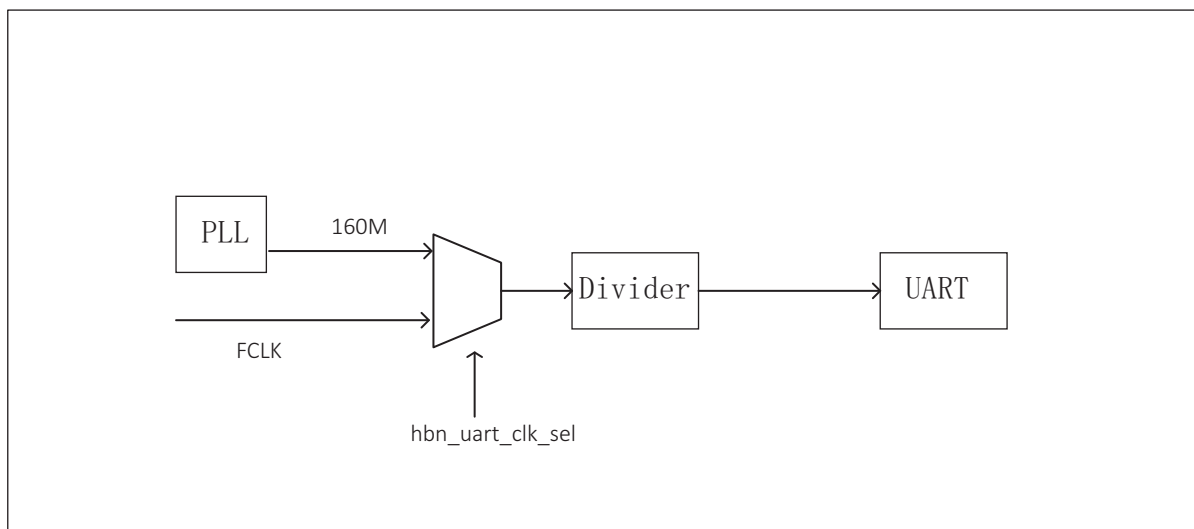


图 10.2: UART 时钟

### 10.3.4 波特率设定

使用者可通过设置寄存器 `UART_BIT_PRD` 来产生所需的波特率，该寄存器的高 16 位和低 16 位分别对应 RX 与 TX，即 RX 与 TX 的波特率可单独进行设置，该 16 位值需要通过计算得出，公式如下：波特率 = UART 时钟 / (16 位系数 + 1) 即：16 位系数 = UART 时钟 / 波特率 - 1 该 16 位系数的含义是以 UART 时钟去计数当前波特率位宽所得到的计数值。由于 16 位系数最大值为 65535，所以 UART 支持的最小波特率为：UART 时钟 / 65536。UART 支持的最大波特率为 10Mbps。在 UART 对数据进行采样之前，会先对数据进行滤波，将波形当中的毛刺滤掉。然后会在上述 16 位系数的中间值时刻进行采样，这样根据不同的波特率调整不同的采样时刻，以保持其采到的始终是中间值，大大提高了灵活性与精度。采样过程如下图所示：

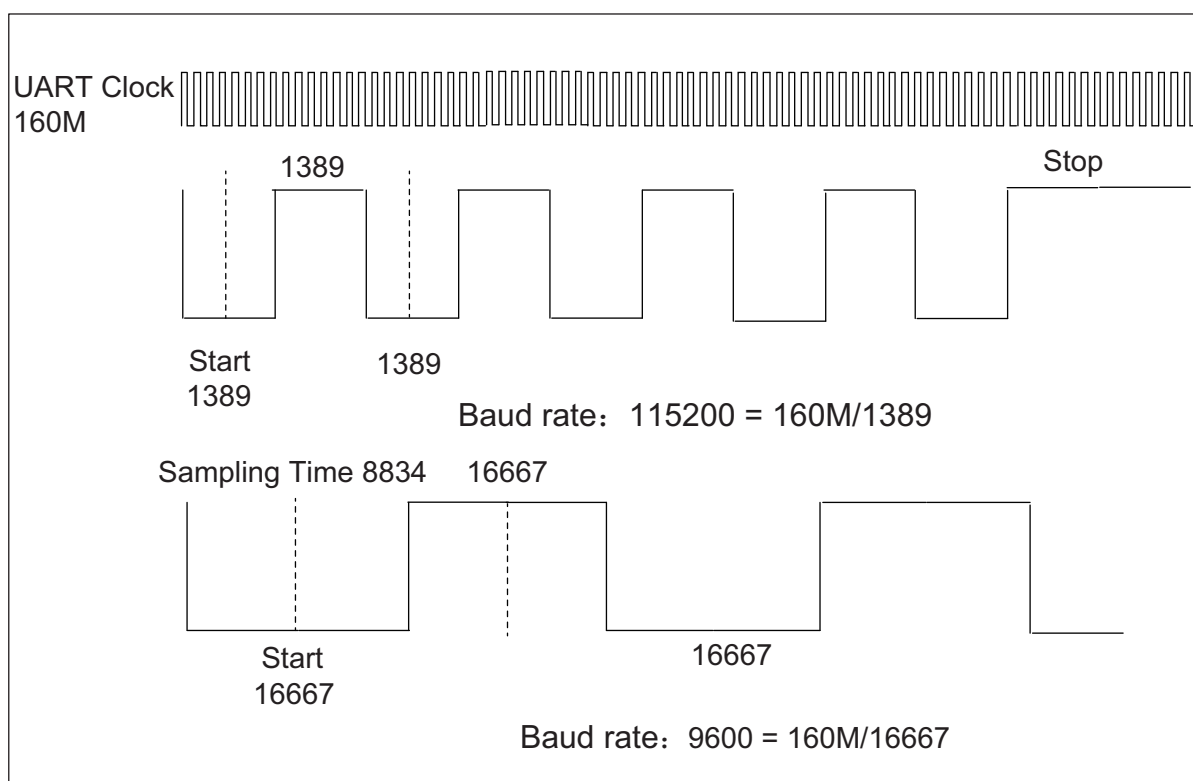


图 10.3: UART 采样波形图

### 10.3.5 发送器

发送器包含一个 32 字节的发送 FIFO，用来存放待发送的数据。软件可以通过 APB 总线写 TX FIFO，也可以通过 DMA 将数据搬入 TX FIFO。当发送使能位被设置时，FIFO 中存放的数据会从 TX 引脚输出。软件可以选择通过 DMA 或 APB 总线这两种方式将数据传入 TX FIFO。软件可以通过寄存器 `UART_FIFO_CONFIG_1` 的位 `<TFICNT>` 查询 TX FIFO 剩余可用空间计数值来检查发送器的状态。发送器的自由运行（FreeRun）模式如下：

- 如果没有开启自由运行（FreeRun）模式，则当发送字节达到指定长度时发送行为终止并产生中断，如果要继续发送则需重新关闭再使能发送使能位。
- 如果开启自由运行（FreeRun）模式，则当 TX FIFO 里存在数据时，发送器就会进行发送，不会因为发送字节达到指定长度而终止。

### 10.3.6 接收器

接收器包含一个 32 字节的接收 FIFO，用来存放接收到的数据。软件可以通过寄存器 UART\_FIFO\_CONFIG\_1 的位 <RFICNT> 查询 RX FIFO 可用数据计数值来检查接收器的状态。寄存器 URX\_RTO\_TIMER 的低 8 位用于设定一个接收超时门限，当接收器超过该时间值未收到数据时，会触发中断。寄存器 URX\_CONFIG 的位 <DEGEN> 和 <DEGCNT> 用于使能去毛刺功能和设置门限值，其控制的是 UART 采样之前的滤波部分，UART 会将波形当中宽度低于门限值的毛刺滤掉，然后在将其送去采样。

### 10.3.7 自动波特率检测

UART 模块支持自动波特率检测，该检测分为两种，一种是通用模式，一种是固定字符模式。置位寄存器 URX\_CONFIG 的位 <ABREN> 每次开启时，这两种检测模式都会启用。

#### 通用模式

对于所接收到的任意字符数据，UART 模块会计数起使位宽当中的时钟数，此数字会接着被写入寄存器 STS\_URX\_ABR\_PRD 的低 16 位并用以计算波特率，因此当最先接收到的数据位为 1 时即可得到正确的波特率，如 LSB-FIRST 下的'0x01'。

#### 固定字符模式

该模式下，UART 模块在计数起使位宽当中的时钟数后，会继续计数后续数据位的时钟数，并与起始位相比较，如果上下浮动在允许误差范围内，则通过检测，否则计数值会被丢弃。因此，只有在 LSB-FIRST 下接收到固定字符'0x55'/'0xD5' 或 MSB-FIRST 下的'0xAA'/'0xAB' 时，UART 模块才会将起使位宽当中的时钟数计数值写入寄存器 STS\_URX\_ABR\_PRD 的高 16 位。如下图所示：

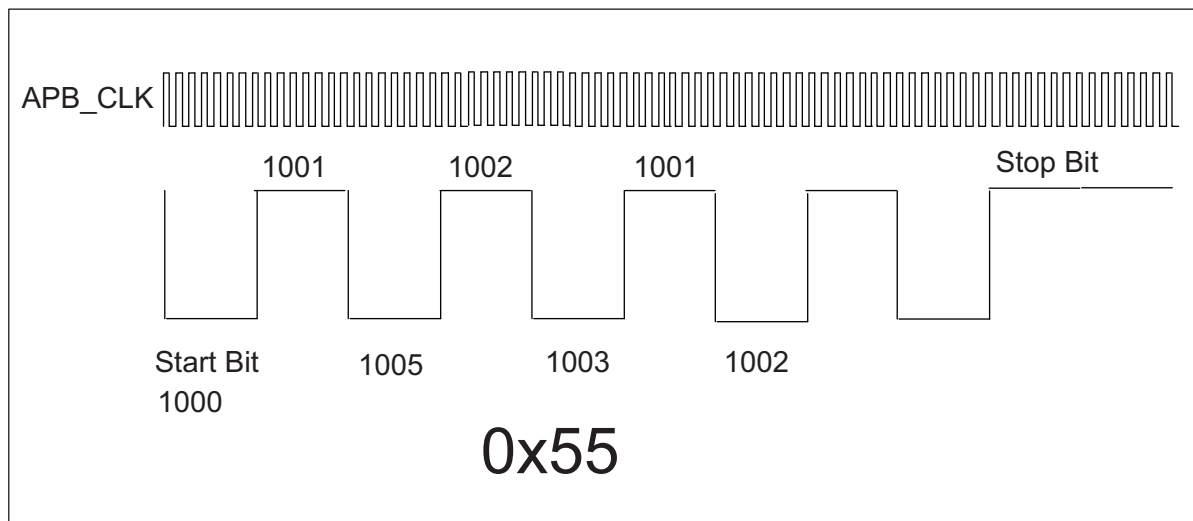


图 10.4: UART 固定字符模式波形图

对于某一未知的波特率，UART 用 UART\_CLK 去计数起始位的位宽为 1000，第二位的位宽为 1001，与前一位宽上下浮动不超过 4 个 UART\_CLK，则 UART 会继续计数第三位，第三位为 1005，与起始位相差超过 4，则检测不通过，数据丢弃。UART 会依次将数据位的前 6 位位宽与起始位进行比较。

计算检测到的波特率的公式如下：波特率 = 源时钟 / (16 位检测值 + 1)

### 10.3.8 硬件流控

UART 支持 CTS/RTS 方式的硬件流控，以防止 FIFO 里的数据由于来不及处理而丢失。硬件流控连接如下图所示：

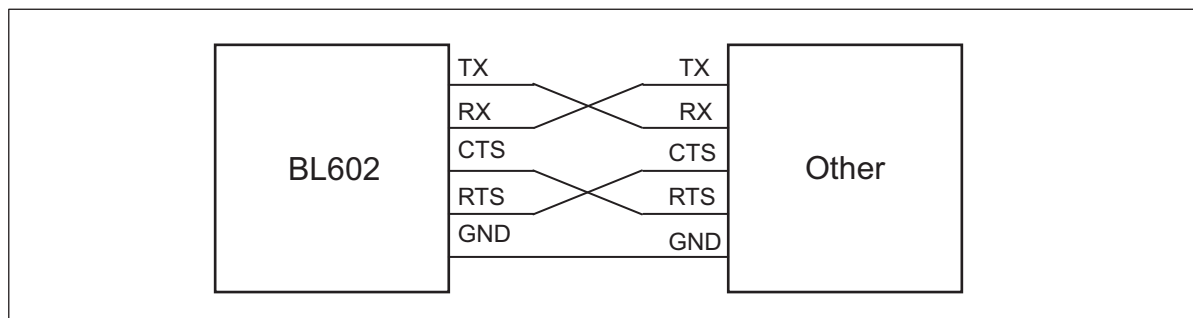


图 10.5: UART 硬件流控图

当使用硬件流控功能时，输出信号 RTS 为高电平表示请求对方发送数据，RTS 为低电平表示通知对方中止数据发送直到 RTS 恢复为高电平。发送器的硬件流控有两种方式。

- 寄存器 URX\_CONFIG 的位 <RTSSWM> 等于 0：当 RX FIFO 中的数据量大于 <RFITH> 时拉低 RTS 的电平。
- 寄存器 URX\_CONFIG 的位 <RTSSWM> 等于 1：可以通过配置寄存器 URX\_CONFIG 的位 <RTSSWV> 改变 RTS 的电平。

通过配置寄存器 UTX\_CONFIG 的位 <CTSEN>，可以使能 TX CTS。当设备检测到输入信号 CTS 拉低时，TX 会停止发送数据，直到检测到 CTS 拉高时再继续发送。

### 10.3.9 DMA 传输模式

UART 支持 DMA 传输模式。使用该模式需要通过寄存器 UART\_FIFO\_CONFIG\_1 的位 <TFITH> 和 <RFITH> 分别设置 TX 和 RX FIFO 的阈值，当该模式启用后，UART 会对 TX/RX FIFO 进行检查，一旦 TX/RX 的 FIFO 可用计数值大于其设定的阈值，将会发起 DMA 请求，DMA 会按照设定将数据搬移至 TX FIFO 中或从 RX FIFO 中移出。

### 10.3.10 UART 中断

UART 有着丰富的中断控制，包括以下几种中断模式：

- TX 传输结束中断
- RX 传输结束中断
- TX FIFO 请求中断
- RX FIFO 请求中断
- RX 超时中断
- RX 奇偶校验错误中断

- TX FIFO 溢出中断
- RX FIFO 溢出中断

TX 和 RX 可以通过寄存器 UTX\_CONFIG 和 URX\_CONFIG 的高 16 位分别设置一个传输长度值，当传输的字节数达到这个数值时，就会触发对应的 TX/RX 传输结束中断。TX/RX FIFO 请求中断会在其 FIFO 可用计数值大于寄存器 UART\_FIFO\_CONFIG\_1 中所设定的阈值时触发，当条件不满足时该中断标志会自动清除。RX 超时中断会在接收器超过超时门限值未收到数据时触发，而 RX 奇偶校验错误中断会发生在奇偶校验出错时。如果 TX/RX FIFO 发生了上溢或者下溢，会触发对应的溢出中断，当 FIFO 清除位 TFICLR/RFICLR 被置 1 时，对应的 FIFO 会被清空，同时溢出中断标志会自动清除。可以通过寄存器 UART\_INT\_STS 查询各中断状态，通过向寄存器 UART\_INT\_CLEAR 相应的位写 1 清除中断。

## 10.4 寄存器描述

名称	描述
utx_config	UART TX configuration register
urx_config	UART RX configuration register
uart_bit_prd	UART period control register
data_config	UART data configuration register
utx_ir_position	UART TX ir position control register
urx_ir_position	UART RX ir position control register
urx_rto_timer	RTO interrupt control register
uart_int_sts	UART interrupt status
uart_int_mask	UART interrupt mask
uart_int_clear	UART interrupt clear
uart_int_en	UART interrupt enable
uart_status	UART status control register
sts_urx_abr_prd	Auto baud detection control register
uart_fifo_config_0	UART FIFO configuration register0
uart_fifo_config_1	UART FIFO configuration register1
uart_fifo_wdata	UART FIFO write data
uart_fifo_rdata	UART FIFO read data



### 10.4.1 utx\_config

地址: 0x4000a000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
TXLEN															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RSVD		TXBCNTP		RSVD	TXBCNTD			IRTX INV	IRTX EN	TXPR SEL	TXPR EN	RSVD	FRM EN	CTS EN	EN

位	名称	权限	复位值	描述
31:16	TXLEN	R/W	16'd0	Length of UART TX data transfer (Unit: character/byte) (Don't-care if cr_utx_frm_en is enabled)
15:14	RSVD			
13:12	TXBCNTP	R/W	2'd1	UART TX STOP bit count (unit: 0.5 bit)
11	RSVD			
10:8	TXBCNTD	R/W	3'd7	UART TX DATA bit count for each character
7	IRTXINV	R/W	1'b0	Inverse signal of UART TX output in IR mode
6	IRTXEN	R/W	1'b0	Enable signal of UART TX IR mode
5	TXPRSEL	R/W	1'b0	Select signal of UART TX parity bit 1: Odd parity 0: Even parity
4	TXPREN	R/W	1'b0	Enable signal of UART TX parity bit
3	RSVD			
2	FRMEN	R/W	1'b0	Enable signal of UART TX freerun mode (utx_end_int will be disabled)
1	CTSEN	R/W	1'b0	Enable signal of UART TX CTS flow control function
0	EN	R/W	1'b0	Enable signal of UART TX function Asserting this bit will trigger the transaction, and should be de-asserted after finish

### 10.4.2 urx\_config

地址: 0x4000a004

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
RXLEN															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
DEGCNT				DEGEN	RXBCNTD			IRRXINV	IRRXEN	RXPRSEL	RXPREN	ABREN	RTSSWV	RTSSWM	EN

位	名称	权限	复位值	描述
31:16	RXLEN	R/W	16'd0	Length of UART RX data transfer (Unit: character/byte) urx_end_int will assert when this length is reached
15:12	DEGCNT	R/W	4'd0	De-glitch function cycle count
11	DEGEN	R/W	1'b0	Enable signal of RXD input de-glitch function
10:8	RXBCNTD	R/W	3'd7	UART RX DATA bit count for each character
7	IRRXINV	R/W	1'b0	Inverse signal of UART RX input in IR mode
6	IRRXEN	R/W	1'b0	Enable signal of UART RX IR mode
5	RXPRSEL	R/W	1'b0	Select signal of UART RX parity bit 1: Odd parity 0: Even parity
4	RXPREN	R/W	1'b0	Enable signal of UART RX parity bit
3	ABREN	R/W	1'b0	Enable signal of UART RX Auto Baud Rate detection function
2	RTSSWV	R/W	1'b0	UART RX RTS output SW control value
1	RTSSWM	R/W	1'b0	UART RX RTS output SW control mode
0	EN	R/W	1'b0	Enable signal of UART RX function

### 10.4.3 uart\_bit\_prd

地址: 0x4000a008

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
RBITPRD															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TBITPRD															

位	名称	权限	复位值	描述
31:16	RBITPRD	R/W	16'd255	Period of each UART RX bit, related to baud rate
15:0	TBITPRD	R/W	16'd255	Period of each UART TX bit, related to baud rate

### 10.4.4 data\_config

地址: 0x4000a00c

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
RSVD															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RSVD															BIT INV

位	名称	权限	复位值	描述
31:1	RSVD			
0	BITINV	R/W	1'b0	Bit-inverse signal for each data byte 0: Each byte is sent out LSB-first 1: Each byte is sent out MSB-first

### 10.4.5 utx\_ir\_position

地址: 0x4000a010

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
TXIRPP															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TXIRPS															

位	名称	权限	复位值	描述
31:16	TXIRPP	R/W	16'd159	STOP position of UART TX IR pulse
15:0	TXIRPS	R/W	16'd112	START position of UART TX IR pulse

### 10.4.6 urx\_ir\_position

地址: 0x4000a014

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
RSVD															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RXIRPS															

位	名称	权限	复位值	描述
31:16	RSVD			
15:0	RXIRPS	R/W	16'd111	START position of UART RXD pulse recovered from IR signal

### 10.4.7 urx\_rto\_timer

地址: 0x4000a018

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
RSVD															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RSVD								RXRTOVA							

位	名称	权限	复位值	描述
31:8	RSVD			
7:0	RXRTOVA	R/W	8'd15	Time-out value for triggering RTO interrupt (unit: bit time)

### 10.4.8 uart\_int\_sts

地址: 0x4000a020

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
RSVD															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RSVD								RFER INT	TFIN	RPCE INT	RRTO INT	RFIN	TFIN	REIN	TEIN

位	名称	权限	复位值	描述
31:8	RSVD			
7	RFERINT	R	1'b0	UART RX FIFO error interrupt, auto-cleared when FIFO overflow/underflow error flag is cleared
6	TFIN	R	1'b0	UART TX FIFO error interrupt, auto-cleared when FIFO overflow/underflow error flag is cleared
5	RPCEINT	R	1'b0	UART RX parity check error interrupt
4	RRTOINT	R	1'b0	UART RX Time-out interrupt

位	名称	权限	复位值	描述
3	RFIN	R	1'b0	UART RX FIFO ready (rx_fifo_cnt > rx_fifo_th) interrupt, auto-cleared when data is popped
2	TFIN	R	1'b0	UART TX FIFO ready (tx_fifo_cnt > tx_fifo_th) interrupt, auto-cleared when data is pushed
1	REIN	R	1'b0	UART RX transfer end interrupt (set according to cr_urx_len)
0	TEIN	R	1'b0	UART TX transfer end interrupt (set according to cr_utx_len)

### 10.4.9 uart\_int\_mask

地址: 0x4000a024

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
RSVD															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RSVD								RFER MASK	TFER MASK	RPCE MASK	RRTOMASK	RFMS	TFMS	REMS	TEMS

位	名称	权限	复位值	描述
31:8	RSVD			
7	RFERMASK	R/W	1'b1	Interrupt mask of urx_fer_int
6	TFERMASK	R/W	1'b1	Interrupt mask of utx_fer_int
5	RPCEMASK	R/W	1'b1	Interrupt mask of urx_pce_int
4	RRTOMASK	R/W	1'b1	Interrupt mask of urx_rto_int
3	RFMS	R/W	1'b1	Interrupt mask of urx_fifo_int
2	TFMS	R/W	1'b1	Interrupt mask of utx_fifo_int
1	REMS	R/W	1'b1	Interrupt mask of urx_end_int
0	TEMS	R/W	1'b1	Interrupt mask of utx_end_int

### 10.4.10 uart\_int\_clear

地址: 0x4000a028

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
RSVD															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RSVD										RPCE CLR	RRTO CLR	RSVD		RECL	TECL

位	名称	权限	复位值	描述
31:6	RSVD			
5	RPCECLR	W1C	1'b0	Interrupt clear of urx_pce_int
4	RRTOCLR	W1C	1'b0	Interrupt clear of urx_rto_int
3:2	RSVD			
1	RECL	W1C	1'b0	Interrupt clear of urx_end_int
0	TECL	W1C	1'b0	Interrupt clear of utx_end_int

#### 10.4.11 uart\_int\_en

地址: 0x4000a02c

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
RSVD															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RSVD								RFER	TFER	RPCE	RRTO	RFIF	TFIF	REND	TEND

位	名称	权限	复位值	描述
31:8	RSVD			
7	RFER	R/W	1'b1	Interrupt enable of urx_fer_int
6	TFER	R/W	1'b1	Interrupt enable of utx_fer_int
5	RPCE	R/W	1'b1	Interrupt enable of urx_pce_int
4	RRTO	R/W	1'b1	Interrupt enable of urx_rto_int
3	RFIF	R/W	1'b1	Interrupt enable of urx_fifo_int
2	TFIF	R/W	1'b1	Interrupt enable of utx_fifo_int
1	REND	R/W	1'b1	Interrupt enable of urx_end_int
0	TEND	R/W	1'b1	Interrupt enable of utx_end_int

### 10.4.12 uart\_status

地址: 0x4000a030

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
RSVD															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RSVD														RBB	TBB

位	名称	权限	复位值	描述
31:2	RSVD			
1	RBB	R	1'b0	Indicator of UART RX bus busy
0	TBB	R	1'b0	Indicator of UART TX bus busy

### 10.4.13 sts\_urx\_abr\_prd

地址: 0x4000a034

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
ABRPRD															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ABRPRDS															

位	名称	权限	复位值	描述
31:16	ABRPRD	R	16'd0	Bit period of Auto Baud Rate detection using codeword 0x55
15:0	ABRPRDS	R	16'd0	Bit period of Auto Baud Rate detection using START bit

### 10.4.14 uart\_fifo\_config\_0

地址: 0x4000a080

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
RSVD															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RSVD								RFIU	RFIO	TFIU	TFIO	RFI CLR	TFI CLR	UDR EN	UDT EN

位	名称	权限	复位值	描述
31:8	RSVD			
7	RFIU	R	1'b0	Underflow flag of RX FIFO, can be cleared by rx_fifo_clr
6	RFIO	R	1'b0	Overflow flag of RX FIFO, can be cleared by rx_fifo_clr
5	TFIU	R	1'b0	Underflow flag of TX FIFO, can be cleared by tx_fifo_clr
4	TFIO	R	1'b0	Overflow flag of TX FIFO, can be cleared by tx_fifo_clr
3	RFICLR	W1C	1'b0	Clear signal of RX FIFO
2	TFICLR	W1C	1'b0	Clear signal of TX FIFO
1	UDREN	R/W	1'b0	Enable signal of dma_rx_req/ack interface
0	UDTEN	R/W	1'b0	Enable signal of dma_tx_req/ack interface

#### 10.4.15 uart\_fifo\_config\_1

地址: 0x4000a084

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
RSVD			RFITH					RSVD			TFITH				
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RSVD		RFICNT						RSVD		TFICNT					

位	名称	权限	复位值	描述
31:29	RSVD			
28:24	RFITH	R/W	5'd0	RX FIFO threshold, dma_rx_req will not be asserted if tx_fifo_cnt is less than this value
23:21	RSVD			
20:16	TFITH	R/W	5'd0	TX FIFO threshold, dma_tx_req will not be asserted if tx_fifo_cnt is less than this value
15:14	RSVD			
13:8	RFICNT	R	6'd0	RX FIFO available count
7:6	RSVD			
5:0	TFICNT	R	6'd32	TX FIFO available count

#### 10.4.16 uart\_fifo\_wdata

地址: 0x4000a088



31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
RSVD															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RSVD								UFIWD							

位	名称	权限	复位值	描述
31:8	RSVD			
7:0	UFIWD	W	x	UART FIFO write data

#### 10.4.17 uart\_fifo\_rdata

地址: 0x4000a08c

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
RSVD															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RSVD								UFIRD							

位	名称	权限	复位值	描述
31:8	RSVD			
7:0	UFIRD	R	8'h0	UART FIFO read data

## 11.1 简介

I2C (Inter-Integrated Circuit) 是一种串行通讯总线，使用多主从架构，用来连接低速外围装置。每个器件都有一个唯一的地址识别，并且都可以作为一个发送器或接收器。每个连接到总线的器件都可以通过唯一的地址和一直存在的主、从机关系用软件设置地址，主机可以作为主机发送器或主机接收器。如果有两个或多个主机同时初始化，数据传输可以通过冲突检测和仲裁防止数据被破坏。BL602/BL604 包含一个 I2C 控制器主机，可灵活配置 `slaveAddr`、`subAddr` 以及传输数据，方便与从设备通信，提供 2 个 word 深度的 fifo，提供中断功能，可搭配 DMA 使用提高效率，可灵活调整时钟频率。

## 11.2 主要特征

- 支持主机模式
- 支持多主机模式和仲裁功能
- 时钟频率可灵活调整
- 最高工作频率为 40MHz

## 11.3 功能描述

引脚列表：

表 11.1: I2C 引脚

名称	类型	描述
I2Cx_SCL	输入/输出	I2C 串行时钟信号
I2Cx_SDA	输入/输出	I2C 串行数据信号

### 11.3.1 起始和停止条件

所有传输都由起始条件 (START condition) 开始，以停止条件 (STOP condition) 结束。起始条件和停止条件一般都由主机产生，总线在起始条件后被认为处于总线忙的状态，在停止条件后的某段时间内被认为处于空闲状态。

起始条件:SCL 为高电平时 SDA 产生一高至低的电平转换；停止条件:SCL 为高电平时 SDA 产生一低至高的电平转换。

波形示意图如下：

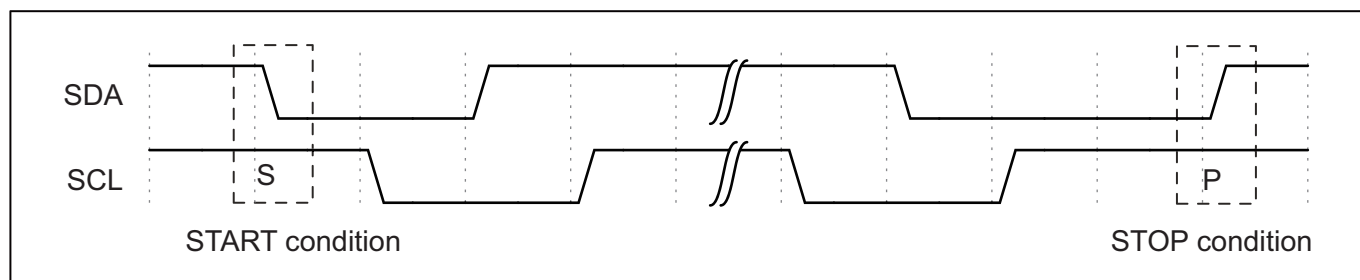


图 11.1: I2C 起始和停止条件

### 11.3.2 数据传输格式

传输的第一个 8 位为寻址字节，包括 7 位从机地址和 1 位方向位。数据由主机发送或接收是由主机所送出的第 1 个字节的第 8 位控制，若为 0 表示数据由主机发送；为 1 则表示数据由主机接收，紧接着从机发出应答位 (ACK)，在数据传输完成后，主机发出停止信号，波形图如下：

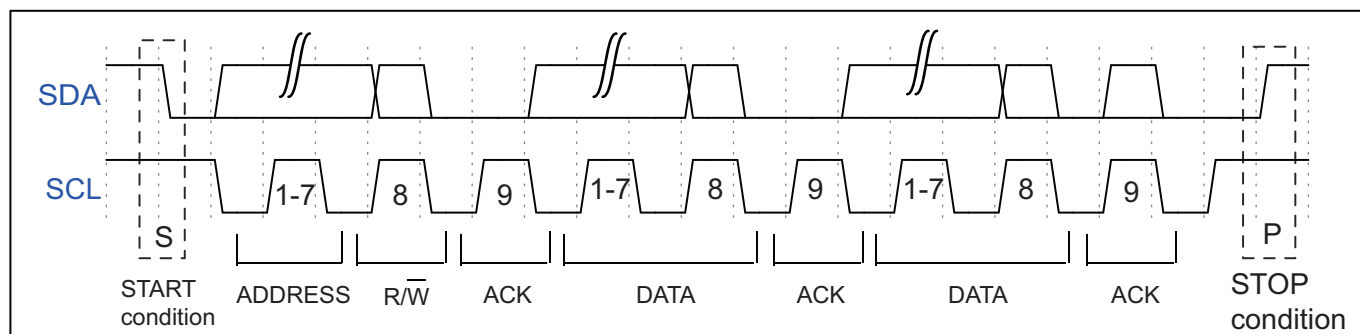


图 11.2: I2C 数据传输格式

### 主发送和从接收的时序

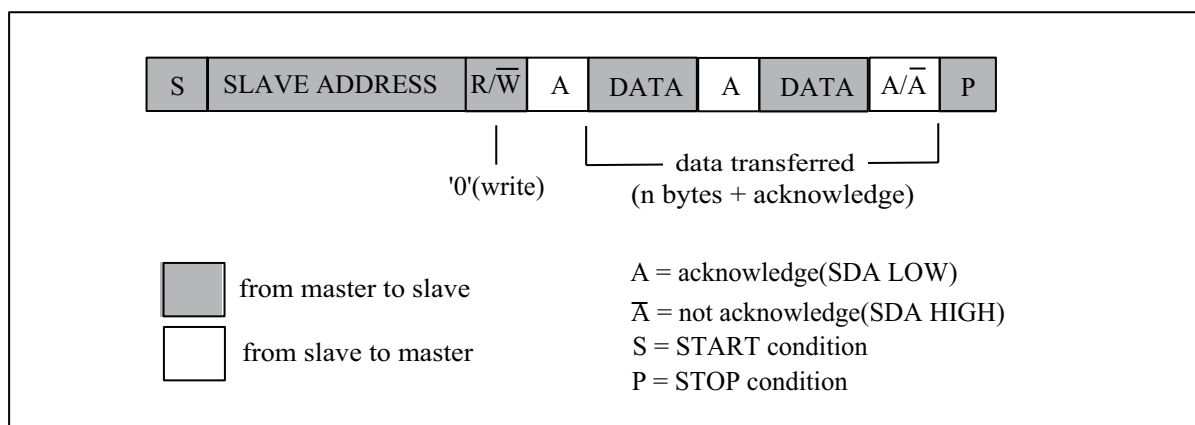


图 11.3: 主发送和从接收的时序

### 主接收和从发送的时序

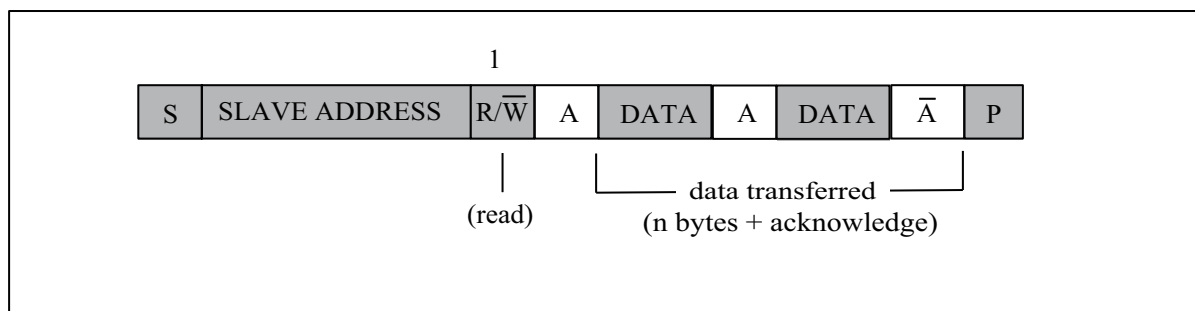


图 11.4: 主接收和从发送的时序

### 11.3.3 仲裁

当 I2C 总线存在多个主机时，可能会发生多个主机同时启动传输的情况，此时必须要依靠仲裁机制来决定哪个主机有权利完成接下来的数据传输，其余主机则须放弃对总线的控制，等到总线再次空出来后才能再次启动传输。

在传输过程中，所有主机都需要在 SCL 为高电平时检查 SDA 是否与自己所想送出的资料相符，当 SDA 电平与预期不同时，表示有别的主机也在同时进行传输，而发现 SDA 电平不同的主机则失去此次仲裁，由其他主机完成数据传输。

两主机同时传输数据并启动仲裁机制的波形示意图如下：

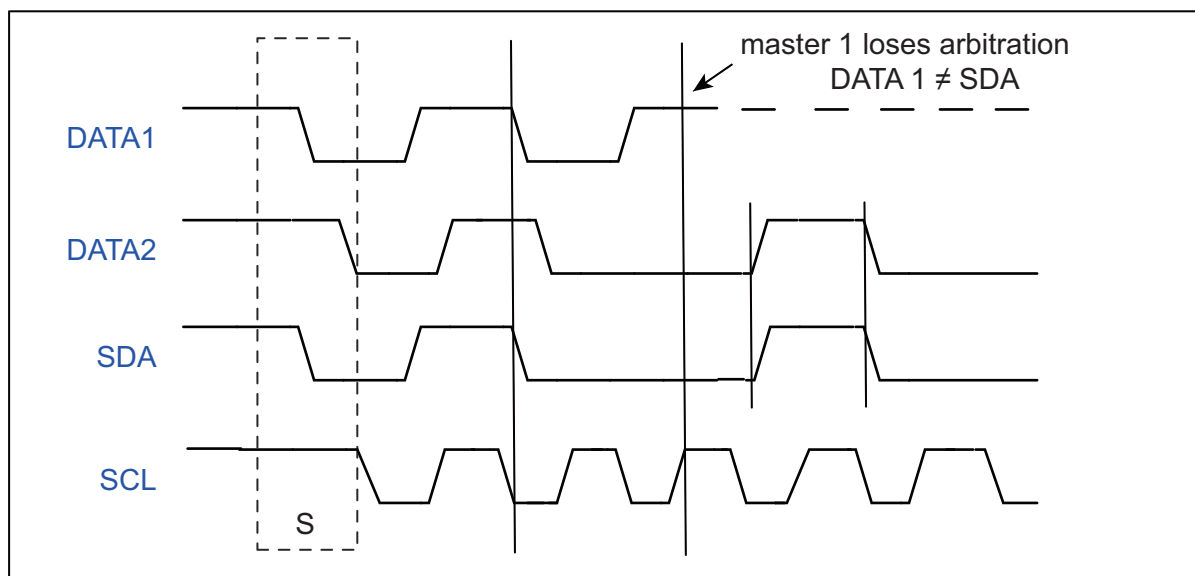


图 11.5: 同时传输数据波形示意图

## 11.4 I2C 时钟设定

I2C 的时钟是由 `bclk`(bus clock) 而来，可以在 `bclk` 时钟的基础上做分频处理。寄存器 `I2C_PRD_DATA` 可以对数据段的时钟做分频处理。`i2c` 模块将数据发送分为 4 个阶段，每个阶段在寄存器中用单独一个字节来控制，每个阶段的采样个数是可以设置的，4 个采样数共同决定了 `i2c clock` 的分频系数。比如现在 `bclk` 是 32M，寄存器 `I2C_PRD_DATA` 在不做配置默认情况下的值是 `0x15151515`，那么 I2C 的时钟频率为  $32M / ((15 + 1) * 4) = 500K$ 。同理，寄存器 `I2C_PRD_START` 和 `I2C_PRD_STOP` 也会分别对起始位和停止位的时钟做分频处理。

## 11.5 I2C 配置流程

### 11.5.1 配置项

- 读写标志位
- 从设备地址
- 从设备寄存器地址
- 从设备寄存器地址长度
- 数据 (发送时，配置发送的数据；接收时，存储接收到的数据)
- 数据长度
- 使能信号

### 11.5.2 读写标志位

I2C 支持发送和接收两种工作状态，寄存器 PKTDIR 表示发送或者接收状态，设置为 0 时，表示发送状态，设置为 1 时，表示接收状态。

### 11.5.3 从设备地址

每个对接 I2C 的从设备，都会有唯一设别地址，通常该地址是 7 位长度，将从设备地址写入寄存器 SLVADDR，I2C 在将从设备地址发送出去之前，会自动左移 1 位，并在最低位补上发送接收方向位。

### 11.5.4 从设备寄存器地址

从设备寄存器地址表示 I2C 需要对从设备某个寄存器做读写操作的寄存器地址。将从设备寄存器地址写入寄存器 I2C\_SUB\_ADDR，同时需要将寄存器 SAEN 置 1。如果将寄存器 SAEN 置 0，那么 I2C 主机发送时会跳过从设备寄存器地址段。

### 11.5.5 从设备寄存器地址长度

将从设备寄存器地址长度减 1 再写入寄存器 SABC。

### 11.5.6 数据

数据部分表示需要发送到从设备的数据，或者需要从从设备接收到的数据。当 I2C 发送数据时，需要将数据依次以 word 为单位写入 I2C FIFO，发送数据写 FIFO 的寄存器地址 I2C\_FIFO\_WDATA。当 I2C 接收数据时，需要依次以 word 为单位从 I2C FIFO 中将数据读出来，接收数据读 FIFO 的寄存器地址 I2C\_FIFO\_RDATA。

### 11.5.7 数据长度

将数据长度减 1 再写入寄存器 PKTLEN。

### 11.5.8 使能信号

将以上几项配置完成后，再将使能信号寄存器 MEN 写 1，就自动启动 I2C 发送流程了。

当读写标志位配置为 0 时，I2C 发送数据，主机发送流程：

1. 起始位
2. (从设备地址左移 1 位 + 0) + ACK
3. 从设备寄存器地址 + ACK
4. 1 字节数据 + ACK
5. 1 字节数据 + ACK
6. 停止位

当读写标志位配置为 1 时，I2C 接收数据，主机发送流程：

1. 起始位
2. (从设备地址左移 1 位 + 0) + ACK
3. 从设备寄存器地址 + ACK
4. 起始位
5. (从设备地址左移 1 位 + 1) + ACK
6. 1 字节数据 + ACK
7. 1 字节数据 + ACK
8. 停止位

## 11.6 FIFO 管理

I2C FIFO 深度为 2 个 word，I2C 发送和接收可分为 RX FIFO 和 TX FIFO。寄存器 RFICNT 表示 RX FIFO 中有多少数据 (单位 word) 需要读取。寄存器 TFICNT 表示 TX FIFO 中剩余多少空间 (单位 Word) 可供写入。

I2C FIFO 状态：

- RX FIFO underflow: 当 RX FIFO 中的数据被读取完毕或者为空时，继续从 RX FIFO 中读取数据，寄存器 RFIU 会被置位；
- RX FIFO overflow: 当 I2C 接收数据直到 RX FIFO 的 2 个 word 被填满后，在没有读取 RX FIFO 的情况下，I2C 再次接收到数据，寄存器 RFIO 会被置位；
- TX FIFO underflow: 当向 TX FIFO 中填入的数据大小不满足配置的 I2C 数据长度 PKTLEN，并且已经没有新数据继续填入 TX FIFO 中时，寄存器 TFIU 会被置位；
- TX FIFO overflow: 当 TX FIFO 的 2 个 word 被填满后，在 TX FIFO 中的数据没有发出去之前，再次向 TX FIFO 中填入数据，寄存器 TFIO 会被置位。

## 11.7 搭配使用 DMA

I2C 可以使用 DMA 进行数据的发送和接收。将 DTEN 置 1，则开启 DMA 发送模式，为 I2C 分配好通道后，DMA 会将数据从存储区传输到 I2C\_FIFO\_WDATA 寄存器中。将 DREN 置 1，则开启 DMA 接收模式，为 I2C 分配好通道后，DMA 会将 I2C\_FIFO\_RDATA 寄存器中的数据传输到存储区中。I2C 模块搭配使用 DMA 时，数据部分将由 DMA 自动完成搬运，不需要 CPU 再将数据写入 I2C TX FIFO 或者从 I2C RX FIFO 中读取数据。

### 11.7.1 DMA 发送流程

1. 配置读写标志位为 0
2. 配置从设备地址

3. 配置从设备寄存器地址
4. 配置从设备寄存器地址长度
5. 数据长度
6. 使能信号寄存器置 1
7. 配置 DMA transfer size
8. 配置 DMA 源地址 transfer width
9. 配置 DMA 目的地址 transfer width(需要注意 I2C 搭配 DMA 使用时, 目的地址 transfer width 需要设置为 32bits, 以 word 对齐使用)
10. 配置 DMA 源地址为存储发送数据的内存地址
11. 配置 DMA 目的地址为 I2C TX FIFO 地址, I2C\_FIFO\_WDATA
12. 使能 DMA

### 11.7.2 DMA 接收流程

1. 配置读写标志位为 1
2. 配置从设备地址
3. 配置从设备寄存器地址
4. 配置从设备寄存器地址长度
5. 数据长度
6. 使能信号寄存器置 1
7. 配置 DMA transfer size
8. 配置 DMA 源地址 transfer width(需要注意 I2C 搭配 DMA 使用时, 源地址 transfer width 需要设置为 32bits, 以 word 对齐使用)
9. 配置 DMA 目的地址 transfer width
10. 配置 DMA 源地址为 I2C RX FIFO 地址, I2C\_FIFO\_RDATA
11. 配置 DMA 目的地址为存储接收数据的内存地址
12. 使能 DMA

## 11.8 中断

I2C 包括如下几种中断:

- I2C\_TRANS\_END\_INT: I2C 传输结束中断



- I2C\_TX\_FIFO\_READY\_INT: 当 I2C TX FIFO 有空闲空间可用于填充时，触发中断
- I2C\_RX\_FIFO\_READY\_INT: 当 I2C RX FIFO 接收到数据时，触发中断
- I2C\_NACK\_RECV\_INT: 当 I2C 模块检测到 NACK 状态，触发中断
- I2C\_ARB\_LOST\_INT: I2C 仲裁丢失中断
- I2C\_FIFO\_ERR\_INT: I2C FIFO ERROR 中断

## 11.9 寄存器描述

名称	描述
i2c_config	I2C configuration register
i2c_int_sts	I2C interrupt status
i2c_sub_addr	I2C sub-address configuration
i2c_bus_busy	I2C bus busy control register
i2c_prd_start	I2C length of start phase
i2c_prd_stop	I2C length of stop phase
i2c_prd_data	I2C length of data phase
i2c_fifo_config_0	I2C FIFO configuration register0
i2c_fifo_config_1	I2C FIFO configuration register1
i2c_fifo_wdata	I2C FIFO write data
i2c_fifo_rdata	I2C FIFO read data

### 11.9.1 i2c\_config

地址: 0x4000a300

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
DEGCNT				RSVD				PKTLEN							
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RSVD	SLVADDR							RSVD	SABC		SAEN	SCLS EN	DEG EN	PKT DIR	MEN

位	名称	权限	复位值	描述
31:28	DEGCNT	R/W	4'd0	De-glitch function cycle count

位	名称	权限	复位值	描述
27:24	RSVD			
23:16	PKTLEN	R/W	8'd0	Packet length (unit: byte)
15	RSVD			
14:8	SLVADDR	R/W	7'd0	Slave address for I2C transaction (target address)
7	RSVD			
6:5	SABC	R/W	2'd0	Sub-address field byte count 2'd0: 1-byte, 2'd1: 2-byte, 2'd2: 3-byte, 2'd3: 4-byte
4	SAEN	R/W	1'b0	Enable signal of I2C sub-address field
3	SCLSEN	R/W	1'b1	Enable signal of I2C SCL synchronization, should be enabled to support Multi-Master and Clock-Stretching (Normally should not be turned-off)
2	DEGEN	R/W	1'b0	Enable signal of I2C input de-glitch function (for all input pins)
1	PKTDIR	R/W	1'b1	Transfer direction of the packet 1'b0: Write; 1'b1: Read
0	MEN	R/W	1'b0	Enable signal of I2C Master function Asserting this bit will trigger the transaction, and should be de-asserted after finish

## 11.9.2 i2c\_int\_sts

地址: 0x4000a304

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
RSVD		FER EN	ARB EN	NAK EN	RXF EN	TXF EN	END EN	RSVD			ARB CLR	NAK CLR	RSVD		END CLR
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RSVD		FER MASK	ARB MASK	NAK MASK	RXF MASK	TXF MASK	END MASK	RSVD			FER INT	ARB INT	NAK INT	RXF INT	TXF INT

位	名称	权限	复位值	描述
31:30	RSVD			
29	FEREN	R/W	1'b1	Interrupt enable of i2c_fer_int
28	ARBEN	R/W	1'b1	Interrupt enable of i2c_arb_int
27	NAKEN	R/W	1'b1	Interrupt enable of i2c_nak_int
26	RXFEN	R/W	1'b1	Interrupt enable of i2c_rxf_int

位	名称	权限	复位值	描述
25	TXFEN	R/W	1'b1	Interrupt enable of i2c_txf_int
24	ENDEN	R/W	1'b1	Interrupt enable of i2c_end_int
23:21	RSVD			
20	ARBCLR	W1C	1'b0	Interrupt clear of i2c_arb_int
19	NAKCLR	W1C	1'b0	Interrupt clear of i2c_nak_int
18:17	RSVD			
16	ENDCLR	W1C	1'b0	Interrupt clear of i2c_end_int
15:14	RSVD			
13	FERMASK	R/W	1'b1	Interrupt mask of i2c_fer_int
12	ARBMASK	R/W	1'b1	Interrupt mask of i2c_arb_int
11	NAKMASK	R/W	1'b1	Interrupt mask of i2c_nak_int
10	RXFMASK	R/W	1'b1	Interrupt mask of i2c_rxf_int
9	TXFMASK	R/W	1'b1	Interrupt mask of i2c_txf_int
8	ENDMASK	R/W	1'b1	Interrupt mask of i2c_end_int
7:6	RSVD			
5	FERINT	R	1'b0	I2C TX/RX FIFO error interrupt, auto-cleared when FIFO overflow/underflow error flag is cleared
4	ARBINT	R	1'b0	I2C arbitration lost interrupt
3	NAKINT	R	1'b0	I2C NACK-received interrupt
2	RXFINT	R	1'b0	I2C RX FIFO ready (rx_fifo_cnt > rx_fifo_th) interrupt, auto-cleared when data is popped
1	TXFINT	R	1'b0	I2C TX FIFO ready (tx_fifo_cnt > tx_fifo_th) interrupt, auto-cleared when data is pushed
0	ENDINT	R	1'b0	I2C transfer end interrupt

### 11.9.3 i2c\_sub\_addr

地址: 0x4000a308

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
SUBAB3								SUBAB2							
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SUBAB1								SUBAB0							

位	名称	权限	复位值	描述
31:24	SUBAB3	R/W	8'd0	I2C sub-address field - byte[3]
23:16	SUBAB2	R/W	8'd0	I2C sub-address field - byte[2]
15:8	SUBAB1	R/W	8'd0	I2C sub-address field - byte[1]
7:0	SUBAB0	R/W	8'd0	I2C sub-address field - byte[0] (sub-address starts from this byte)

### 11.9.4 i2c\_bus\_busy

地址: 0x4000a30c

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
RSVD															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RSVD														BUSY CLR	BUSY

位	名称	权限	复位值	描述
31:2	RSVD			
1	BUSYCLR	W1C	1'b0	Clear signal of bus_busy status, not for normal usage (in case I2C bus hangs)
0	BUSY	R	1'b0	Indicator of I2C bus busy

### 11.9.5 i2c\_prd\_start

地址: 0x4000a310

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
PRDSPH3								PRDSPH2							
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
PRDSPH1								PRDSPH0							

位	名称	权限	复位值	描述
31:24	PRDSPH3	R/W	8'd15	Length of START condition phase 3
23:16	PRDSPH2	R/W	8'd15	Length of START condition phase 2
15:8	PRDSPH1	R/W	8'd15	Length of START condition phase 1

位	名称	权限	复位值	描述
7:0	PRDSPH0	R/W	8'd15	Length of START condition phase 0

### 11.9.6 i2c\_prd\_stop

地址: 0x4000a314

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
PRDPPH3								PRDPPH2							
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
PRDPPH1								PRDPPH0							

位	名称	权限	复位值	描述
31:24	PRDPPH3	R/W	8'd15	Length of STOP condition phase 3
23:16	PRDPPH2	R/W	8'd15	Length of STOP condition phase 2
15:8	PRDPPH1	R/W	8'd15	Length of STOP condition phase 1
7:0	PRDPPH0	R/W	8'd15	Length of STOP condition phase 0

### 11.9.7 i2c\_prd\_data

地址: 0x4000a318

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
PRDDPH3								PRDDPH2							
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
PRDDPH1								PRDDPH0							

位	名称	权限	复位值	描述
31:24	PRDDPH3	R/W	8'd15	Length of DATA phase 3
23:16	PRDDPH2	R/W	8'd15	Length of DATA phase 2
15:8	PRDDPH1	R/W	8'd15	Length of DATA phase 1 Note: This value should not be set to 8'd0, adjust source clock rate instead if higher I2C clock rate is required
7:0	PRDDPH0	R/W	8'd15	Length of DATA phase 0

### 11.9.8 i2c\_fifo\_config\_0

地址：0x4000a380

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
RSVD															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RSVD								RFIU	RFIO	TFIU	TFIO	RFI CLR	TFI CLR	DREN	DTEN

位	名称	权限	复位值	描述
31:8	RSVD			
7	RFIU	R	1'b0	Underflow flag of RX FIFO, can be cleared by rx_fifo_clr
6	RFIO	R	1'b0	Overflow flag of RX FIFO, can be cleared by rx_fifo_clr
5	TFIU	R	1'b0	Underflow flag of TX FIFO, can be cleared by tx_fifo_clr
4	TFIO	R	1'b0	Overflow flag of TX FIFO, can be cleared by tx_fifo_clr
3	RFICLR	W1C	1'b0	Clear signal of RX FIFO
2	TFICLR	W1C	1'b0	Clear signal of TX FIFO
1	DREN	R/W	1'b0	Enable signal of dma_rx_req/ack interface
0	DTEN	R/W	1'b0	Enable signal of dma_tx_req/ack interface

### 11.9.9 i2c\_fifo\_config\_1

地址：0x4000a384

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
RSVD								RFI TH	RSVD						TFI TH
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RSVD							RFICNT	RSVD						TFICNT	

位	名称	权限	复位值	描述
31:25	RSVD			
24	RFITH	R/W	1'd0	RX FIFO threshold, dma_rx_req will not be asserted if tx_fifo_cnt is less than this value
23:17	RSVD			
16	TFITH	R/W	1'd0	TX FIFO threshold, dma_tx_req will not be asserted if tx_fifo_cnt is less than this value

位	名称	权限	复位值	描述
15:10	RSVD			
9:8	RFICNT	R	2'd0	RX FIFO available count
7:2	RSVD			
1:0	TFICNT	R	2'd2	TX FIFO available count

### 11.9.10 i2c\_fifo\_wdata

地址: 0x4000a388

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
FIWD															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
FIWD															

位	名称	权限	复位值	描述
31:0	FIWD	W	x	I2C FIFO write data

### 11.9.11 i2c\_fifo\_rdata

地址: 0x4000a38c

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
FIRD															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
FIRD															

位	名称	权限	复位值	描述
31:0	FIRD	R	32'h0	I2C FIFO read data

## 12.1 简介

脉冲宽度调制（Pulse width modulation，简称 PWM）是一种模拟控制方式，根据相应载荷的变化来调制晶体管基极或 MOS 管栅极的偏置，来实现晶体管或 MOS 管导通时间的改变，从而实现开关稳定电源输出的改变。这种方式能使电源的输出电压在工作条件变化时保持恒定，是利用微处理器的数字信号对模拟电路进行控制的一种非常有效的技术，广泛应用在从测量、通信到功率控制与变换的许多领域中。

## 12.2 主要特征

- 支持 5 通道 PWM 信号生成
- 三种时钟源可选择（总线时钟 <bclk>、晶振时钟 <xtal\_ck>、慢速时钟 <32k>），搭配 16-bit 时钟分频器
- 双门限值设定，增加脉冲弹性
- 最高工作频率为 40MHz

## 12.3 功能描述

### 12.3.1 时钟与分频器

每个 PWM 计数器时钟来源都有三种选择，来源如下：

1. bclk - 芯片的总线时钟
2. XTAL - 外部晶振时钟
3. f32k - 系统 RTC 时钟

每个计数器都有各自的 16-bit 分频器，可通过 APB 将选择到的时钟进行分频，PWM 计数器将以分频后的时钟作为计数周期单位，每经过一个计数周期进行数一的动作。



### 12.3.2 脉冲产生原理

PWM 内部有计数器，当计数器介于可设定的两个门限值域中间时，PWM 的输出为 1，反之当计数器在设定的两个门限值之外时，PWM 输出为 0，如下图所示：

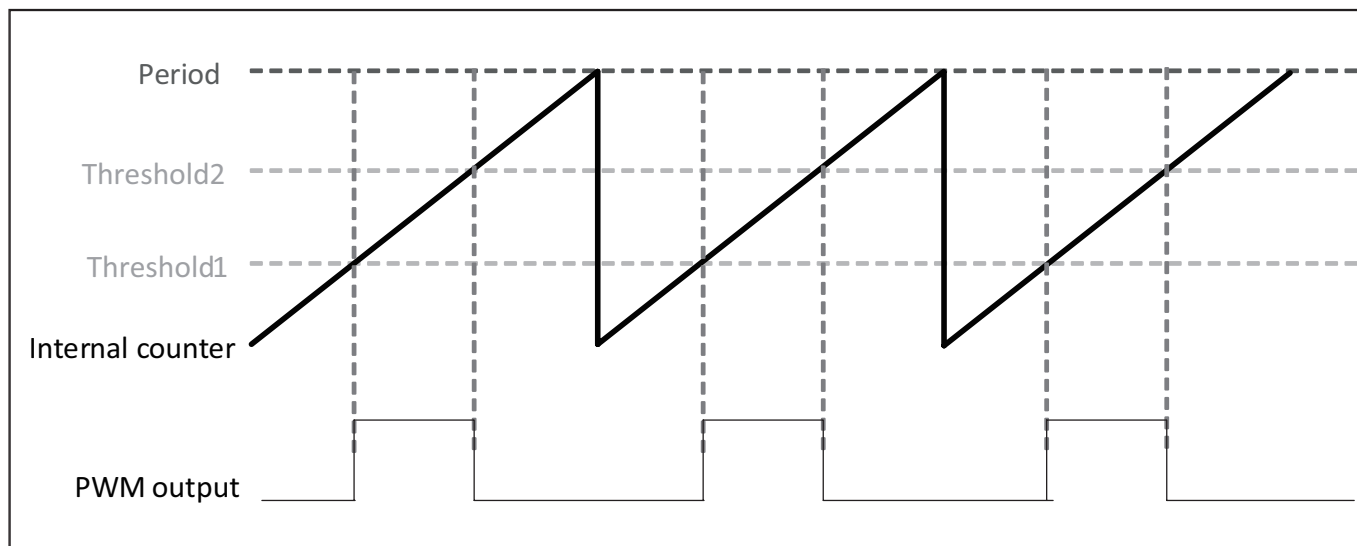


图 12.1: PWM 波形示意图

PWM 的周期由两部分决定，一个是时钟分频系数，一个是时钟持续周期。

时钟分频系数由寄存器 PWMn\_CLK\_DIV[15:0](n 为 0~5) 进行设置，用于对 PWM 的源时钟进行分频。

时钟持续周期由寄存器 PWMn\_PERIOD[15:0](n 为 0~5) 进行设置，用于设置 PWM 的一个周期由多少个分频后的时钟周期组成。即 PWM 的周期 = PWM 源时钟 / PWMn\_CLK\_DIV[15:0] / PWMn\_PERIOD[15:0]。

PWM 的占空比由时钟持续周期和两个阈值决定。第一个阈值由寄存器 PWMn\_THRE1[15:0](n 为 0~5) 进行设置，第二个阈值由寄存器 PWMn\_THRE2[15:0](n 为 0~5) 进行设置，PWM 的波形会在第一个阈值处拉高，在第二个阈值处拉低。即 PWM 的占空比 = (PWMn\_THRE2[15:0] - PWMn\_THRE1[15:0]) / PWMn\_PERIOD[15:0]。

例：PWM 源时钟为 80MHz，要产生 1kHz、占空比 20% 的 PWM 波，则设置如下：

PWMn\_CLK\_DIV[15:0]=2

PWMn\_PERIOD[15:0]=80000000/2/1000=40000

PWMn\_THRE1[15:0]=0

PWMn\_THRE2[15:0]=0+40000\*20%=8000

### 12.3.3 PWM 中断

对于每一个 PWM 通道，可以设置周期计数值，当 PWM 输出的周期数达到这个计数值时，将产生 PWM 中断。

表 12.1: 占空比参数

频率/MHz	支持的占空比 (n 为整数, 且 $2 \leq n \leq 65535^2$ )											
40	0%	50%	100%									
26.67	0%	33.33%	66.67%	100%								
20	0%	25%	50%	75%	100%							
16	0%	20%	40%	60%	80%	100%						
13.33	0%	16.67%	33.33%	50%	66.67%	83.33%	100%					
11.43	0%	14.29%	28.57%	42.86%	57.14%	71.43%	85.71%	100%				
10	0%	12.50%	25%	37.50%	50%	62.50%	75%	87.50%	100%			
8.89	0%	11.11%	22.22%	33.33%	44.44%	55.56%	66.67%	77.78%	88.89%	100%		
8	0%	10%	20%	30%	40%	50%	60%	70%	80%	90%	100%	
•												
•												
•												
80/n	0/n	1/n	2/n	3/n	4/n	5/n	6/n	7/n	8/n	9/n	...	n/n

## 12.4 寄存器描述

名称	描述
pwm_int_config	PWM interrupt configuration register
pwm0_clkdiv	PWM0 clock division configuration register
pwm0_thre1	PWM0 first counter threshold configuration register
pwm0_thre2	PWM0 sencond counter threshold configuration register
pwm0_period	PWM0 period setting register
pwm0_config	PWM0 configuration register
pwm0_interrupt	PWM0 interrupt register
pwm1_clkdiv	PWM1 clock division configuration register
pwm1_thre1	PWM1 first counter threshold configuration register
pwm1_thre2	PWM1 sencond counter threshold configuration register
pwm1_period	PWM1 period setting register
pwm1_config	PWM1 configuration register

名称	描述
pwm1_interrupt	PWM1 interrupt register
pwm2_clkdiv	PWM2 clock division configuration register
pwm2_thre1	PWM2 first counter threshold configuration register
pwm2_thre2	PWM2 sencond counter threshold configuration register
pwm2_period	PWM2 period setting register
pwm2_config	PWM2 configuration register
pwm2_interrupt	PWM2 interrupt register
pwm3_clkdiv	PWM3 clock division configuration register
pwm3_thre1	PWM3 first counter threshold configuration register
pwm3_thre2	PWM3 sencond counter threshold configuration register
pwm3_period	PWM3 period setting register
pwm3_config	PWM3 configuration register
pwm3_interrupt	PWM3 interrupt register
pwm4_clkdiv	PWM4 clock division configuration register
pwm4_thre1	PWM4 first counter threshold configuration register
pwm4_thre2	PWM4 sencond counter threshold configuration register
pwm4_period	PWM4 period setting register
pwm4_config	PWM4 configuration register
pwm4_interrupt	PWM4 interrupt register

### 12.4.1 pwm\_int\_config

地址：0x4000a400

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
RSVD															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RSVD		INTCLR						RSVD			INTSTS				

位	名称	权限	复位值	描述
31:14	RSVD			

位	名称	权限	复位值	描述
13:8	INTCLR	W	6'd0	PWM channel interrupt clear
7:6	RSVD			
5:0	INTSTS	R	6'd0	PWM channel interrupt status

## 12.4.2 pwm0\_clkdiv

地址: 0x4000a420

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
RSVD															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
CLKDIV															

位	名称	权限	复位值	描述
31:16	RSVD			
15:0	CLKDIV	R/W	16'b0	PWM clock division

## 12.4.3 pwm0\_thre1

地址: 0x4000a424

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
RSVD															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
THRE1															

位	名称	权限	复位值	描述
31:16	RSVD			
15:0	THRE1	R/W	16'b0	PWM first counter threshold, can't be larger that pwm_thre2

## 12.4.4 pwm0\_thre2

地址: 0x4000a428

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
RSVD															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
THRE2															

位	名称	权限	复位值	描述
31:16	RSVD			
15:0	THRE2	R/W	16'd0	PWM sencond counter threshold, can't be smaller that pwm_thre1

### 12.4.5 pwm0\_period

地址: 0x4000a42c

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
RSVD															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
PERIOD															

位	名称	权限	复位值	描述
31:16	RSVD			
15:0	PERIOD	R/W	16'd0	PWM period setting

### 12.4.6 pwm0\_config

地址: 0x4000a430

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
RSVD															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RSVD								STOP STA	STOP EN	SW MODE	SW FVAL	STOP MODE	OUT INV	CLKSEL	

位	名称	权限	复位值	描述
31:8	RSVD			
7	STOPSTA	R	1'b0	PWM stop status
6	STOPEN	R/W	1'b0	PWM stop enable

位	名称	权限	复位值	描述
5	SWMODE	R/W	1'b0	PWM SW Mode setting
4	SWFVAL	R/W	1'b0	PWM SW Mode force value
3	STOPMODE	R/W	1'b1	PWM stop mode, 1'b1 - graceful ; 1'b0 - abrupt
2	OUTINV	R/W	1'b0	PWM invert output mode
1:0	CLKSEL	R/W	2'd0	PWM clock source select, 2'b00-xclk ; 2'b01-bclk ; others-f32k_clk

### 12.4.7 pwm0\_interrupt

地址: 0x4000a434

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
RSVD															INT EN
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
INTPECN															

位	名称	权限	复位值	描述
31:17	RSVD			
16	INTEN	R/W	1'b0	PWM interrupt enable
15:0	INTPECN	R/W	16'd0	PWM interrupt period counter threshold

### 12.4.8 pwm1\_clkdiv

地址: 0x4000a440

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
RSVD															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
CLKDIV															

位	名称	权限	复位值	描述
31:16	RSVD			
15:0	CLKDIV	R/W	16'b0	PWM clock division

### 12.4.9 pwm1\_thre1

地址: 0x4000a444

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
RSVD															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
THRE1															

位	名称	权限	复位值	描述
31:16	RSVD			
15:0	THRE1	R/W	16'b0	PWM first counter threshold, can't be larger that pwm_thre2

### 12.4.10 pwm1\_thre2

地址: 0x4000a448

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
RSVD															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
THRE2															

位	名称	权限	复位值	描述
31:16	RSVD			
15:0	THRE2	R/W	16'd0	PWM sencond counter threshold, can't be smaller that pwm_thre1

### 12.4.11 pwm1\_period

地址: 0x4000a44c

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
RSVD															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
PERIOD															

位	名称	权限	复位值	描述
31:16	RSVD			
15:0	PERIOD	R/W	16'd0	PWM period setting

## 12.4.12 pwm1\_config

地址: 0x4000a450

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
RSVD															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RSVD								STOP STA	STOP EN	SW MODE	SW FVAL	STOP MODE	OUT INV	CLKSEL	

位	名称	权限	复位值	描述
31:8	RSVD			
7	STOPSTA	R	1'b0	PWM stop status
6	STOPEN	R/W	1'b0	PWM stop enable
5	SWMODE	R/W	1'b0	PWM SW Mode setting
4	SWFVAL	R/W	1'b0	PWM SW Mode force value
3	STOPMODE	R/W	1'b1	PWM stop mode, 1'b1 - graceful ; 1'b0 - abrupt
2	OUTINV	R/W	1'b0	PWM invert output mode
1:0	CLKSEL	R/W	2'd0	PWM clock source select, 2'b00-xclk ; 2'b01-bclk ; others-f32k_clk

## 12.4.13 pwm1\_interrupt

地址: 0x4000a454

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
RSVD															INT EN
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
INTPECN															



位	名称	权限	复位值	描述
31:17	RSVD			
16	INTEN	R/W	1'b0	PWM interrupt enable
15:0	INTPECN	R/W	16'd0	PWM interrupt period counter threshold

#### 12.4.14 pwm2\_clkdiv

地址: 0x4000a460

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
RSVD															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
CLKDIV															

位	名称	权限	复位值	描述
31:16	RSVD			
15:0	CLKDIV	R/W	16'b0	PWM clock division

#### 12.4.15 pwm2\_thre1

地址: 0x4000a464

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
RSVD															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
THRE1															

位	名称	权限	复位值	描述
31:16	RSVD			
15:0	THRE1	R/W	16'b0	PWM first counter threshold, can't be larger that pwm_thre2

#### 12.4.16 pwm2\_thre2

地址: 0x4000a468

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
RSVD															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
THRE2															

位	名称	权限	复位值	描述
31:16	RSVD			
15:0	THRE2	R/W	16'd0	PWM sencond counter threshold, can't be smaller that pwm_thre1

### 12.4.17 pwm2\_period

地址: 0x4000a46c

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
RSVD															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
PERIOD															

位	名称	权限	复位值	描述
31:16	RSVD			
15:0	PERIOD	R/W	16'd0	PWM period setting

### 12.4.18 pwm2\_config

地址: 0x4000a470

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
RSVD															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RSVD								STOP STA	STOP EN	SW MODE	SW FVAL	STOP MODE	OUT INV	CLKSEL	

位	名称	权限	复位值	描述
31:8	RSVD			
7	STOPSTA	R	1'b0	PWM stop status
6	STOPEN	R/W	1'b0	PWM stop enable

位	名称	权限	复位值	描述
5	SWMODE	R/W	1'b0	PWM SW Mode setting
4	SWFVAL	R/W	1'b0	PWM SW Mode force value
3	STOPMODE	R/W	1'b1	PWM stop mode, 1'b1 - graceful ; 1'b0 - abrupt
2	OUTINV	R/W	1'b0	PWM invert output mode
1:0	CLKSEL	R/W	2'd0	PWM clock source select, 2'b00-xclk ; 2'b01-bclk ; others-f32k_clk

### 12.4.19 pwm2\_interrupt

地址: 0x4000a474

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
RSVD															INT EN
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
INTPECN															

位	名称	权限	复位值	描述
31:17	RSVD			
16	INTEN	R/W	1'b0	PWM interrupt enable
15:0	INTPECN	R/W	16'd0	PWM interrupt period counter threshold

### 12.4.20 pwm3\_clkdiv

地址: 0x4000a480

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
RSVD															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
CLKDIV															

位	名称	权限	复位值	描述
31:16	RSVD			
15:0	CLKDIV	R/W	16'b0	PWM clock division

### 12.4.21 pwm3\_thre1

地址: 0x4000a484

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
RSVD															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
THRE1															

位	名称	权限	复位值	描述
31:16	RSVD			
15:0	THRE1	R/W	16'b0	PWM first counter threshold, can't be larger than pwm_thre2

### 12.4.22 pwm3\_thre2

地址: 0x4000a488

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
RSVD															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
THRE2															

位	名称	权限	复位值	描述
31:16	RSVD			
15:0	THRE2	R/W	16'd0	PWM second counter threshold, can't be smaller than pwm_thre1

### 12.4.23 pwm3\_period

地址: 0x4000a48c

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
RSVD															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
PERIOD															

位	名称	权限	复位值	描述
31:16	RSVD			
15:0	PERIOD	R/W	16'd0	PWM period setting

## 12.4.24 pwm3\_config

地址: 0x4000a490

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
RSVD															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RSVD								STOP STA	STOP EN	SW MODE	SW FVAL	STOP MODE	OUT INV	CLKSEL	

位	名称	权限	复位值	描述
31:8	RSVD			
7	STOPSTA	R	1'b0	PWM stop status
6	STOPEN	R/W	1'b0	PWM stop enable
5	SWMODE	R/W	1'b0	PWM SW Mode setting
4	SWFVAL	R/W	1'b0	PWM SW Mode force value
3	STOPMODE	R/W	1'b1	PWM stop mode, 1'b1 - graceful ; 1'b0 - abrupt
2	OUTINV	R/W	1'b0	PWM invert output mode
1:0	CLKSEL	R/W	2'd0	PWM clock source select, 2'b00-xclk ; 2'b01-bclk ; others-f32k_clk

## 12.4.25 pwm3\_interrupt

地址: 0x4000a494

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
RSVD															INT EN
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
INTPECN															

位	名称	权限	复位值	描述
31:17	RSVD			
16	INTEN	R/W	1'b0	PWM interrupt enable
15:0	INTPECN	R/W	16'd0	PWM interrupt period counter threshold

### 12.4.26 pwm4\_clkdiv

地址: 0x4000a4a0

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
RSVD															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
CLKDIV															

位	名称	权限	复位值	描述
31:16	RSVD			
15:0	CLKDIV	R/W	16'b0	PWM clock division

### 12.4.27 pwm4\_thre1

地址: 0x4000a4a4

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
RSVD															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
THRE1															

位	名称	权限	复位值	描述
31:16	RSVD			
15:0	THRE1	R/W	16'b0	PWM first counter threshold, can't be larger that pwm_thre2

### 12.4.28 pwm4\_thre2

地址: 0x4000a4a8

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
RSVD															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
THRE2															

位	名称	权限	复位值	描述
31:16	RSVD			
15:0	THRE2	R/W	16'd0	PWM sencond counter threshold, can't be smaller that pwm_thre1

### 12.4.29 pwm4\_period

地址: 0x4000a4ac

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
RSVD															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
PERIOD															

位	名称	权限	复位值	描述
31:16	RSVD			
15:0	PERIOD	R/W	16'd0	PWM period setting

### 12.4.30 pwm4\_config

地址: 0x4000a4b0

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
RSVD															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RSVD								STOP STA	STOP EN	SW MODE	SW FVAL	STOP MODE	OUT INV	CLKSEL	

位	名称	权限	复位值	描述
31:8	RSVD			
7	STOPSTA	R	1'b0	PWM stop status
6	STOPEN	R/W	1'b0	PWM stop enable

位	名称	权限	复位值	描述
5	SWMODE	R/W	1'b0	PWM SW Mode setting
4	SWFVAL	R/W	1'b0	PWM SW Mode force value
3	STOPMODE	R/W	1'b1	PWM stop mode, 1'b1 - graceful ; 1'b0 - abrupt
2	OUTINV	R/W	1'b0	PWM invert output mode
1:0	CLKSEL	R/W	2'd0	PWM clock source select, 2'b00-xclk ; 2'b01-bclk ; others-f32k_clk

### 12.4.31 pwm4\_interrupt

地址: 0x4000a4b4

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
RSVD															INT EN
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
INTPECN															

位	名称	权限	复位值	描述
31:17	RSVD			
16	INTEN	R/W	1'b0	PWM interrupt enable
15:0	INTPECN	R/W	16'd0	PWM interrupt period counter threshold



### 13.1 简介

芯片内置 2 组 32-bit 计数器，每个计数器可独立控制配置其参数与时钟频率。

芯片内有一组看门狗计数器，不可预知的软件或硬件行为有可能导致应用程序工作失常，看门狗定时器可以帮助系统从中恢复，如果当前阶段超过预定时间，但没有喂狗或关闭看门狗定时器，可依设定触发中断或系统复位。

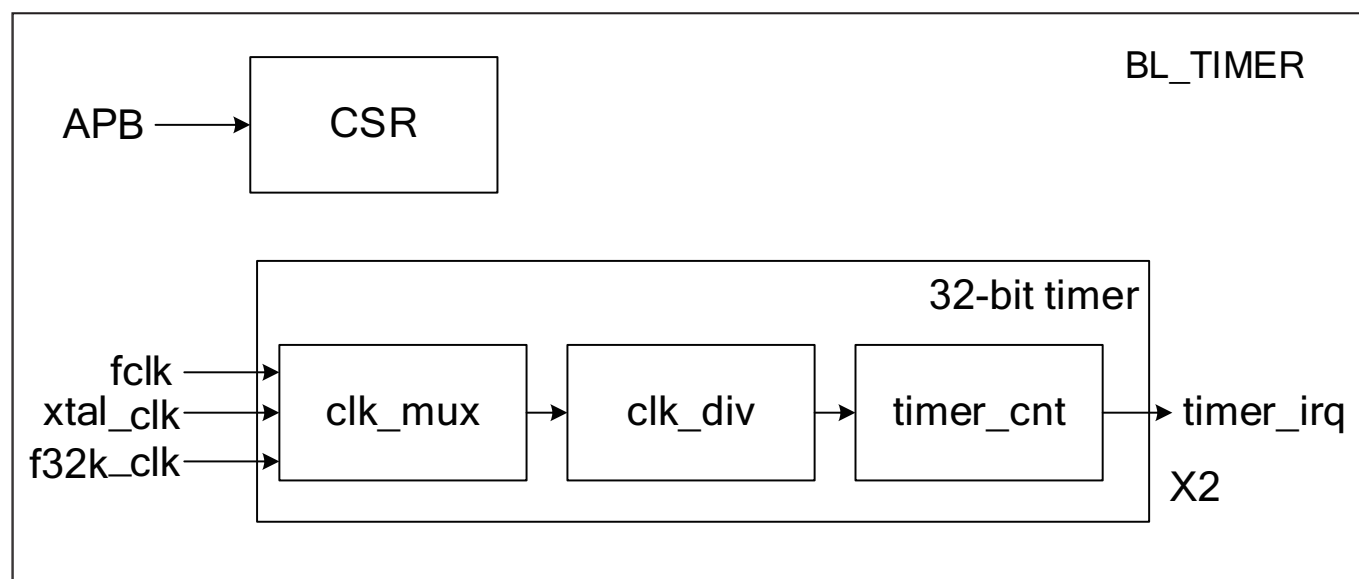


图 13.1: 定时器框图

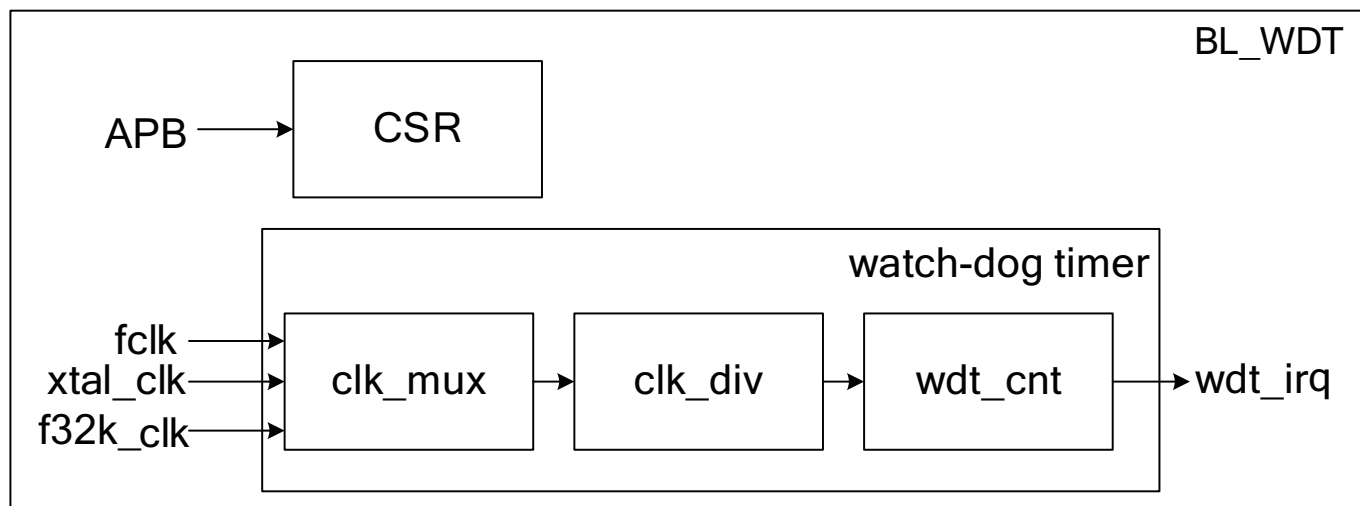


图 13.2: 看门狗定时器框图

## 13.2 主要特征

- 多种时钟来源，最高可支持 160M 时钟
- 8-bit 时钟分频器，分频系数为 1-256
- 两组 32-bit 定时器
- 每个定时器包含三组报警值设定，可独立设定每组报警值溢出时报警
- 支持 Free Run 模式和 Pre\_load 模式
- 16-bit 看门狗定时器
- 支持写入密码保护，防止误设定造成系统异常
- 支持中断或复位两种看门狗溢出方式

## 13.3 功能描述

### 13.3.1 8-bit 分频器

Watchdog 定时器时钟有 3 种选择：

- Fclk—系统主时钟
- 32K—32K 时钟
- Xtal—外部晶振

每个定时器时钟来源都有四种选择，来源如下：

- Fclk—系统主时钟

- 32K–32K 时钟
- 1K–1K 时钟（32K 的分频）
- Xtal–外部晶振

每个计数器有各自的 8-bit 分频器，可通过 APB 将选择到的时钟进行 1-256 的分频，具体来说设定为 0 时表示不分频，设定为 1 时进行 2 分频以此类推，最大分频系数为 256，计数器将以分频后的时钟作为计数周期单位，每经过一个计数周期进行上数一的动作。

### 13.3.2 通用定时器工作原理

每个通用定时器都包含三组比较器，一个计数器以及一个预加载寄存器，当设定好时钟源，启动定时器后，计数器开始向上累加计数，当计数器的值与比较器相等的时候，比较标志置位同时可以产生比较中断。

计数器的初始值取决于定时的模式，在 FreeRun 模式下，计数器的初始值是 0，然后累加计数，当达到计数最大值后，然后从 0 再次开始计数。

在 PreLoad 模式下，计数器的初始值是 PreLoad 寄存器的值，然后向上累加计数，当满足 PreLoad 条件时，计数器的值被置为 PreLoad 寄存器的值，然后计数器再次开始向上累加计数，在定时器的计数器计数过程中，一旦计数器的值与三个比较器中的某比较值一致，该比较器的比较标志就会置位，并可以产生相应的比较中断。

若预加载寄存器的值为 10，比较器 0 的值为 13，比较器 1 的值为 16，比较器 2 的值为 19，则定时器在 PreLoad 的模式下工作时序如下图：

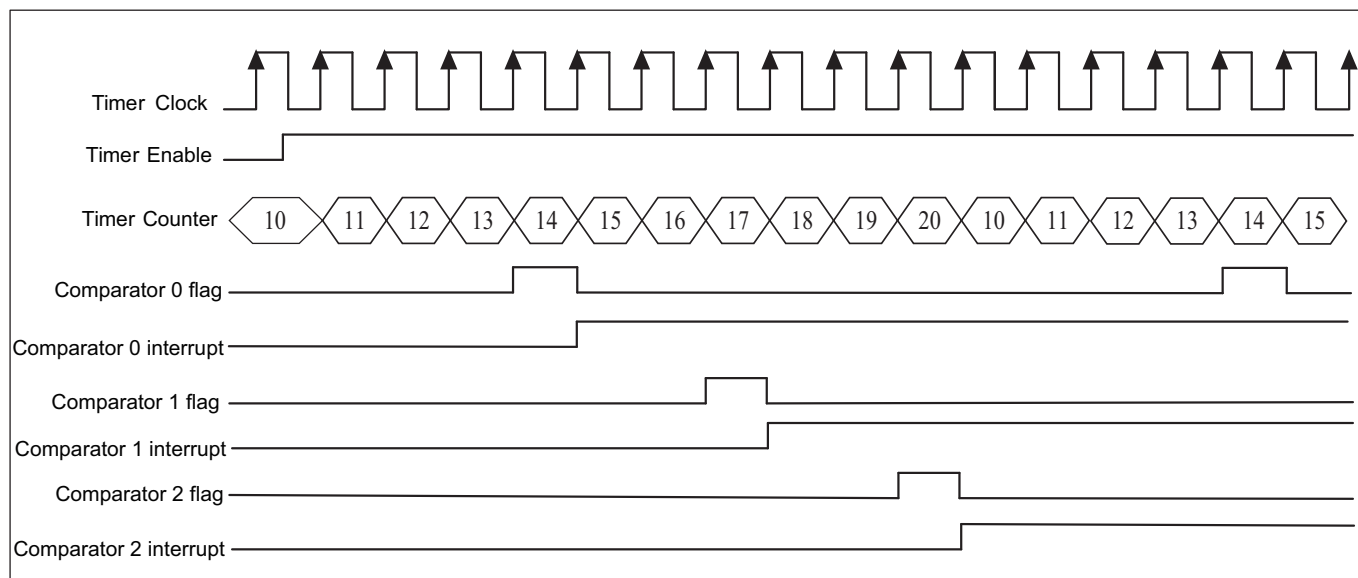


图 13.3: 定时器在 PreLoad 模式下工作时序

在 FreeRun 模式下，定时器工作时序与 PreLoad 基本相同，只是计数器会从 0 开始累计到最大值，期间产生的比较标志和比较中断的机制与 FreeRun 模式相同。

### 13.3.3 看门狗定时器工作原理

Watchdog 定时器包含一个计数器和一个比较器，计数器从 0 开始累加计数，如果计数器被复位 (喂狗)，则从 0 再次开始向上计数，当计数器的值与比较器相等的时候，可以产生一个比较中断信号或者系统复位信号，用户可以根据需要选择使用其中一个。看门狗计数器会在每个计数周期单位上加 1，软件可以在任何时间点通过 APB 将看门狗计数器归零。

若比较器的值为 6, Watchdog 的工作时序如下图所示

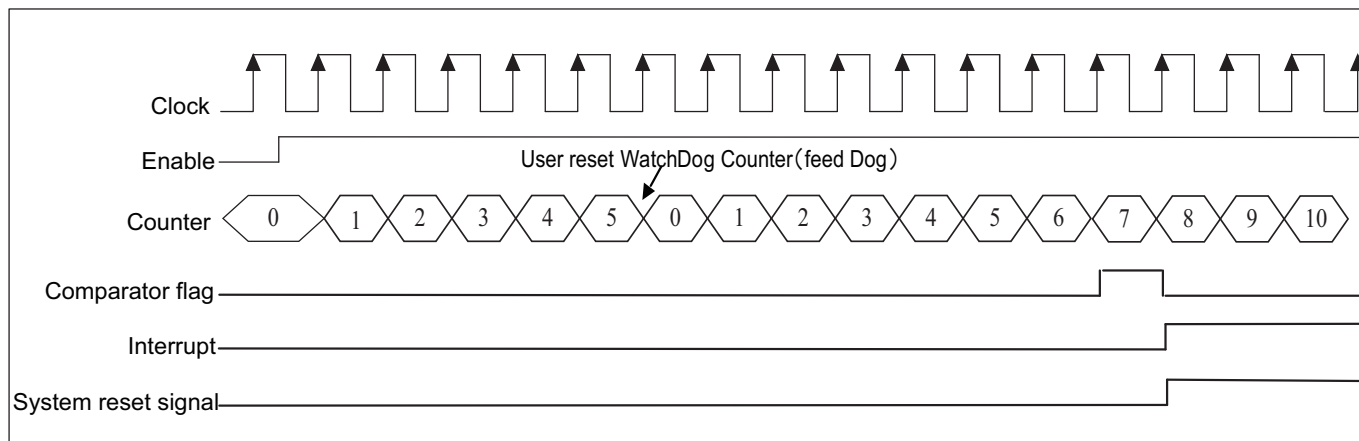


图 13.4: WatchDog

### 13.3.4 报警设定

每一组计数器有三个比较值提供软件设定，并可设定每一组比较值是否触发报警中断，当计数器与比较值吻合且设定会报警时，计数器会通过中断通知处理器。软件可以通过 APB 读取目前是否发生报警和是哪个比较值触发报警中断，当清理报警中断时亦会同步清理报警状态。

### 13.3.5 看门狗报警

每个计数器可设定一组比较值，当软件因为系统错误，来不及将看门狗计数器归零，导致看门狗计数器超过比较值时，便会触发看门狗报警，报警方式有两种，第一种是通过中断通知软件进行必要的处置，第二种是进入系统看门狗复位，看门狗复位被触发时，会通知系统复位控制器，并做好系统复位前准备，当一切就绪后进入系统看门狗复位，值得注意的是，软件可通过 APB 读取 WSR 寄存器得知是否曾经发生看门狗系统复位。

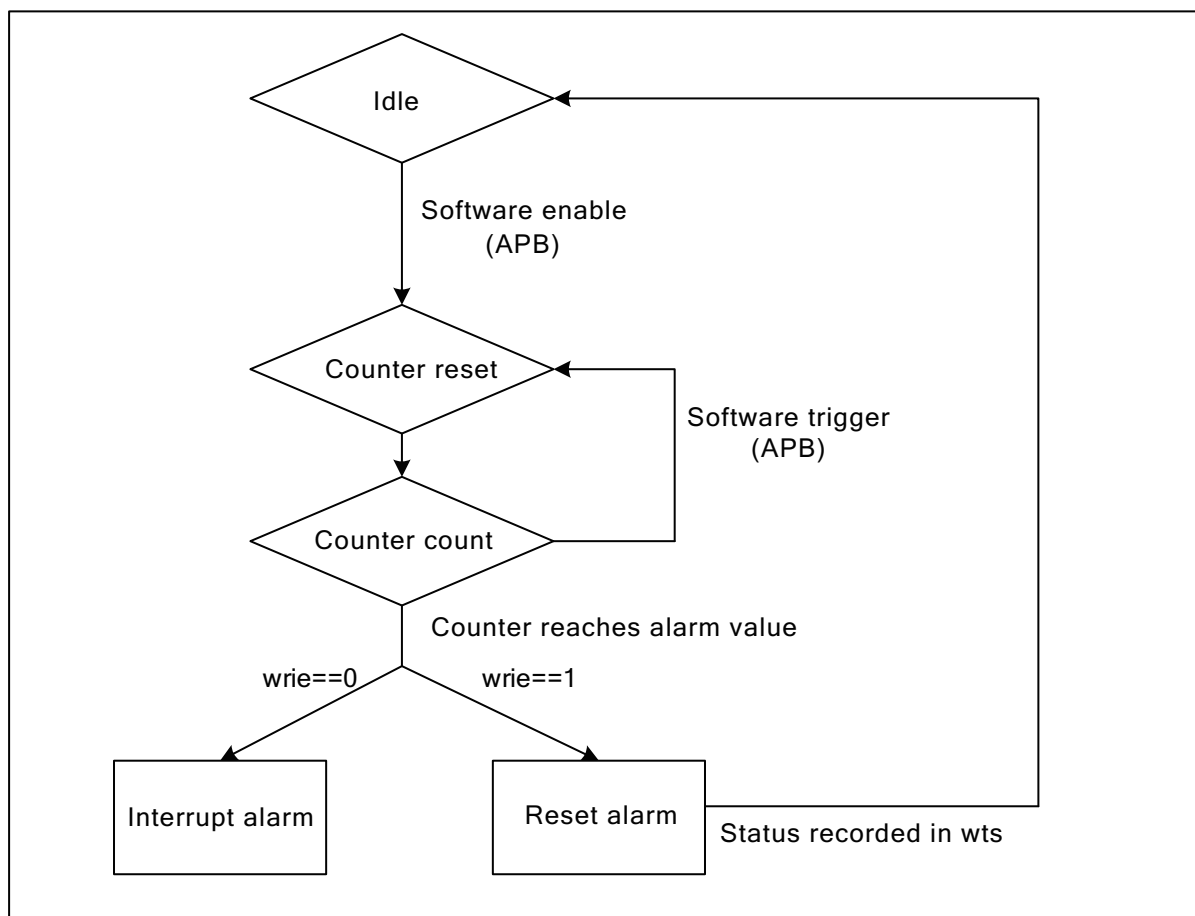


图 13.5: 看门狗报警机制

## 13.4 寄存器描述

名称	描述
TCCR	Timer clock source configuration register
TMR2_0	Timer2 match register 0
TMR2_1	Timer2 match register 1
TMR2_2	Timer2 match register 2
TMR3_0	Timer3 match register 0
TMR3_1	Timer3 match register 1
TMR3_2	Timer3 match register 2
TCR2	Timer2 counter register
TCR3	Timer3 counter register
TMSR2	Timer2 match register status

名称	描述
TMSR3	Timer3 match register status
TIER2	Timer2 match interrupt enable register
TIER3	Timer3 match interrupt enable register
TPLVR2	Timer2 pre-load value register
TPLVR3	Timer3 pre-load value register
TPLCR2	Timer2 pre-load control register
TPLCR3	Timer3 pre-load control register
WMER	WDT reset/interrupt mode register
WMR	WDT counter match value register
WVR	WDT counter value register
WSR	WDT timer reset indication register
TICR2	Timer2 Interrupt clear control register
TICR3	Timer3 Interrupt clear control register
WICR	WDT Interrupt clear register
TCER	Timer count enable register
TCMR	Timer count mode register
TILR2	Timer2 match interrupt mode register
TILR3	Timer3 match interrupt mode register
WCR	WDT timer count reset register
WFAR	WDT access key1 register
WSAR	WDT access key2 register
TCVWR2	Timer2 capture value of counter register
TCVWR3	Timer3 capture value of counter register
TCVSYN2	Timer2 synchronous value of counter register
TCVSYN3	Timer3 synchronous value of counter register
TCDR	WDT/Timer clock division register

### 13.4.1 TCCR

地址：0x4000a500

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
RSVD															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RSVD						CSWDT		RSVD	CS2		RSVD	CS1		RSVD	

位	名称	权限	复位值	描述
31:10	RSVD			
9:8	CSWDT	R/W	2'd0	Clock Source for Timer #1/#2/#3/WDT 2'd0 - fclk 2'd1 - f32k_clk 2'd2 - 1 kHz 2'd3 - PLL 32MHz
7	RSVD			
6:5	CS2	R/W	2'd0	Clock Source for Timer #1/#2/#3/WDT 2'd0 - fclk 2'd1 - f32k_clk 2'd2 - 1 kHz 2'd3 - PLL 32MHz
4	RSVD			
3:2	CS1	R/W	2'd0	Clock Source for Timer #1/#2/#3/WDT 2'd0 - fclk 2'd1 - f32k_clk 2'd2 - 1 kHz 2'd3 - PLL 32MHz
1:0	RSVD			

### 13.4.2 TMR2\_0

地址：0x4000a510

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
TMR20															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TMR20															

位	名称	权限	复位值	描述
31:0	TMR20	R/W	32'hffffff	Timer2 match register 0

### 13.4.3 TMR2\_1

地址: 0x4000a514

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
TMR21															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TMR21															

位	名称	权限	复位值	描述
31:0	TMR21	R/W	32'hffffff	Timer2 match register 1

### 13.4.4 TMR2\_2

地址: 0x4000a518

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
TMR22															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TMR22															

位	名称	权限	复位值	描述
31:0	TMR22	R/W	32'hffffff	Timer2 match register 2

### 13.4.5 TMR3\_0

地址: 0x4000a51c

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
TMR30															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TMR30															



位	名称	权限	复位值	描述
31:0	TMR30	R/W	32'hffffff	Timer3 match register 0

### 13.4.6 TMR3\_1

地址: 0x4000a520

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
TMR31															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TMR31															

位	名称	权限	复位值	描述
31:0	TMR31	R/W	32'hffffff	Timer3 match register 1

### 13.4.7 TMR3\_2

地址: 0x4000a524

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
TMR32															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TMR32															

位	名称	权限	复位值	描述
31:0	TMR32	R/W	32'hffffff	Timer3 match register 2

### 13.4.8 TCR2

地址: 0x4000a52c

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
TCR2COUT															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TCR2COUT															

位	名称	权限	复位值	描述
31:0	TCR2COUT	R	32'h0	Timer2 counter register

### 13.4.9 TCR3

地址: 0x4000a530

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
TCR3COUT															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TCR3COUT															

位	名称	权限	复位值	描述
31:0	TCR3COUT	R	32'h0	Timer3 counter register

### 13.4.10 TMSR2

地址: 0x4000a538

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
RSVD															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RSVD													T2M R2S	T2M R1S	T2M R0S

位	名称	权限	复位值	描述
31:3	RSVD			
2	T2MR2S	R	1'b0	Timer2 match register 2 status/Clear interrupt would also clear this bit
1	T2MR1S	R	1'b0	Timer2 match register 1 status/Clear interrupt would also clear this bit
0	T2MR0S	R	1'b0	Timer2 match register 0 status/Clear interrupt would also clear this bit

### 13.4.11 TMSR3

地址: 0x4000a53c

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
RSVD															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RSVD													T3M R2S	T3M R1S	T3M R0S

位	名称	权限	复位值	描述
31:3	RSVD			
2	T3MR2S	R	1'b0	Timer3 match register 2 status/Clear interrupt would also clear this bit
1	T3MR1S	R	1'b0	Timer3 match register 1 status/Clear interrupt would also clear this bit
0	T3MR0S	R	1'b0	Timer3 match register 0 status/Clear interrupt would also clear this bit

### 13.4.12 TIER2

地址: 0x4000a544

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
RSVD															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RSVD													TIER 22	TIER 21	TIER 20

位	名称	权限	复位值	描述
31:3	RSVD			
2	TIER22	R/W	1'b0	Timer2 match register 2 interrupt enable register
1	TIER21	R/W	1'b0	Timer2 match register 1 interrupt enable register
0	TIER20	R/W	1'b0	Timer2 match register 0 interrupt enable register

### 13.4.13 TIER3

地址: 0x4000a548

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
RSVD															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RSVD													TIER32	TIER31	TIER30

位	名称	权限	复位值	描述
31:3	RSVD			
2	TIER32	R/W	1'b0	Timer3 match register 2 interrupt enable register
1	TIER31	R/W	1'b0	Timer3 match register 1 interrupt enable register
0	TIER30	R/W	1'b0	Timer3 match register 0 interrupt enable register

#### 13.4.14 TPLVR2

地址: 0x4000a550

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
TPLVR2															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TPLVR2															

位	名称	权限	复位值	描述
31:0	TPLVR2	R/W	32'h0	Timer2 pre-load value register

#### 13.4.15 TPLVR3

地址: 0x4000a554

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
TPLVR3															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TPLVR3															

位	名称	权限	复位值	描述
31:0	TPLVR3	R/W	32'h0	Timer3 pre-load value register

### 13.4.16 TPLCR2

地址：0x4000a55c

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
RSVD															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RSVD														TPLCR2	

位	名称	权限	复位值	描述
31:2	RSVD			
1:0	TPLCR2	R/W	2'h0	Timer2 pre-load control register 2'd0 - No pre-load 2'd1 - Pre-load with match comparator 0 2'd2 - Pre-load with match comparator 1 2'd3 - Pre-load with match comparator 2

### 13.4.17 TPLCR3

地址：0x4000a560

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
RSVD															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RSVD														TPLCR3	

位	名称	权限	复位值	描述
31:2	RSVD			
1:0	TPLCR3	R/W	2'h0	Timer3 pre-load control register 2'd0 - No pre-load 2'd1 - Pre-load with match comparator 0 2'd2 - Pre-load with match comparator 1 2'd3 - Pre-load with match comparator 2

### 13.4.18 WMER

地址：0x4000a564

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
RSVD															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RSVD														WRIE	WE

位	名称	权限	复位值	描述
31:2	RSVD			
1	WRIE	R/W	1'b0	WDT reset/interrupt mode register 1'b0 - WDT expiration to generate interrupt 1'b1 - WDT expiration to generate reset source
0	WE	R/W	1'b0	WDT enable register

### 13.4.19 WMR

地址: 0x4000a568

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
RSVD															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
WMR															

位	名称	权限	复位值	描述
31:16	RSVD			
15:0	WMR	R/W	16'hfff	WDT counter match value register

### 13.4.20 WVR

地址: 0x4000a56c

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
RSVD															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
WVR															

位	名称	权限	复位值	描述
31:16	RSVD			
15:0	WVR	R	16'h0	WDT counter value register

位	名称	权限	复位值	描述
---	----	----	-----	----

### 13.4.21 WSR

地址: 0x4000a570

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
RSVD															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RSVD															WTS

位	名称	权限	复位值	描述
31:1	RSVD			
0	WTS	R/W	1'b0	WDT timer reset indication, Indicates that reset was caused by the WDT. (Write)1'b0 - clear the WDT reset status (Write)1'b1 - no affect (Read)1'b0 - Watchdog timer did not cause reset because this bit was cleare (Read)1'b1 - Watchdog timer caused reset

### 13.4.22 TICR2

地址: 0x4000a578

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
RSVD															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RSVD													TCLR 22	TCLR 21	TCLR 20

位	名称	权限	复位值	描述
31:3	RSVD			
2	TCLR22	W	1'b0	Timer2 Interrupt clear for match comparator 2
1	TCLR21	W	1'b0	Timer2 Interrupt clear for match comparator 1
0	TCLR20	W	1'b0	Timer2 Interrupt clear for match comparator 0

### 13.4.23 TCR3

地址：0x4000a57c

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
RSVD															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RSVD													TCLR 32	TCLR 31	TCLR 30

位	名称	权限	复位值	描述
31:3	RSVD			
2	TCLR32	W	1'b0	Timer3 Interrupt clear for match comparator 2
1	TCLR31	W	1'b0	Timer3 Interrupt clear for match comparator 1
0	TCLR30	W	1'b0	Timer3 Interrupt clear for match comparator 0

### 13.4.24 WICR

地址：0x4000a580

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
RSVD															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RSVD															WI CLR

位	名称	权限	复位值	描述
31:1	RSVD			
0	WICLR	W	1'b0	WDT Interrupt clear register

### 13.4.25 TCER

地址：0x4000a584



31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
RSVD															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RSVD													TIM3 EN	TIM2 EN	RSVD

位	名称	权限	复位值	描述
31:3	RSVD			
2	TIM3EN	R/W	1'b0	Timer3 count enable
1	TIM2EN	R/W	1'b0	Timer2 count enable
0	RSVD			

### 13.4.26 TCMR

地址: 0x4000a588

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
RSVD															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RSVD													TIM3 MODE	TIM2 MODE	RSVD

位	名称	权限	复位值	描述
31:3	RSVD			
2	TIM3MODE	R/W	1'b0	Timer1/2/3 count mode register 1'b0 - pre-load mode 1'b1 - free run mode
1	TIM2MODE	R/W	1'b0	Timer1/2/3 count mode register 1'b0 - pre-load mode 1'b1 - free run mode
0	RSVD			

### 13.4.27 TILR2

地址: 0x4000a590

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
RSVD															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RSVD													TILR 22	TILR 21	TILR 20

位	名称	权限	复位值	描述
31:3	RSVD			
2	TILR22	R/W	1'b0	Timer2 match 0/1/2 interrupt mode register 1'b0 - level interrupt 1'b1 - pulse interrupt
1	TILR21	R/W	1'b0	Timer2 match 0/1/2 interrupt mode register 1'b0 - level interrupt 1'b1 - pulse interrupt
0	TILR20	R/W	1'b0	Timer2 match 0/1/2 interrupt mode register 1'b0 - level interrupt 1'b1 - pulse interrupt

### 13.4.28 TILR3

地址: 0x4000a594

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
RSVD															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RSVD													TILR 32	TILR 31	TILR 30

位	名称	权限	复位值	描述
31:3	RSVD			
2	TILR32	R/W	1'b0	Timer3 match 0/1/2 interrupt mode register 1'b0 - level interrupt 1'b1 - pulse interrupt
1	TILR31	R/W	1'b0	Timer3 match 0/1/2 interrupt mode register 1'b0 - level interrupt 1'b1 - pulse interrupt
0	TILR30	R/W	1'b0	Timer3 match 0/1/2 interrupt mode register 1'b0 - level interrupt 1'b1 - pulse interrupt

位	名称	权限	复位值	描述
---	----	----	-----	----

### 13.4.29 WCR

地址: 0x4000a598

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
RSVD															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RSVD															WCR

位	名称	权限	复位值	描述
31:1	RSVD			
0	WCR	W	1'b0	WDT timer count reset register

### 13.4.30 WFAR

地址: 0x4000a59c

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
RSVD															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
WFAR															

位	名称	权限	复位值	描述
31:16	RSVD			
15:0	WFAR	W	16'b0	WDT access key1 - 16'hBABA

### 13.4.31 WSAR

地址: 0x4000a5a0

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
RSVD															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
WSAR															

位	名称	权限	复位值	描述
31:16	RSVD			
15:0	WSAR	W	16'b0	WDT access key2 - 16'hEB10

### 13.4.32 TCVWR2

地址: 0x4000a5a8

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
TCVWR2															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TCVWR2															

位	名称	权限	复位值	描述
31:0	TCVWR2	R	32'h0	Timer2 capture value of counter

### 13.4.33 TCVWR3

地址: 0x4000a5ac

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
TCVWR3															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TCVWR3															

位	名称	权限	复位值	描述
31:0	TCVWR3	R	32'h0	Timer3 capture value of counter

### 13.4.34 TCVSYN2

地址: 0x4000a5b4

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
TCVSYN2															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TCVSYN2															

位	名称	权限	复位值	描述
31:0	TCVSYN2	R	32'h0	Timer2 synchronous value of counter

### 13.4.35 TCVSYN3

地址: 0x4000a5b8

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
TCVSYN3															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TCVSYN3															

位	名称	权限	复位值	描述
31:0	TCVSYN3	R	32'h0	Timer3 synchronous value of counter

### 13.4.36 TCDR

地址: 0x4000a5bc

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
WCDR								TCDR3							
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TCDR2								RSVD							

位	名称	权限	复位值	描述
31:24	WCDR	R/W	8'h0	WDT clock division value register
23:16	TCDR3	R/W	8'h0	Timer3 clock division value register
15:8	TCDR2	R/W	8'h0	Timer2 clock division value register
7:0	RSVD			

表 14.1: 修改记录

日期	版本	修改内容
2020/2/20	0.9	初版
2020/4/20	1.0	增加 HBN 寄存器相关内容
2020/8/26	1.1	增加 ADC 和 DAC 内容的介绍
2020/12/14	1.2	增加中断源和外设最高工作速度的介绍