

reg2\_gpio\_31\_clr  
reg2\_gpio\_30\_clr  
reg2\_gpio\_29\_clr  
reg2\_gpio\_28\_clr  
reg2\_gpio\_27\_clr  
reg2\_gpio\_26\_clr  
reg2\_gpio\_25\_clr  
reg2\_gpio\_24\_clr  
reg2\_gpio\_23\_clr  
reg2\_gpio\_22\_clr  
reg2\_gpio\_21\_clr  
reg2\_gpio\_20\_clr  
reg2\_gpio\_19\_clr  
reg2\_gpio\_18\_clr  
reg2\_gpio\_17\_clr  
reg2\_gpio\_16\_clr

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0

reg2\_gpio\_15\_clr  
reg2\_gpio\_14\_clr  
reg2\_gpio\_13\_clr  
reg2\_gpio\_12\_clr  
reg2\_gpio\_11\_clr  
reg2\_gpio\_10\_clr  
reg2\_gpio\_9\_clr  
reg2\_gpio\_8\_clr  
reg2\_gpio\_7\_clr  
reg2\_gpio\_6\_clr  
reg2\_gpio\_5\_clr  
reg2\_gpio\_4\_clr  
reg2\_gpio\_3\_clr  
reg2\_gpio\_2\_clr  
reg2\_gpio\_1\_clr  
reg2\_gpio\_0\_clr