EE2230 Logic Design Lab

邏輯設計實驗

Hsi-Pin Ma 馬席彬

http://lms.nthu.edu.tw/38127

Department of Electrical Engineering

National Tsing Hua University

Syllabus (1/2)

- Credit: 2
- Instructor: Hsi-Pin Ma (馬席彬)
  - Delta Bldg. 965, 5162206
  - E-Mail: hp@ee.nthu.edu.tw
  - Office hour: By appointment
- TA: See lms system.
- TA hour: 6:30-8:20pm on Monday @ Lab after class

Syllabus (2/2)

- Textbook

***NTHU library has the ebook.**

  - *Pong P. Chu, *FPGA Prototyping by Verilog Examples*, 2008, John Wiley & Sons.
  - William J. Dally and R. Curtis Harting, *Digital Design: A Systems Approach*. Cambridge University Press.
  - M. Morris Mano and Charles Kime, *Logic and Computer Design Fundamentals*, 4th ed. 2007, Pearson International Edition.

- Reference
  - *Michael Keating, *Reuse Methodology Manual for System-on-a-Chip Designs*, 2002, Kluwer Academic Publishers.

- Grading
  - Experiments: 70%
  - Final project: 20%
  - Final exam: 10%

Lab Schedule

week	Date	Lecture	Lab
1	2/18	1. Introduction to Verilog RTL	Lab1
2	2/25	2. FPGA Emulation	Lab1
3	3/4	3. Counters and Shift Registers I	Lab2
4	3/11	4. Counters and Shift Registers II	Lab3
5	3/18	5. Timers	Lab4
6	3/25	6. Electronic Clock I (Time Display)	Lab5
7	4/1	7. Electronic Clock II (Multi-Function)	Lab6
8	4/8	Spring break	
9	4/15	8. Speaker	Lab7
10	4/22	9. Keyboard	Lab8
11	4/29	9. Keyboard	Lab9
12	5/6	10. Electronic Organ	Lab9
13	5/13	11. VGA	Lab10
14	5/20	11. VGA	Lab11
15	5/27	Final project	Lab11
16	6/3	Final exam	Final project
17	6/10	Final project	Final project
18	6/17	Final project	Final project

Four Stage Lab Work

- Pre-lab assignment
  - Upload simulation results and get signed by TAs
- Lab instruction
  - ~40min with instructor
- Lab work
  - Rest of the lab hours with instructor & TAs
  - Demo before lab hour end
- Lab report
  - Due Sunday after lab work (before mid-night)

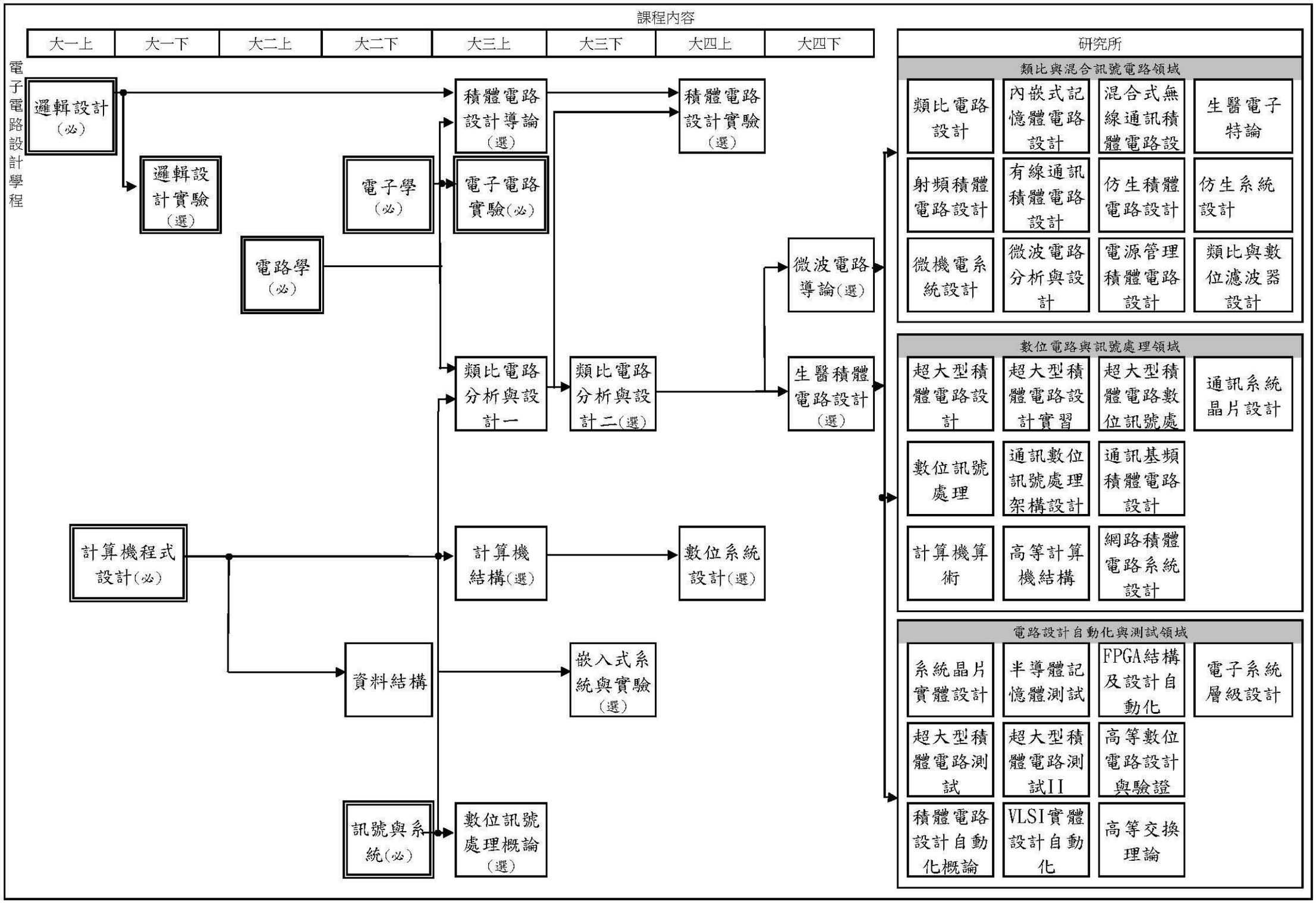
Lab Evaluation

- Pre-lab
  - On time: 20 (-5 / week)
  - TA's score: +5
- Experiment
  - On time: 35 (-5 / week)
  - Bonus: +5
- Lab report
  - On time: 25 (-5 / week)
  - TA's score: +10

Softwares

- Xilinx Vivado webpack
  - Can be downloaded at
    - See lms system
  - Vivado
    - FPGA design and implementation tool
    - Verilog simulator

電子電路設計學程


課程內容
大一上
大一下
大二上
大二下
大三上
大三下
大四上
大四下
電子電路設計學程
邏輯設計（必）
邏輯設計實驗（選）
電路學（必）
電子學（必）
積體電路設計導論（選）
電子電路實驗(必)
積體電路設計實驗（選）
類比電路分析與設計一
類比電路分析與設計二(選)
微波電路導論(選)
生醫積體電路設計（選）
計算機程式設計(必)
計算機結構(選)
數位系統設計(選)
資料結構
嵌入式系統與實驗（選）
訊號與系統(必)
數位訊號處理概論（選）
研究所
類比與混合訊號電路領域
類比電路設計
內嵌式記憶體電路設計
混合式無線通訊積體電路設
生醫電子特論
射頻積體電路設計
有線通訊積體電路設計
仿生積體電路設計
仿生系統設計
微機電系統設計
微波電路分析與設計
電源管理積體電路設計
類比與數位濾波器設計
數位電路與訊號處理領域
超大型積體電路設計
超大型積體電路設計實習
超大型積體電路數位訊號處
通訊系統晶片設計
數位訊號處理
通訊數位訊號處理架構設計
通訊基頻積體電路設計
計算機算術
高等計算機結構
網路積體電路系統設計
電路設計自動化與測試領域
系統晶片實體設計
半導體記憶體測試
FPGA結構及設計自動化
電子系統層級設計
超大型積體電路測試
超大型積體電路測試II
高等數位電路設計與驗證
積體電路設計自動化概論
VLSI實體設計自動化
高等交換理論