



Departamento de Ciência da Computação

Prof. Bruno de Abreu Silva

GCC260 – Laboratório de Circuitos Digitais

Circuitos Contadores

1. Objetivos

- Implementar um projeto com uso de contadores;
- Aplicar o sincronizador de entradas assíncronas;
- Definir falsos caminhos para uma correta análise de temporização;
- Desenvolver habilidade autônoma de projeto de circuitos usando componentes já implementados.

2. Projeto

Usando o software Quartus Prime, projete e implemente no kit DE10-Lite um circuito capaz de contar os segundos de 00 a 99, exibindo os valores nos displays de sete segmentos. Após chegar ao segundo 99, o circuito volta para o 00. Além disso, deve haver um botão (KEY[0]) responsável por *resetar* a contagem dos segundos em qualquer momento. A Figura 1 apresenta a visão geral do circuito.

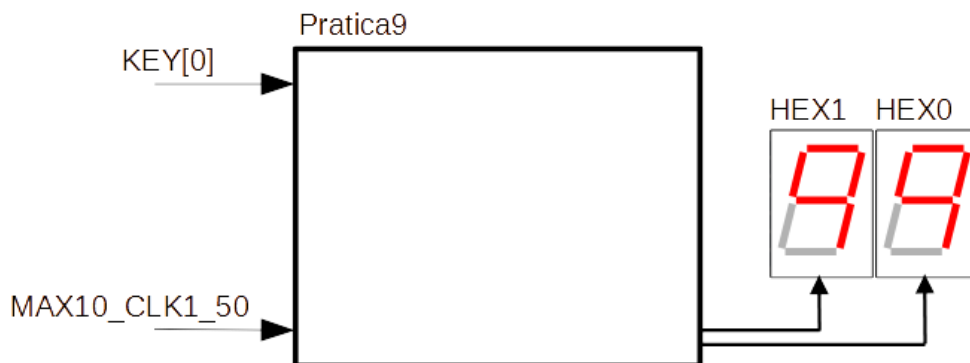


Figura 1: Visão geral do circuito.

2. Códigos úteis

A seguir são apresentados alguns códigos úteis, como um contador de módulo 100, um divisor de frequência que gera um pulso de 1Hz na saída a partir de um clock de 50MHz, um sincronizador de entradas assíncronas e um conversor de binário para display de sete segmentos.

2.1. Contador MOD 100

```
module counter(  
    input wire clk, rstn, en,  
    output reg [6:0] count  
);  
  
    always@(posedge clk, negedge rstn)  
    begin  
        if(!rstn)  
            count <= 7'b00000000;  
        else if(en)  
            count <= (count < 99) ? count + 1'b1 : 1'b0;  
        end  
    endmodule
```

2.2. Sincronizador de entradas assíncronas

```
module AsyncInputSynchronizer (  
    input wire clk, // system clock  
    input wire asyncn, // Asynchronous input (reset or preset)  
    output wire syncn // Synchronous reset or preset output  
);  
  
    reg first_ff, second_ff;  
  
    always@(posedge clk, negedge asyncn)  
    begin  
        if(asyncn == 0)  
        begin  
            first_ff <= 0;  
            second_ff <= 0;  
        end  
        else  
        begin  
            first_ff <= 1;  
            second_ff <= first_ff;  
        end  
    end  
  
    assign syncn = second_ff;  
  
endmodule
```

2.3. Divisor de frequência

```
module divisor
#(
    parameter NUM_BITS = 26,
    parameter MOD = 50_000_000
)
(
    input wire clock_in, reset_n, enable,
    output reg clock_out
);

reg [NUM_BITS - 1:0] count;

always@(posedge clock_in, negedge reset_n)
begin
    if(reset_n == 0)
    begin
        count <= {NUM_BITS{1'b0}};
        clock_out <= 1'b0;
    end
    else if(enable == 1)
    begin
        count <= (count < MOD - 1) ? count + 1'b1 : {NUM_BITS{1'b0}};
        clock_out <= (count < MOD - 1) ? 1'b0 : 1'b1;
    end
end

endmodule
```

2.4. Conversor de binário para display de sete segmentos

```
module SEG7_LUT (
    input  wire [3:0]    iDIG,
    output reg [6:0]     oSEG
);

always @*
begin
    case(iDIG)
        4'h0: oSEG = 7'b1000000;
        4'h1: oSEG = 7'b1111001;    // ---t----
        4'h2: oSEG = 7'b0100100;    // |      |
        4'h3: oSEG = 7'b0110000;    // lt     rt
        4'h4: oSEG = 7'b0011001;    // |      |
        4'h5: oSEG = 7'b0010010;    // ---m----
        4'h6: oSEG = 7'b0000010;    // |      |
        4'h7: oSEG = 7'b1111000;    // lb     rb
        4'h8: oSEG = 7'b0000000;    // |      |
        4'h9: oSEG = 7'b0011000;    // ---b----
        4'ha: oSEG = 7'b0001000;
        4'hb: oSEG = 7'b0000011;
        4'hc: oSEG = 7'b1000110;
        4'hd: oSEG = 7'b0100001;
        4'he: oSEG = 7'b0000110;
        4'hf: oSEG = 7'b0001110;
    endcase
end

endmodule
```

3. Passo-a-passo resumido

- Crie a pasta Pratica9 na Área de Trabalho;
- Baixe os códigos necessários em <https://github.com/brabreus/GCC260-UFLA/tree/main/Pratica9> ;
- Crie o projeto Pratica9 no Quartus Prime e adicione os arquivos em Verilog baixados counter.v, divisor.v, SEG7_LUT.v, AsyncInputSynchronizer.v e Pratica9.sdc;
- Complete o código do arquivo DE10_LITE_Golden_Top.v fazendo a instanciação dos componentes implementados nos outros arquivos de modo que o circuito faça a função desejada;
- Compile o projeto;
- Programe o kit e verifique o funcionamento;
- Apresente ao Professor e envie a pasta compactada para o Campus Virtual.