

# Potencia

Javier Pacheco Brito

21 de octubre 2020

- 1 CMOS
  - Eficiencia CMOS

# Outline

- 1 CMOS
  - Eficiencia CMOS

# Eficiencia CMOS

- Área - (Librerías)
- Velocidad - (retardos)
- Potencia

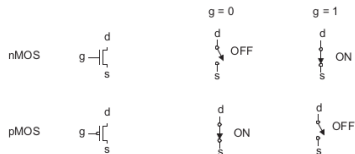


Figura: Lógica CMOS [1]

# Eficiencia CMOS

- **No están siendo usadas**
- # de transistores
- Frecuencias de los relojes
- Potencia

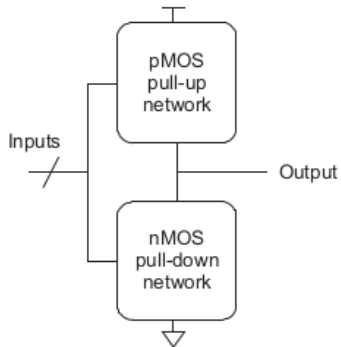


Figura: Lógica CMOS [3]

# Eficiencia CMOS

- No están siendo usadas
- **# de transistores**
- Frecuencias de los relojes
- Potencia

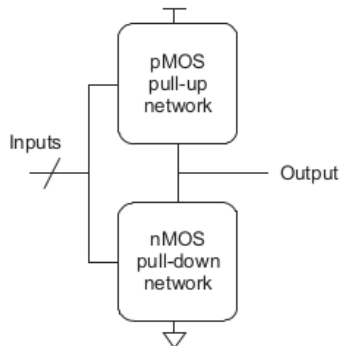


Figura: Lógica CMOS [3]

# Eficiencia CMOS

- No están siendo usadas
- # de transistores
- **Frecuencias de los relojes**
- Potencia

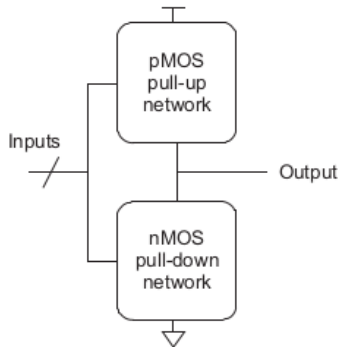


Figura: Lógica CMOS [3]

# Eficiencia CMOS

- No están siendo usadas
- # de transistores
- Frecuencias de los relojes
- **Potencia**

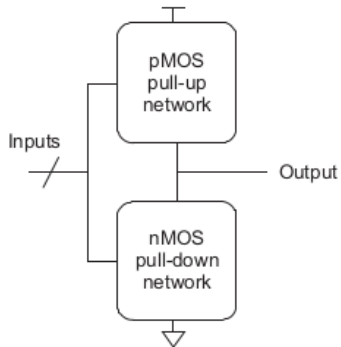


Figura: Lógica CMOS [3]



# Disipación CMOS



$$P_{total} = P_{estática} + P_{dinámica} \quad (1)$$

# Potencia Estática

- **Fuga de corriente a través de transistores OFF**
- Fuga de corriente a través del dieléctrico
- Fugas en la unión de difusiones fuente/drenaje
- Leakage

$$P_{estática} = I_{estática} V_{DD} \quad (2)$$

Asumiendo que la corriente total de leakage es constante.

# Potencia Estática

- Fuga de corriente a través de transistores OFF
- **Fuga de corriente a través del dieléctrico**
- Fugas en la unión de difusiones fuente/drenaje
- Leakage

$$P_{estática} = I_{estática} V_{DD} \quad (2)$$

Asumiendo que la corriente total de leakage es constante.

# Potencia Estática

- Fuga de corriente a través de transistores OFF
- Fuga de corriente a través del dieléctrico
- **Fugas en la unión de difusiones fuente/drenaje**
- Leakage

$$P_{estática} = I_{estática} V_{DD} \quad (2)$$

Asumiendo que la corriente total de leakage es constante.

# Potencia Estática

- Fuga de corriente a través de transistores OFF
- Fuga de corriente a través del dieléctrico
- Fugas en la unión de difusiones fuente/drenaje
- **Leakage**

$$P_{estática} = I_{estática} V_{DD} \quad (2)$$

Asumiendo que la corriente total de leakage es constante.

# Potencia Dinámica

- **Carga y descarga de las capacitancias de carga**
- Corto-circuito
- Red P y N parcialmente encendidas
- Dinámica - conmutación de la carga
- $\alpha f$

$$P_{dinámica} = \alpha C V_{DD}^2 f \quad (3)$$

# Potencia Dinámica

- Carga y descarga de las capacitancias de carga
- **Corto-circuito**
- Red P y N parcialmente encendidas
- Dinámica - conmutación de la carga
- $\alpha f$

$$P_{dinámica} = \alpha C V_{DD}^2 f \quad (3)$$

# Potencia Dinámica

- Carga y descarga de las capacitancias de carga
- Corto-circuito
- **Red P y N parcialmente encendidas**
- Dinámica - conmutación de la carga
- $\alpha f$

$$P_{dinámica} = \alpha C V_{DD}^2 f \quad (3)$$



# Potencia Dinámica

- Carga y descarga de las capacitancias de carga
- Corto-circuito
- Red P y N parcialmente encendidas
- **Dinámica - conmutación de la carga**

•  $\alpha f$

$$P_{dinámica} = \alpha C V_{DD}^2 f \quad (3)$$

# Potencia Dinámica

- Carga y descarga de las capacitancias de carga
- Corto-circuito
- Red P y N parcialmente encendidas
- Dinámica - conmutación de la carga
- $\alpha f$

$$P_{dinámica} = \alpha C V_{DD}^2 f \quad (3)$$

$\alpha$ 

- **Probabilidad de transicionar de 0 a 1**
- Consumo de energía

$$P_{dinámica} = \alpha C V_{DD}^2 f \quad (4)$$

$\alpha$ 

- Probabilidad de transicionar de 0 a 1
- **Consumo de energía**

$$P_{dinámica} = \alpha C V_{DD}^2 f \quad (4)$$

# Esfuerzo lógico

Termino	Expresión de Etapa	Expresión por Path
<i>Número de etapas</i>	1	$N$
<i>Esfuerzo lógico</i>	$g$	$G = \prod g_i$
<i>Esfuerzo eléctrico</i>	$h = \frac{C_{out}}{C_{in}}$	$H = \frac{C_{out(path)}}{C_{in(path)}}$
<i>Esfuerzo de rama</i>	$b = \frac{C_{on(path)} + C_{off(path)}}{C_{on(path)}}$	$B = \prod b_i$
<i>Esfuerzo</i>	$f = gh$	$F = GBH$
<i>Retardo de esfuerzo</i>	$f$	$D_F = \sum f_i$
<i>Retardo parasitos</i>	$p$	$P = \sum p$
<i>Retardo</i>	$d = f + p$	$D = \sum d_i = D_F + P$

# Esfuerzo lógico

$$f = g_i h_i = F^{\frac{1}{N}} \quad (5)$$

$$D = NF^{\frac{1}{N}} + P \quad (6)$$

$$C_{in} = \frac{C_{out} \cdot g_i}{f} \quad (7)$$

- $N$  = número de etapas
- $D$  = retardo mínimo

# Esfuerzo lógico

	1	2	3	4	n
<b>Inversor</b>	1				
<b>NAND</b>		4/3	5/3	6/3	$(n+2)/3$
<b>NOR</b>		5/3	7/3	9/3	$(2n + 1)/3$

Cuadro: Esfuerzo lógico

	1	2	3	4	n
<b>Inversor</b>	1				
<b>NAND</b>		2	3	4	n
<b>NOR</b>		2	3	4	n

Cuadro: Retardo P

# Ejemplo

$$G = \frac{4}{3} \cdot \frac{5}{3} \cdot \frac{5}{3} = \frac{100}{27} \quad (8)$$

$$H = \frac{45}{8} \quad (9)$$

$$B = 3 \cdot 2 = 6 \quad (10)$$

$$F = GBH = 125 \quad (11)$$

$$P = 2 + 3 + 2 = 7 \quad (12)$$

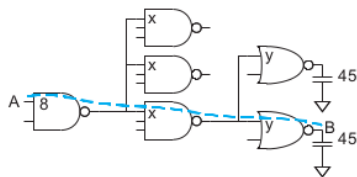


Figura: Circuito [6]



## Ejemplo

$$f = \sqrt[3]{125} = 5 \quad (13)$$

$$D = 3 \cdot 5 + 7 = 22 \quad (14)$$

$$y = \frac{45 \cdot \frac{5}{3}}{5} = 15 \quad (15)$$

$$x = \frac{(15 + 15) \cdot \frac{5}{3}}{5} = 10 \quad (16)$$

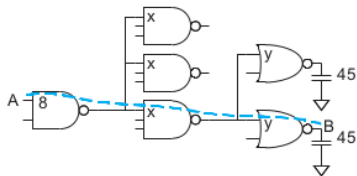


Figura: Circuito [6]

# Implicaciones del modelo

- Transistores en serie : suma de resistencias
  - pMOS  $k = 2 \cdot n$
  - nMOS  $k = n$
- Transistores en paralelo:
  - Todos los transistores ON  $\rightarrow$  menor resistencia
  - Solo un transistor ON  $\rightarrow$  mayor resistencia
- Queremos tener una resistencia R para comparar el modelo con un inversor.

# Implicaciones del modelo

# Bibliografía

- [1] N.H.L. Weste y D. Harris. CMOS VLSI Design. 2011. 4ta Ed. Pag 8.
- [2] N.H.L. Weste y D. Harris. CMOS VLSI Design. 2011. 4ta Ed. Pag 13.
- [3] N.H.L. Weste y D. Harris. CMOS VLSI Design. 2011. 4ta Ed. Pag 10.
- [4] N.H.L. Weste y D. Harris. CMOS VLSI Design. 2011. 4ta Ed. Pag 147.
- [5] N.H.L. Weste y D. Harris. CMOS VLSI Design. 2011. 4ta Ed. Pag 152.
- [6] N.H.L. Weste y D. Harris. CMOS VLSI Design. 2011. 4ta Ed. Pag 165.