

Tarea retardos y potencia

26 de octubre de 2020

Consideraciones generales:

- La entrega de esta tarea consiste en un informe de resultados, los cuales deben ser debidamente justificados.
- Toda imagen con resultados debe tener una buena calidad y debidamente justificada y referenciada para ser calificada.
- Se deben entregar todos los ejecutables que comprueben el análisis de resultados.
- Como parte de la solución debe incluir un Makefile con su respectivo README que contenga la forma de ejecutar las pruebas.
- Se castigará severamente cualquier intento o asomo de copia durante el examen o en las soluciones.
- El trabajo debe de ser realizado en LATEX.
- Todo informe debe contener las siguientes secciones: portada, índice, desarrollo, resultados, conclusiones y recomendaciones, bibliografía y anexos.

Esta tarea consiste en analizar el consumo de potencia de tres distintos suamdores.

Indicaciones

Defina en el archivo `sumador_rizado.v` un módulo `sumador_completo` de 1 bit como el que se muestra en la figura 1. Utilice las compuertas del archivo `libreria.v` para realizar el diseño.

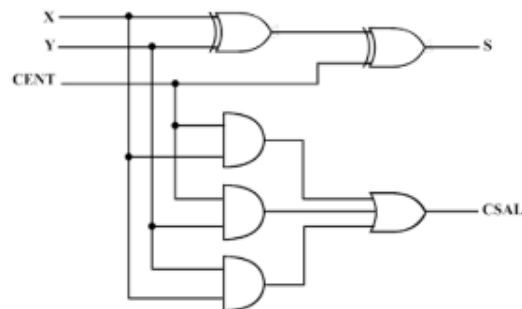


Figura 1: Sumador completo 1 bit

Utilizando el modulo `sumador_completo` diseñado en el punto anterior, cree un sumador de rizado de 8 bits (`SUM_RIZADO`), que consiste en colocar diferentes sumadores completos en cascada.

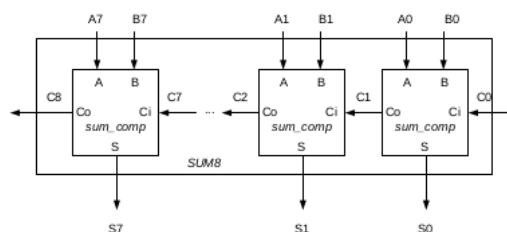


Figura 2: Sumador de rizado

Incluya su sumador de rizado en el banco de pruebas y verifique que funciona correctamente al realizar sumas. Debe aparecer en el reporte las capturas que muestren el funcionamiento del sumador.

1- Utilice 3 semillas distintas en el banco de pruebas para obtener el valor total de potencia consumida para: 500, 1000, 2000 y 5000 sumas. Es decir, 3 datos para 500 sumas y así con el resto. Además, compruebe cuál es el sumador con menor retardo al realizar una suma. Evaluar los casos:

- A=\$00 , B=\$00
- A=\$00 , B=\$01
- A=\$FF , B=\$01

2- Modifique el tiempo de retardo en el archivo definiciones.v y use el mismo valor del inversor para el resto de compuertas y obtenga nuevamente los resultados de (1). (define d_inv 1)

3- Modifique el diseño de la figura 1 y en lugar de utilizar dos compuertas XOR de dos entradas para la lógica de la salida S utilice una sola compuerta XOR de tres entradas y vuelva a ejecutar las pruebas utilizando los retardos originales para las compuertas.

Tabule todos sus resultados en una tabla comparativa. Debe aparecer un análisis de los resultados y conclusiones de todas las pruebas realizadas.