

## Tarea Verificación

6 de septiembre de 2020

### Consideraciones generales:

- La entrega de esta tarea consiste en un informe de resultados, los cuales deben ser debidamente justificados.
- Toda imagen con resultados debe tener una buena calidad para ser calificada.
- Se deben entregar todos los ejecutables que comprueben el análisis de resultados.
- Como parte de la solución debe incluir un Makefile con su respectivo README que contenga la forma de ejecutar las pruebas.
- Se castigará severamente cualquier intento o asomo de copia durante el examen o en las soluciones.

### Especificaciones

En la página del curso se encuentra una carpeta con tres archivos para la tarea 3. Cada archivo es un contador síncrono de 4 bits, con los siguientes modos de funcionamiento:

- Cuenta hacia arriba.
- Cuenta hacia abajo.
- Cuenta de tres en tres hacia arriba.
- Carga en paralelo.

El objetivo de la tarea es realizar la verificación funcional de los tres contadores y garantizar el correcto funcionamiento de los diseños. Como parte de la verificación debe asegurarse de poder encontrar todos los errores del diseño (si existieran). Además, elaborar un informe marcando en cuales casos el diseño no cumple con la especificación; Asimismo, identificar en que casos el diseño sí cumple con la especificación.

El informe debe explicar la creación de todos los escenarios de prueba que como verificador contruyó. Se aconseja tener escenarios con valores aleatorios en las entradas y otros escenarios con pruebas específicas predefinidas por cada estudiante.

### Especificación de las entradas del contador

1. **CLK**: Entrada de reloj del contador. El flanco activo de la señal CLK es el flanco creciente. Entonces, con cada flanco positivo del reloj el contador cambia de estado dependiendo del estado de las señales de MODE y si la señal ENABLE = 1.
2. **ENABLE**: Entrada de habilitación del contador. Si ENABLE = 1, el contador funciona normalmente respondiendo a los flancos activos de CLK para cambiar de estado de acuerdo a la señal MODO. Si ENABLE=0 y RESET = 0, el contador tendrá una salida de alta impedancia.
3. **RESET**: Entrada que pone todas las salidas del contador en cero.
4. **D[3:0]**: Entrada de datos D consta de 4 líneas. El valor que tengan las entradas D[3:0] será almacenado en Q[3:0] en el flanco activo de CLK si ENABLE = 1 y MODO = 11.
5. **MODO[1:0]**: Entrada de modo que consta de dos líneas y sirve para definir cuál será el próximo estado del contador al llegar el flanco activo del reloj en la entrada CLK. Si el contador se encuentra en el estado Q antes del flanco activo del reloj, luego del flanco activo, su estado será:
  - MODO = 00 –  $\rightarrow Q + 3$
  - MODO = 01 –  $\rightarrow Q - 1$
  - MODO = 10 –  $\rightarrow Q + 1$
  - MODO = 11 –  $\rightarrow D$

### Especificación de las salidas del contador

1. **Q[3:0]** : Salida Q que consta de cuatro líneas que indican el estado presente del contador. El estado del contador cambia con el flanco activo de la señal CLK mientras ENB=1 y de acuerdo con el modo seleccionado con las líneas MODO[1:0].
2. **RCO** : Salida de llevo “Ripple-Carry Out” que indica cuando el contador llega a su cuenta límite para que la siguiente etapa, en contadores de más de 4 bits, se habilite para que realice su actualización de estado. Note que RCO se pone en dependiendo de la señal MODO, además, debe permanecer en bajo durante el MODO = 11.
3. **LOAD** : Salida que indica cuando el contador esta en modo de carga debe permanecer en bajo para el resto de los modos.