

Міністерство освіти і науки України
Львівський національний університет імені Івана Франка
Кафедра радіофізики та комп'ютерних технологій

Звіт
про виконання
лабораторної роботи № 4
"Моделювання проекту в САПРQuartus II"

Виконала
студентка групи ФЕІ - 41
Литвин Віра

Перевірив
доц. Рабик В.Г.

Львів - 2013

Мета роботи:

вивчення засобів моделювання проектів на основі програмованих логічних інтегральних схем в середовищі Quartus II;
реалізація конкретних цифрових схем та їх моделювання; експериментальна перевірка їх роботи на ПЛІС FPGA Cyclone III лабораторного стенду DE0.

Варіант роботи - 1.

Завдання:

1. За допомогою САПР Quartus II реалізувати схему логічної функції, приведеної в табл. 4.1. $F(x_2, x_1) = \neg x_2 \neg x_1 + x_2 x_1$ на основі логічних елементів 2АБО - НІ. Виконати моделювання в часовій області отриманої схеми в САПР Quartus II. Перевірити роботу спроектованого пристрою на лабораторному стенді DE0. Для цього сконфігурувати ПЛІС FPGA Cyclone III. До входів отриманого пристрою підключити перемикачі, а до виходу - світлодіод. Входи X_2, X_1 підключити відповідно до SW[1], SW[0]. Вихід пристрою Y підключити до світлодіоду LEDG[2].

2. З допомогою САПР Quartus II реалізувати схему мажоритарного елемента на три входи на основі логічних елементів 3І-НЕ. Виконати моделювання отриманої схеми в часовій роботі. Перевірити роботу мажоритарного елемента на лабораторному стенді DE0. Для цього сконфігурувати ПЛІС FPGA Cyclone III. До входів отриманого пристрою підключити перемикачі, а до виходу - світлодіод. Входи X_3, X_2, X_1 підключити відповідно до SW[2], SW[1], SW[0]. Вихід пристрою Y підключити до світлодіоду LEDG[2].

Виконання роботи:

1. Створюємо теку для зберігання файлів проекту та новий проект.
2. Отримуємо з таблиці логічну функцію відповідно до варіанту.

$$F(x_2, x_1) = \neg x_2 \neg x_1 + x_2 x_1$$

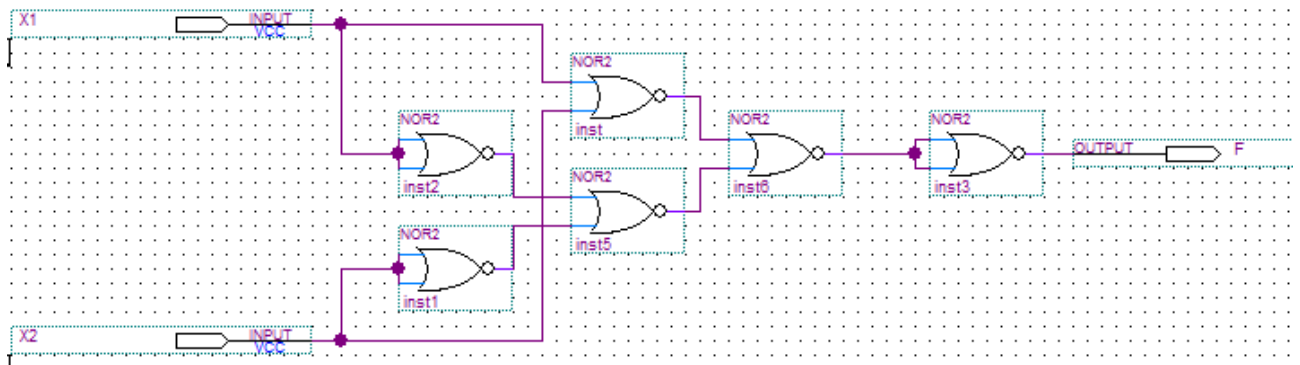
3. За допомогою закону де Моргана та його наслідків спрощуємо отриману логічну функцію з метою виключення логічного множення.

$$F(x_2, x_1) = \neg(x_2 + x_1) + \neg(\neg x_2 + \neg x_1)$$

4. Запишемо таблицку істинності для отриманого виразу.

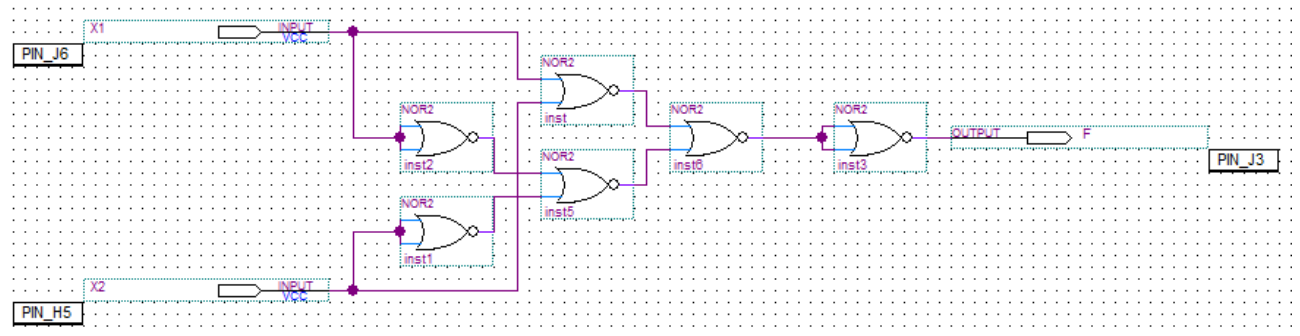
X_1	X_2	$\neg X_1$	$\neg X_2$	$\neg(X_1 + X_2)$	$\neg(\neg X_1 + \neg X_2)$	F
0	0	1	1	1	0	1
1	0	0	1	0	0	0
0	1	1	0	0	0	0
1	1	0	0	0	1	1

5. Складаємо схему відповідно до отриманої логічної функції.
Компілюємо проект.

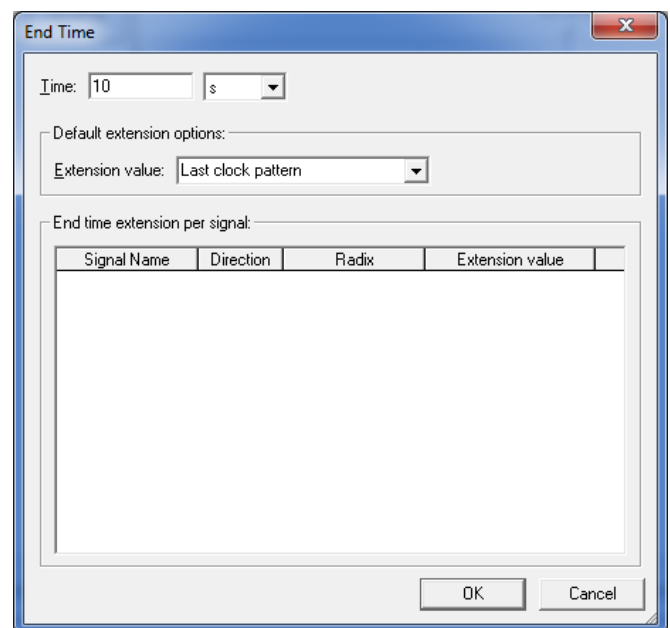
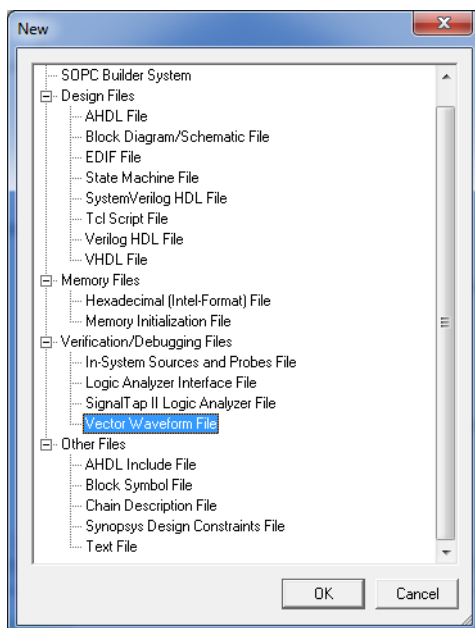


6. Проводимо конфігурацію ПЛІС FPGA Cyclone III. Повторно компілюємо проект.

Node Name	Direction	Location	I/O Bank	VREF Group
F	Output	PIN_J3	1	B1_N1
X1	Input	PIN_J6	1	B1_N0
X2	Input	PIN_H5	1	B1_N0
<<new node>>				



7. Виконаємо моделювання в часовій області отриманої схеми в САПР Quartus II.



Grid Size

Base grid on:

☐ Clock settings:

☐ Time period:

Period: 1.0 s

OK Cancel

Insert Node or Bus

Name:

Type: INPUT

Value type: 9-Level

Radix: ASCII

Bus width: 1

Start index: 0

☐ Display gray code count as binary count

OK Cancel Node Finder...

Node Finder

Named: * Filter: Pins: all Customize... List

Look in: llab_4l Include subentities Stop

Nodes Found:

Name	Assignments
F	PIN_J3
X1	PIN_J6
X2	PIN_H5

Selected Nodes:

Name	Assignments
llab_4lF	PIN_J3
llab_4lX1	PIN_J6
llab_4lX2	PIN_H5

OK Cancel

Count Value

Counting Timing

Radix: Binary

Start value: 0

End value: 1

Increment by: 1

Count type:

☒ Binary

☐ Gray code

OK Скасувати

Count Value

Counting Timing

Start time: 0 s

End time: 10.0 s

Transitions occur:

☐ Relative to clock settings:

☐ Positive edge

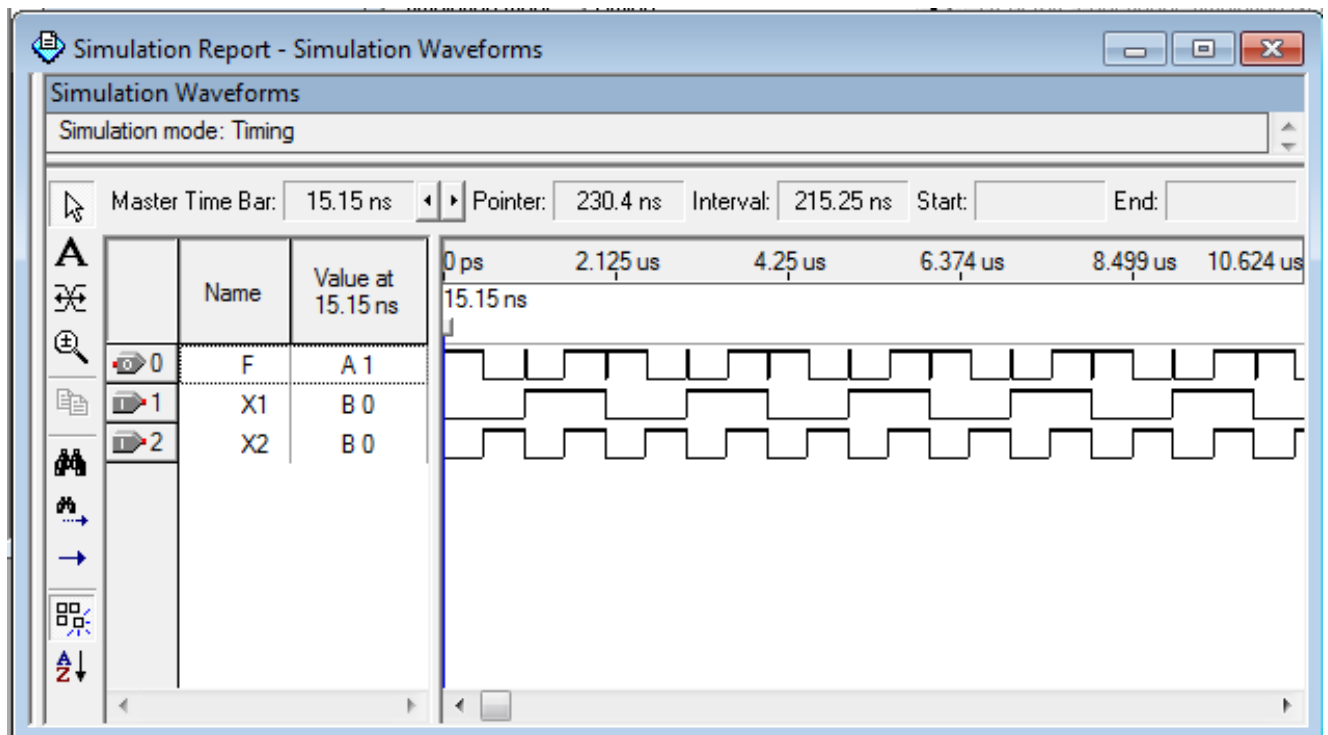
☐ Negative edge

☒ At absolute times:

Count every: 0.5 s

Multiplied by: 1

OK Скасувати



8. Як можна побачити, виходячи із значення **F** часової діаграми, результати моделювання такі ж, як результуючі значення з побудованої таблички істинності.

9. Складемо табличку істинності для мажоритарного елемента.

X_1	X_2	X_3	Y
0	0	0	0
0	0	1	0
0	1	0	0
0	1	1	1
1	0	0	0
1	0	1	1
1	1	0	1
1	1	1	1

10. На основі таблички запишемо логічну функцію в ДДНФ.

$$F = \neg X_3 X_2 X_1 + X_3 \neg X_2 X_1 + X_3 X_2 \neg X_1 + X_3 X_2 X_1$$

11. Проведемо мінімізацію за допомогою карти Карно.

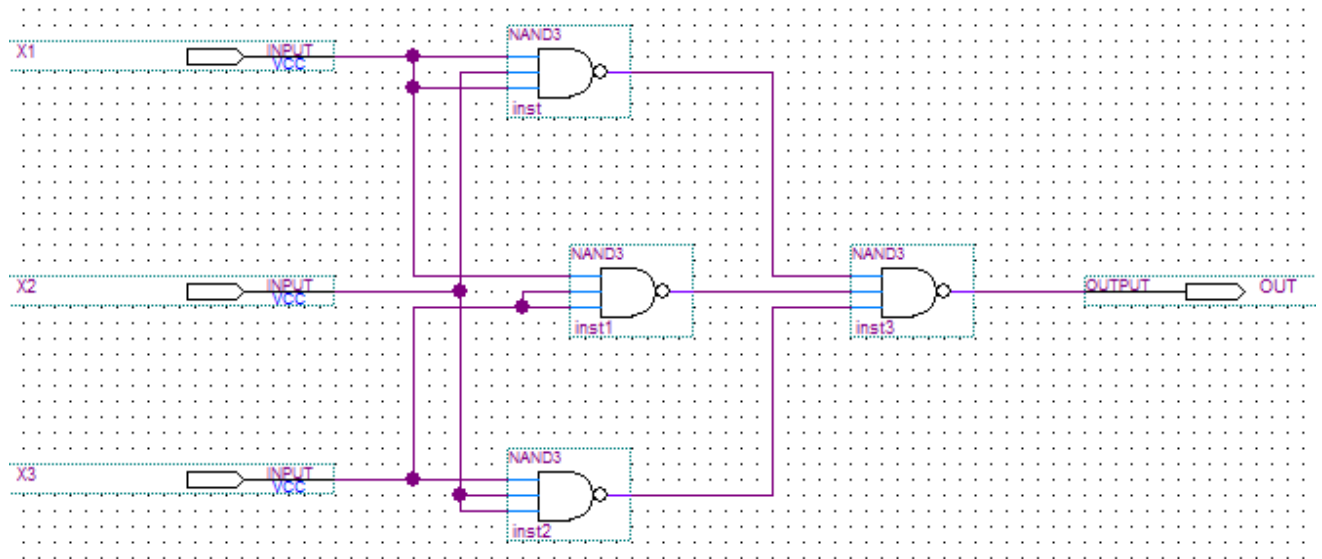
	$\neg X_2 \neg X_1$	$\neg X_2 X_1$	$X_2 X_1$	$X_2 \neg X_1$
X_3		1	1	1
$\neg X_3$			1	

$$F = X_3 X_1 + X_3 X_2 + X_2 X_1$$

12. Застосуємо до отриманої логічної функції закон де Моргана.

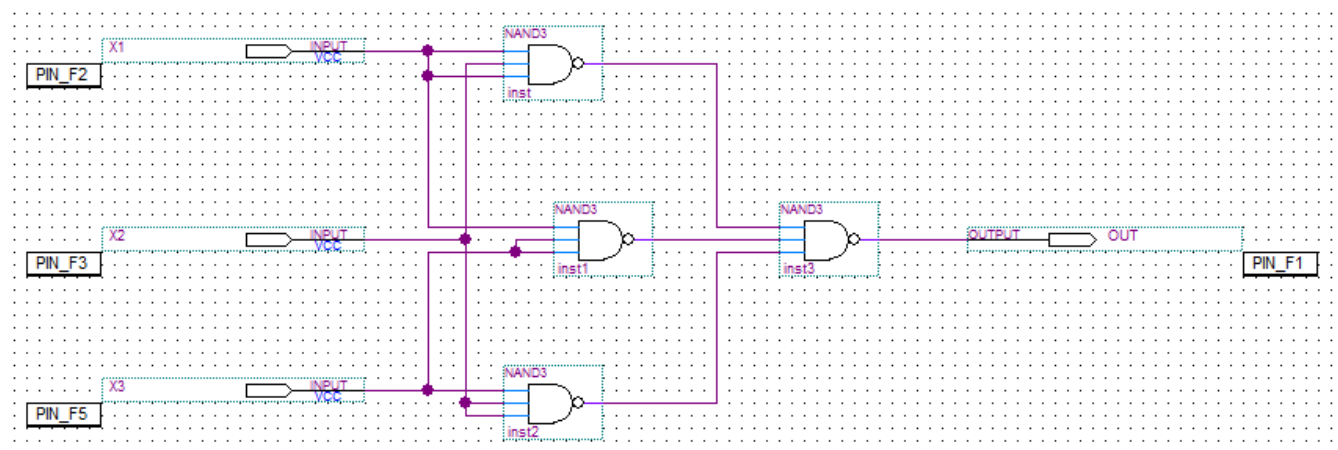
$$F = \neg(\neg(X_3 X_1) \neg(X_3 X_2) \neg(X_2 X_1))$$

13. Складаємо схему мажоритарного елемента. Компілюємо проект.

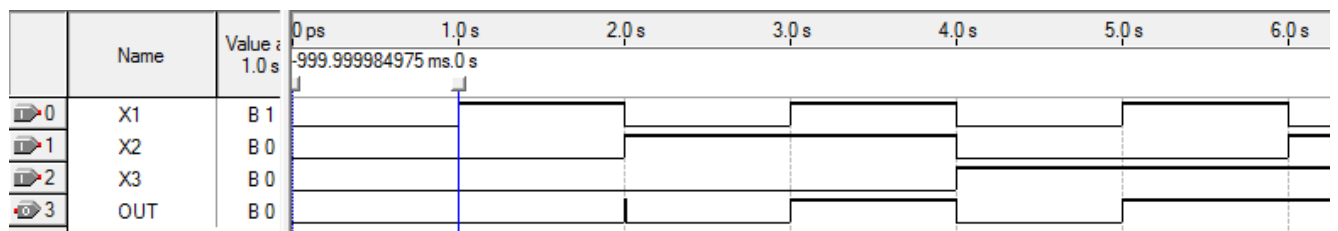


14. Проводимо під'єднання до виводів ПЛІС. Повторно компілюємо.

	OUT	Output	PIN_F1	1	B1_N0
	X1	Input	PIN_F2	1	B1_N0
	X2	Input	PIN_F3	1	B1_N0
	X3	Input	PIN_F5	1	B1_N0
<<new node>>					



15. Проводимо моделювання в часовій області.



16. Як бачимо з рисунку, вихід схеми співпадає зі значенням Y в таблиці істинності для мажоритарного елемента.

Висновок: Під час виконання лабораторної роботи було розроблено схему цифрового пристрою у відповідності з варіантом, а також реалізовано цифрову модель мажоритарного елемента на базі 3І-НЕ елементів. Розглянуто процес моделювання у часовій області для вищезгаданих цифрових пристроїв у САПР Quartus II.