

Міністерство освіти і науки України  
Львівський національний університет імені Івана Франка  
Кафедра радіофізики та комп'ютерних технологій

Звіт  
про виконання  
лабораторної роботи № 5  
"Дослідження та синтез тригерів в САПР Quartus II"

Виконала  
студентка групи ФЕІ - 41  
Литвин Віра

Перевірив  
доц. Рабик В.Г.

Львів - 2013

## Мета роботи:

вивчення принципів роботи тригерів, реалізація принципових схем різних типів тригерів та моделювання їх роботи в середовищі Quartus II; експериментальна перевірка роботи різних типів тригерів на ПЛІС FPGA Cyclone III лабораторного стенду DE0.

## Завдання:

1. З допомогою САПР Quartus II реалізувати схему асинхронного RS – тригера (рис. 5.1) на основі логічних елементів 2АБО - НІ. Виконати моделювання в часовій області роботи отриманого тригера в САПР Quartus II.

Перевірити роботу спроектованого пристрою на лабораторному стенді DE0. Для цього сконфігурувати ПЛІС FPGA Cyclone III. До входів отриманого пристрою підключити перемикачі, а до виходів - світлодіоди. Входи S, R підключити відповідно до SW[4], SW[3]. Вихід пристрою Q підключити до світлодіоду LEDG[3], а вихід Q - до LEDG[5].

2. З допомогою САПР Quartus II реалізувати схему синхронного RS – тригера з синхронізацією по рівню (рис. 5.3) на основі логічних елементів 2І - НЕ. Виконати моделювання в часовій області роботи отриманого тригера в САПР Quartus II.

Перевірити роботу спроектованого пристрою на лабораторному стенді DE0. Для цього сконфігурувати ПЛІС FPGA Cyclone III. До входів S, R і C отриманого пристрою підключити перемикачі, а до виходів - світлодіоди. Входи S, R і C підключити відповідно до SW[4], SW[3] і SW[0]. Вихід пристрою Q підключити до світлодіоду LEDG[3], а вихід Q - до LEDG[5].

3. З допомогою САПР Quartus II реалізувати схему синхронного RS – тригера з динамічним керуванням (рис. 5.7) на основі логічних елементів 2АБО - НІ. Виконати моделювання в часовій області роботи отриманого тригера в САПР Quartus II. Привести таблицю переходів, яка описує його роботу.

Перевірити роботу спроектованого пристрою на лабораторному стенді DE0. Для цього сконфігурувати ПЛІС FPGA Cyclone III. До входів S, R отриманого пристрою підключити перемикачі, до входу C - кнопку, а до виходів - світлодіоди. Входи S, R і C підключити відповідно до SW[4], SW[3] і BUTTON[0]. Вихід пристрою Q підключити до світлодіоду LEDG[4], а вихід Q - до LEDG[0].

4. Дослідити роботу тригера DFFE (рис. 5.8) зі стандартної бібліотеки САПР Quartus II. Виконати моделювання в часовій області досліджуваного тригера в САПР Quartus II. Привести таблицю переходів, яка описує його роботу.

Перевірити роботу спроектованого пристрою на лабораторному стенді DE0. Для цього сконфігурувати ПЛІС FPGA Cyclone III. До входів D\_PRN, D\_CLRN, D\_D, D\_ENA отриманого пристрою підключити перемикачі, до входу

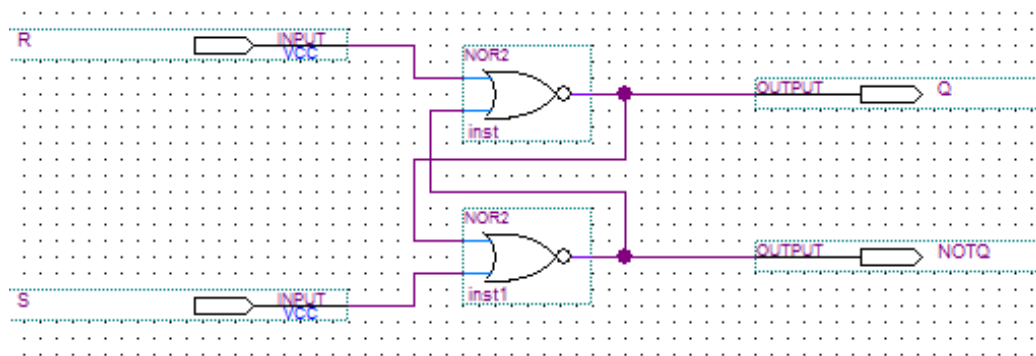
D\_C - кнопку, а до виходу D\_O - світлодіод. Входи D\_PRN, D\_CLRN, D\_D, D\_ENA і D\_C підключити відповідно до SW[4], SW[3], SW[1], SW[0] і BUTTON[0]. Вихід пристрою Q підключити до світлодіоду LEDG[4].

5. Дослідити роботу тригера JKFFE (рис. 5.9) зі стандартної бібліотеки САПР Quartus II. Виконати моделювання в часовій області досліджуваного тригера в САПР Quartus II Привести таблицю переходів, яка описує його роботу.

Перевірити роботу спроектованого пристрою на лабораторному стенді DE0. Для цього сконфігурувати ПЛІС FPGA Cyclone III. До входів D\_PRN, D\_CLRN, D\_J, D\_K, D\_ENA отриманого пристрою підключити перемикачі, до входу D\_C - кнопку, а до виходу D\_O - світлодіод. Входи D\_PRN, D\_CLRN, D\_J, D\_K, D\_ENA і D\_C підключити відповідно до SW[1], SW[0], SW[4], SW[3], SW[7] і BUTTON[0]. Вихід пристрою Q підключити до світлодіоду LEDG[0].

### Виконання роботи:

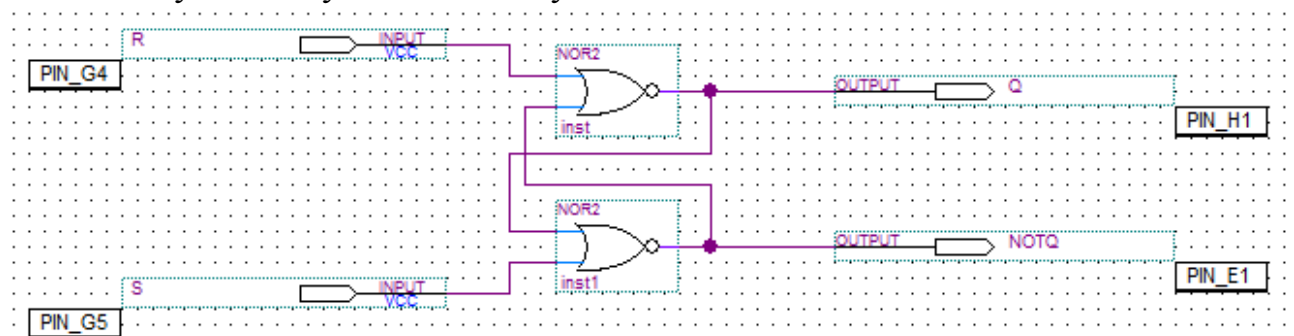
1) Складаємо схему асинхронного RS – тригера на основі логічних елементів 2АБО - НІ.



2) Компілюємо. Проводимо під'єднання до виводів ПЛІС та повторно компілюємо.

Node Name	Direction	Location
NOTQ	Output	PIN_E1
Q	Output	PIN_H1
R	Input	PIN_G4
S	Input	PIN_G5

Схема набуває наступного вигляду:



3) Для дослідження роботи спроектованого тригера виконаємо моделювання в часовій області.

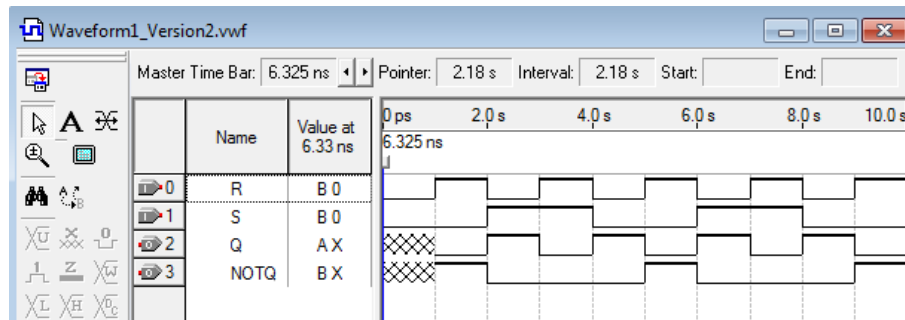
З часової діаграми, зображеної нижче, видно, що

а) при подачі на входи R та S логічних "0" виходи Q та  $\neg Q$  зберігають попередній стан;

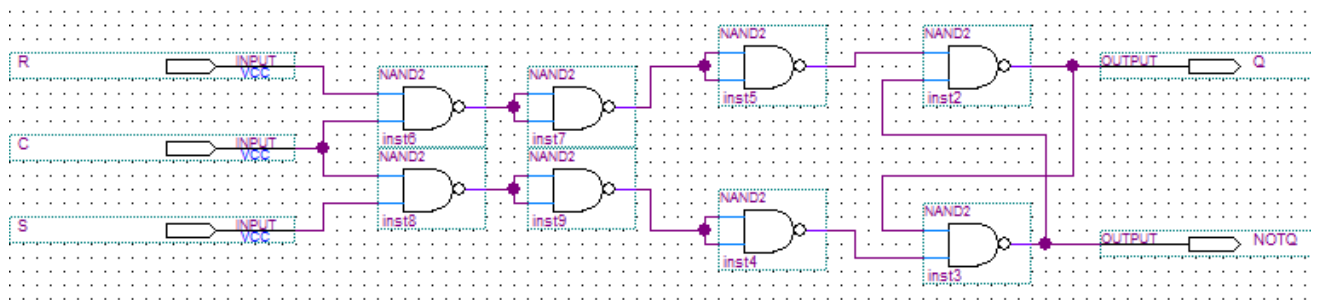
б) при подачі на вхід R логічної "1" та вхід S логічного "0" на виході Q отримаємо логічний "0", а на  $\neg Q$  - логічну "1";

в) при подачі на вхід R логічного "0" та вхід S логічної "1" на виході Q отримаємо логічну "1", а на  $\neg Q$  - логічний "0";

г) при подачі на обидва входи (R та S) логічної "1" на виході отримаємо заборонений стан.



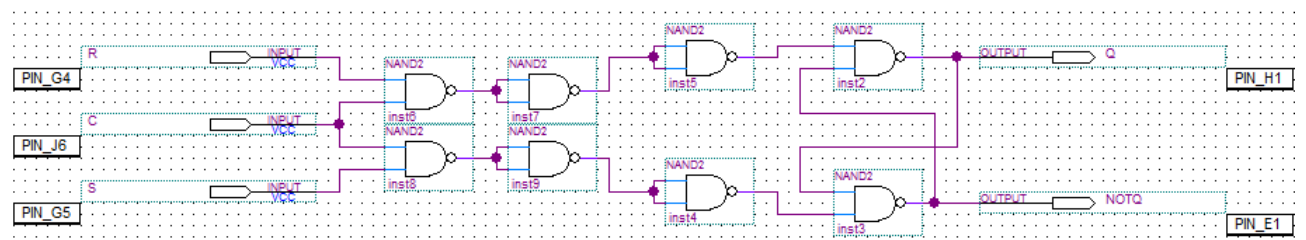
4) Складаємо схему синхронного RS – тригера з синхронізацією по рівню на основі логічних елементів 2І -НЕ.



5) Компілюємо. Проводимо під'єднання до виводів ПЛІС та повторно компілюємо.

Node Name	Direction	Location	I/O Bank
C	Input	PIN_J6	1
NOTQ	Output	PIN_E1	1
Q	Output	PIN_H1	1
R	Input	PIN_G4	1
S	Input	PIN_G5	1

Схема набуває наступного вигляду:



б) Для дослідження роботи спроектованого тригера виконаємо моделювання в часовій області.

З часової діаграми, зображеної нижче, видно, що

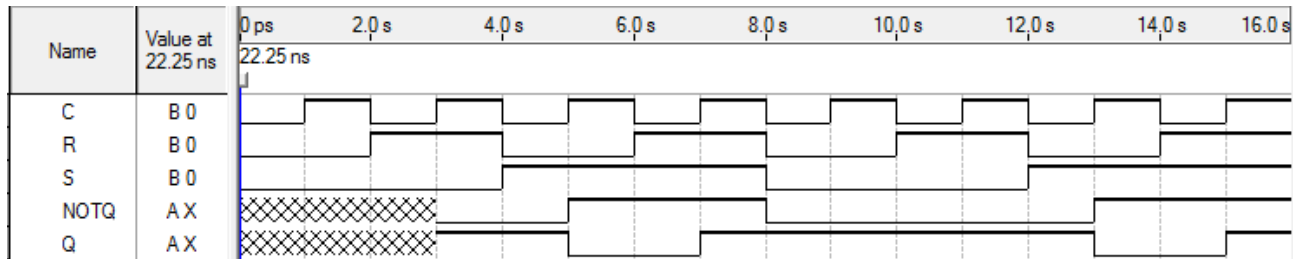
а) при подачі на входи R та S логічних "0" пристрій працює у режимі збереження інформації;

б) при подачі на вхід R логічної "1" та вхід S логічного "0" пристрій працює у режимі скидання в "0";

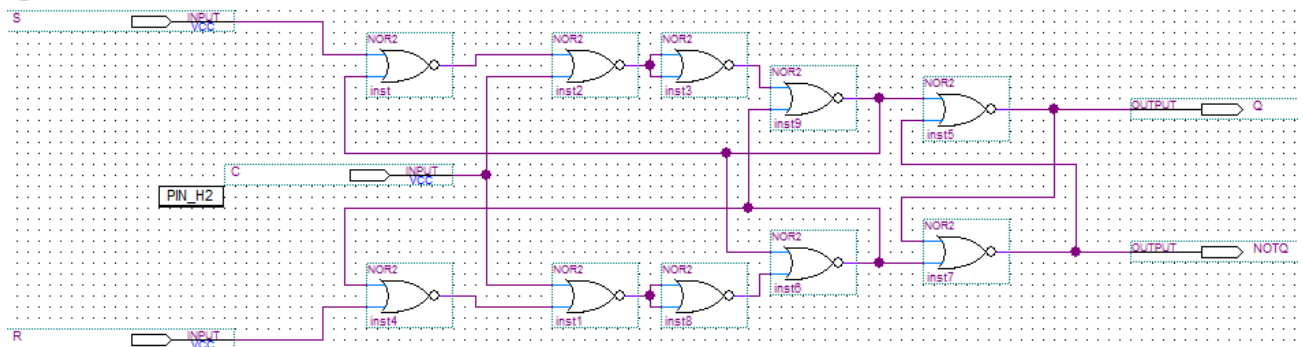
в) при подачі на вхід R логічного "0" та вхід S логічної "1" пристрій працює у режимі встановлення в "1";

г) при подачі на обидва входи (R та S) логічної "1" на виході отримаємо заборонений стан.

д) при подачі на вхід C логічного "0" пристрій не змінює свого стану, тобто не відбувається синхронізації.



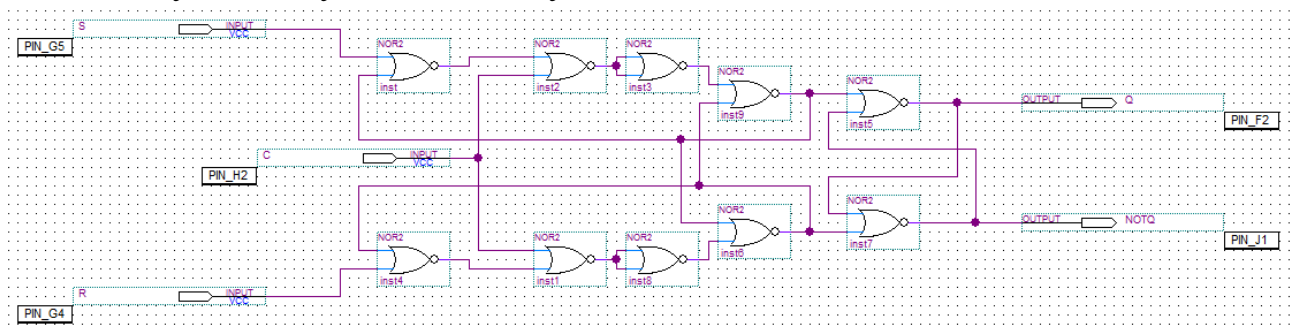
7) Складаємо схему синхронного RS – тригера з динамічним керуванням (рис. 5.7) на основі логічних елементів 2АБО - НЕ.



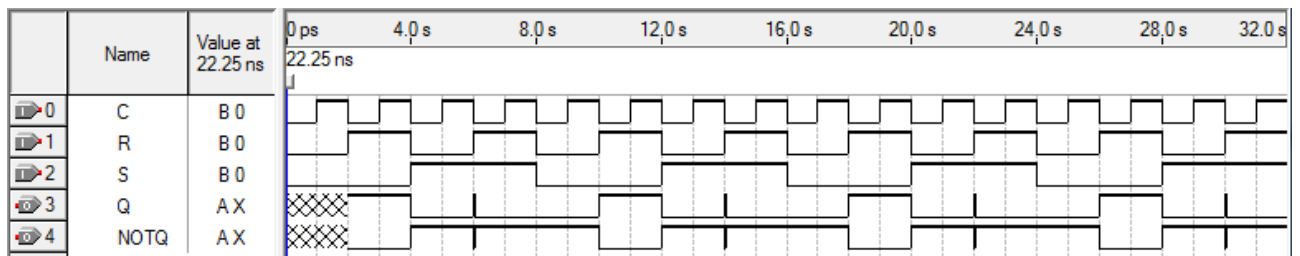
8) Компілюємо. Проводимо під'єднання до виводів ПЛІС та повторно компілюємо.

Node Name	Direction	Location	I/O Bank
C	Input	PIN_H2	1
NOTQ	Output	PIN_J1	1
Q	Output	PIN_F2	1
R	Input	PIN_G4	1
S	Input	PIN_G5	1

Схема набуває наступного вигляду:

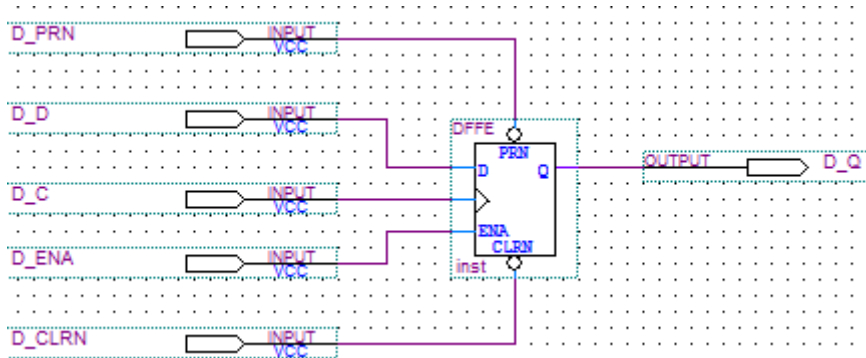


9) Для дослідження роботи спроектованого тригера виконаємо моделювання в часовій області.



Таблиця переходів, яка описує роботу тригера синхронного RS – тригера з динамічним керуванням наведена нижче.

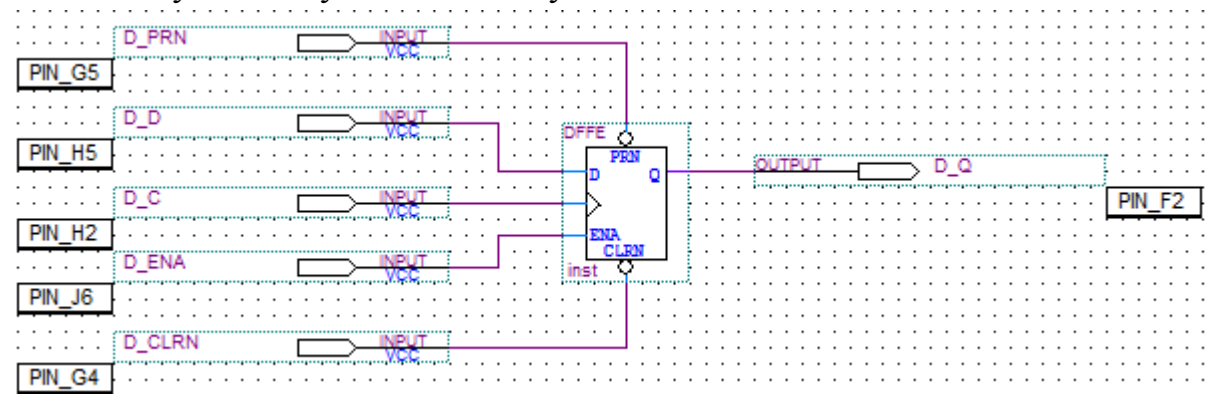
10) Для дослідження роботи тригера DFFE зі стандартної бібліотеки САПР Quartus II складаємо наступну схему.



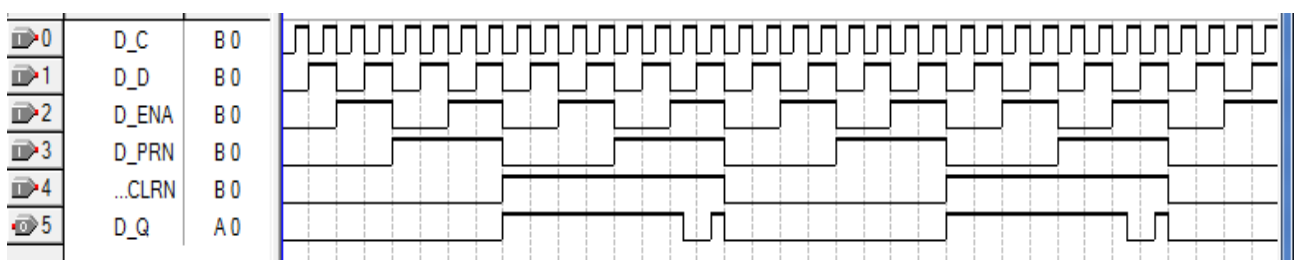
11) Компілюємо. Проводимо під'єднання до виводів ПЛІС та повторно компілюємо.

Node Name	Direction	Location	I/O Bank
D_C	Input	PIN_H2	1
D_CLRN	Input	PIN_G4	1
D_D	Input	PIN_H5	1
D_ENA	Input	PIN_J6	1
D_PRN	Input	PIN_G5	1
D_Q	Output	PIN_F2	1

Схема набуває наступного вигляду:



12) Виконаємо моделювання в часовій області.



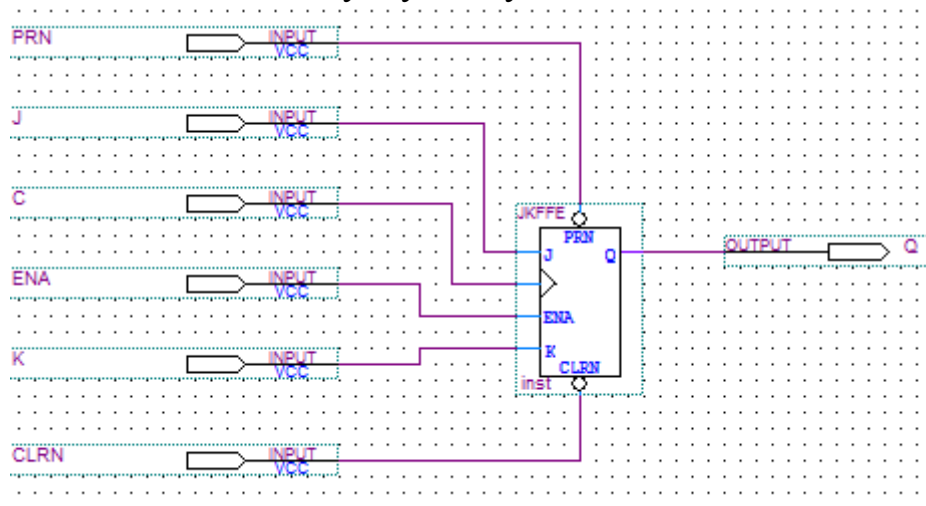
13) Таблиця переходів виглядає наступним чином.

Входи					Вихід
CLR N	PR N	EN A	D	CLK	Q
0	1	X	X	X	0
1	0	X	X	X	1
0	0	X	X	X	Заборонений стан
1	1	0	X	X	Значення Q на попередньому такті
1	1	1	0	┘	0
1	1	1	1	┘	1
1	1	X	X	0	Q

При подачі на вхід ENA(вхід доступності, означає чи увімкнений тактовий генератор) подають логічну "1" тригер передає сигнал від входу D до виходу Q.

Якщо ж на вхід ENA подати логічний "0", то стан Q зберігається незалежно від входу D.

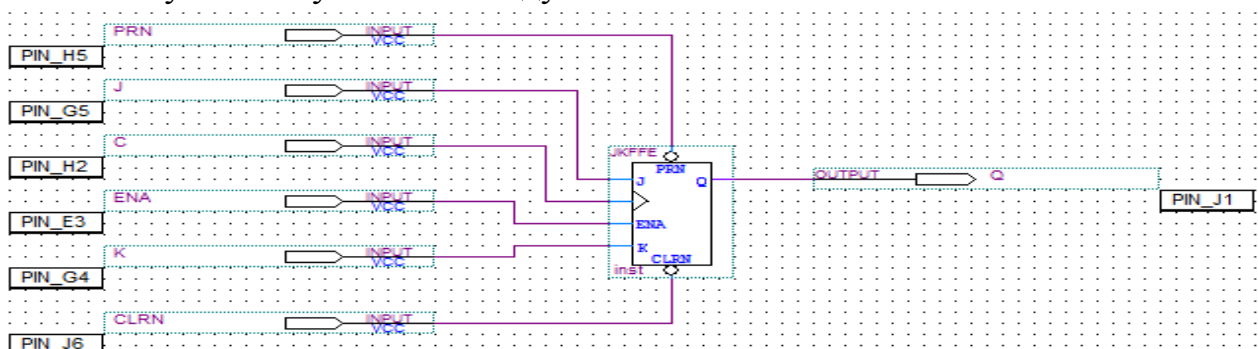
14) Для дослідження роботи тригера JKFFE зі стандартної бібліотеки САПР Quartus II складемо наступну схему.



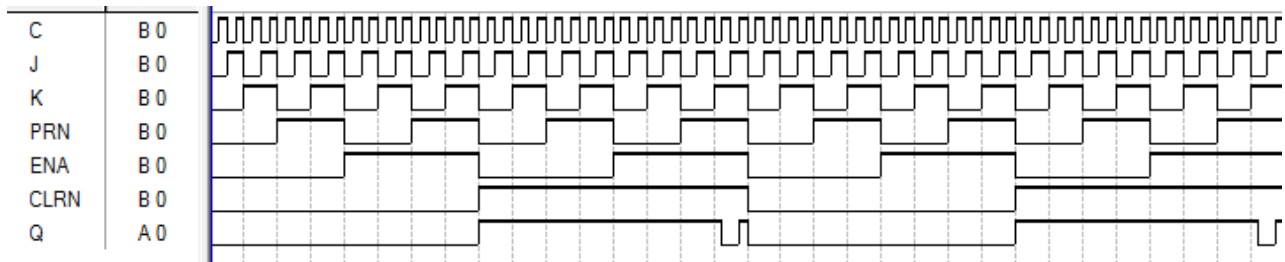
15) Компілюємо. Проводимо під'єднання до виводів ПЛІС та повторно компілюємо.

Node Name	Direction	Location	I/O Bank	VREF Group
C	Input	PIN_H2	1	B1_N1
CLR N	Input	PIN_J6	1	B1_N0
ENA	Input	PIN_E3	1	B1_N0
J	Input	PIN_G5	1	B1_N0
K	Input	PIN_G4	1	B1_N0
PR N	Input	PIN_H5	1	B1_N0
Q	Output	PIN_J1	1	B1_N1

Схема набуває наступного вигляду:



16) Виконаємо моделювання в часовій області.



13) Таблиця переходів виглядає наступним чином.

Входи						Вихід
ENA	PRN	CLRN	CLK	J	K	Q
X	0	1	X	X	X	1
X	1	0	X	X	X	0
X	0	0	X	X	X	Заборонений стан
X	1	1	0	X	X	Значення Q на попередньому такті
1	1	1	┐	0	0	Q
1	1	1	┐	1	0	1
1	1	1	┐	0	1	0
1	1	1	┐	1	1	Перемикання
0	1	1	X	X	X	Q

При подачі на вхід ENA(вхід доступності, означає чи увімкнений тактовий генератор) подають логічну "1" тригер передає сигнал, що залежить від входів J та K на вихід Q.

Якщо ж на вхід ENA подати логічний "0", то стан Q зберігається незалежно від J чи K входу.

### Висновки:

Виконуючи цю лабораторну роботу було розглянуто основні принципи роботи тригерів, реалізовано принципові схеми різного виду тригерів та проведено моделювання їх роботи в часовій області. Також було досліджено роботу тригерів зі стандартної бібліотеки середовища САПР Quartus II, змодельовано їх роботу в часовій області та опрацьовано таблицю переходів, наведену в Довідці.