

Міністерство освіти і науки України
Львівський національний університет імені Івана Франка
Кафедра радіофізики та комп'ютерних технологій

Звіт
про виконання
лабораторної роботи № 8
"Дослідження мегафункцій арифметичних операцій в САПР Quartus II"

Виконала
студентка групи ФЕІ - 41
Литвин Віра

Перевірив
доц. Рабик В.Г.

Львів - 2013

Мета роботи:

вивчення принципів роботи регістрів, реалізація принципових схем різних типів регістрів та моделювання їх роботи в середовищі Quartus II, експериментальна перевірка їх роботи на ПЛІС FPGA Cyclone III лабораторного стенду DE0.

Завдання:

1. З допомогою САПР Quartus II реалізувати схему додавання або віднімання 4-ри розрядних двійкових чисел з допомогою мегафункції LPM_ADD_SUB (рис. 8.5). Виконати моделювання в часовій області та отримати часові діаграми реалізованого арифметичного пристрою в САПР Quartus II.

Перевірити роботу спроектованого пристрою на лабораторному стенді DE0. Для цього сконфігурувати ПЛІС FPGA Cyclone III. Значення вхідних чисел A і B задаються з допомогою перемикачів: $A[3..0] \leftarrow (SW[3], SW[2], SW[1], SW[0])$; $B[3..0] \leftarrow (SW[7], SW[6], SW[5], SW[4])$. Вибір арифметичної операції (додавання або віднімання) визначається перемикачем SW[9]. Вхід C_Input підключити до перемикача SW[8]. Результат Res[3..0] підключити відповідно до світлодіодів LEDG[3],..., LEDG[0], а виходи Overflow і C_Output – відповідно до світлодіодів LEDG[5] та LEDG[7].

2. З допомогою САПР Quartus II реалізувати схему множення 4-ри розрядних двійкових чисел з допомогою мегафункції LPM_ADD_MULT (рис. 8.6). Виконати моделювання в часовій області та отримати часові діаграми реалізованого арифметичного пристрою в САПР Quartus II.

Перевірити роботу спроектованого пристрою на лабораторному стенді DE0. Для цього сконфігурувати ПЛІС FPGA Cyclone III. Значення вхідних чисел A і B (множників) задаються з допомогою перемикачів: $A[3..0] \leftarrow (SW[3], SW[2], SW[1], SW[0])$; $B[3..0] \leftarrow (SW[7], SW[6], SW[5], SW[4])$. Результат Res[7..0] підключити відповідно до світлодіодів LEDG[7],..., LEDG[0].

3. З допомогою САПР Quartus II реалізувати схему ділення 4-ри розрядних двійкових чисел з допомогою мегафункції LPM_DIVIDE. Виконати моделювання в часовій області та отримати часові діаграми реалізованого арифметичного пристрою в САПР Quartus II.

Перевірити роботу спроектованого пристрою на лабораторному стенді DE0. Для цього сконфігурувати ПЛІС FPGA Cyclone III. Значення вхідних чисел A (ділене) і B (дільний) задаються з допомогою перемикачів: $A[3..0] \leftarrow (SW[3], SW[2], SW[1], SW[0])$; $B[3..0] \leftarrow (SW[7], SW[6], SW[5], SW[4])$. Частку та остачу від ділення підключити відповідно до світлодіодів LEDG[7],..., LEDG[4] та LEDG[3],..., LEDG[0] відповідно.

Виконання роботи:

1) Вибираємо з бібліотеки megafunctions/arithmetic функціональний блок для додавання/віднімання.

Налаштовуємо його параметри наступним чином:

MegaWizard Plug-In Manager[page 2c]

Selected **Megafunctions**: LPM_ADD_SUB

Which type of output file do you want to create?

☐ AHDL
☒ VHDL
☐ Verilog HDL

What name do you want for the output file? Browse...

C:\Users\CHICKEK\Диск Google\Study folder\Nowadays\!Апаратне і

Note: To compile a project successfully in the Quartus II software, your design files must be in the project directory, in the global user libraries specified in the Options dialog box (Tools menu), or a user library specified in the User Libraries page of the Settings dialog box (Assignments menu).

Your current user library directories are:

☐ Don't ask me for an output file name or the output file format again.
 In future, name output files automatically and use the current output file format.
 (Note: You can turn the Block Editor's auto naming and auto format selection on and off with the Options command in the Tools menu.)

Cancel < Back Next > Finish

MegaWizard Plug-In Manager - LPM_ADD_SUB [page 3 of 8]

LPM_ADD_SUB

About Documentation

1 Parameter Settings 2 EDA 3 Summary

General > General 2 > Ports > Pipelining >

lpm_add_sub0

add_sub

dataa[3..0] A

datab[3..0] B

result[3..0]

A+B/A-B

Currently selected device family: Cyclone III

☒ Match project/default

How wide should the 'dataa' and 'datab' input buses be? 4 bits

Which operating mode do you want for the adder/subtractor?

☐ Addition only
☐ Subtraction only
☒ Create an 'add_sub' input port to allow me to do both (1 adds; 0 subtracts)

Resource Usage

8 lut

Cancel < Back Next > Finish

MegaWizard Plug-In Manager - LPM_ADD_SUB [page 4 of 8]

LPM_ADD_SUB

About Documentation

1 Parameter Settings 2 EDA 3 Summary

General > General 2 > Ports > Pipelining >

lpm_add_sub0

add_sub

dataa[3..0] A

datab[3..0] B

result[3..0]

A+B/A-B

Is the 'dataa' or 'datab' input bus value a constant?

☒ No, both values vary
☐ Yes, dataa = Dec
☐ Yes, datab = Dec

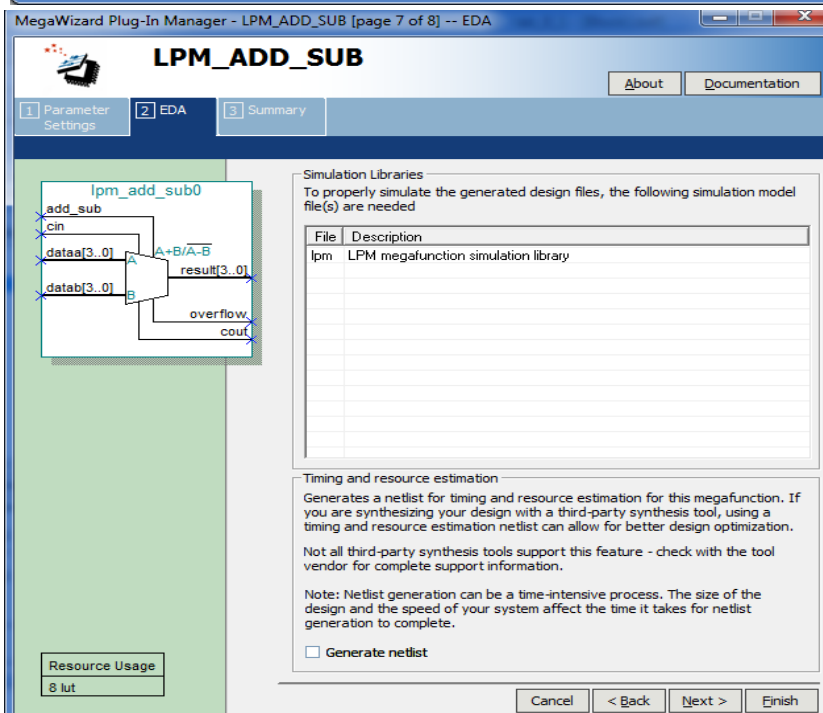
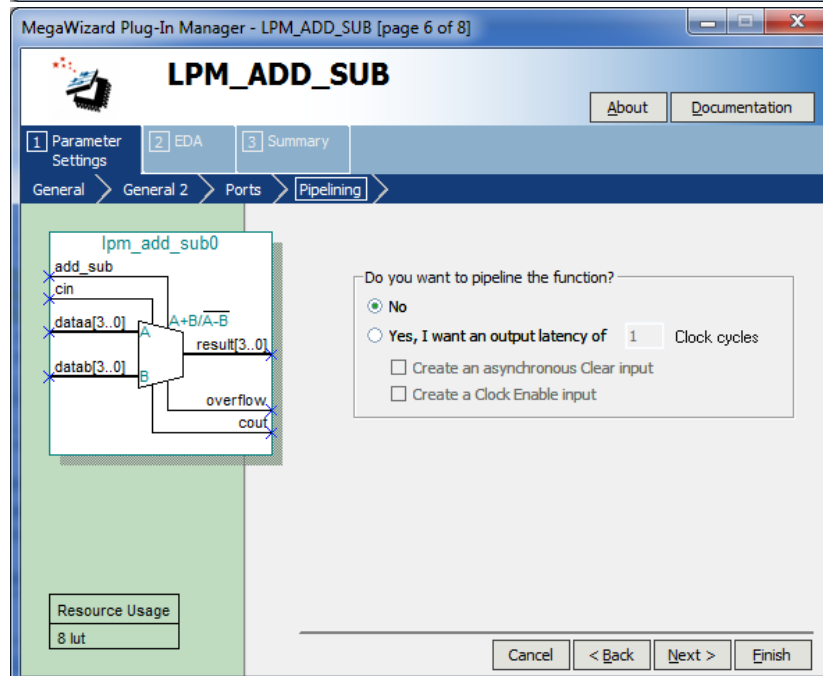
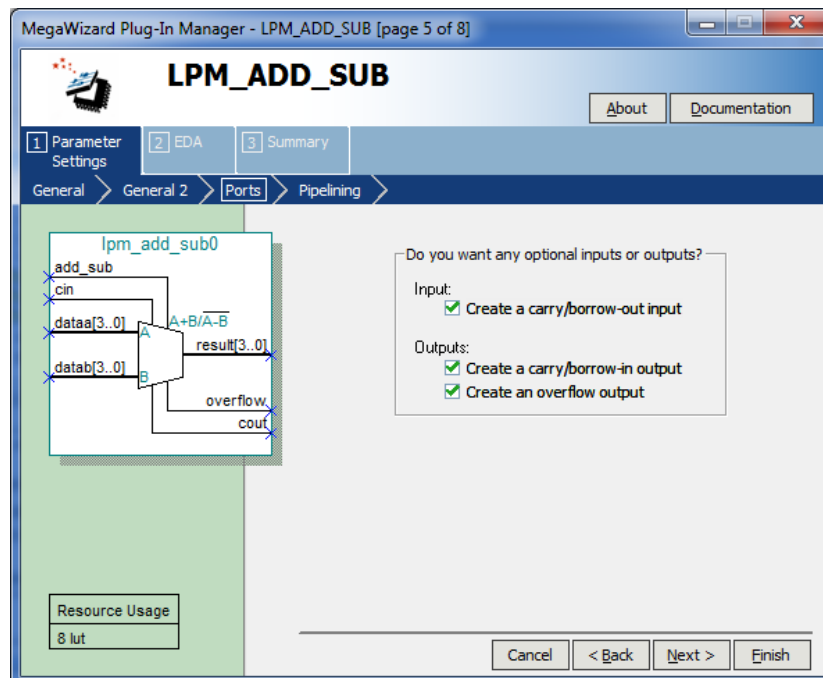
Which type of addition/subtraction do you want?

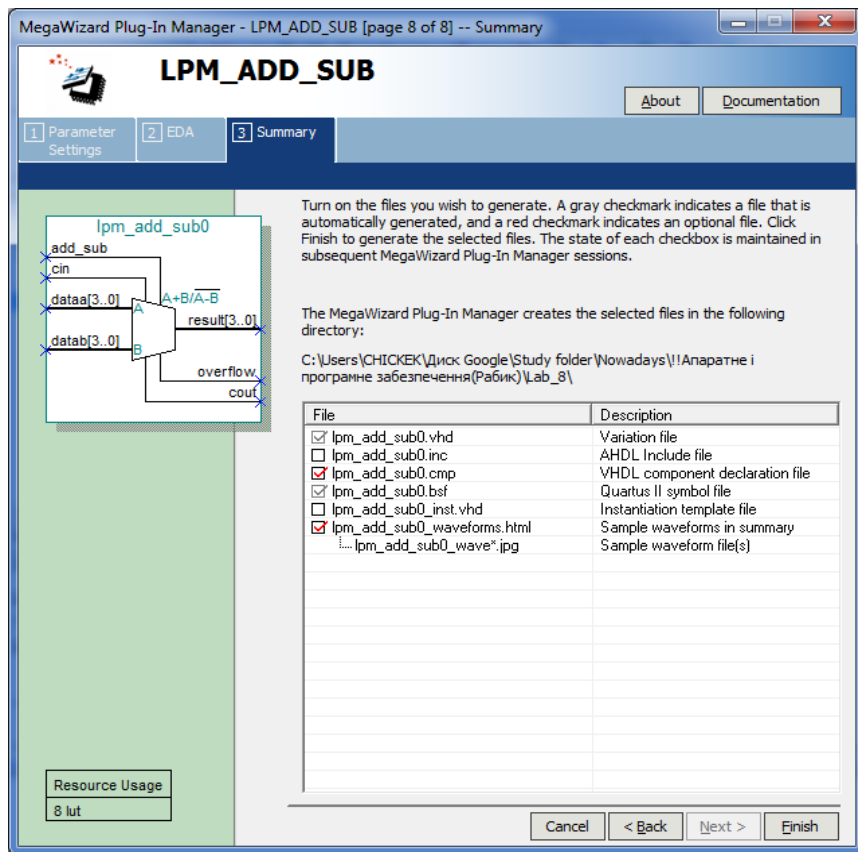
☒ Unsigned
☐ Signed

Resource Usage

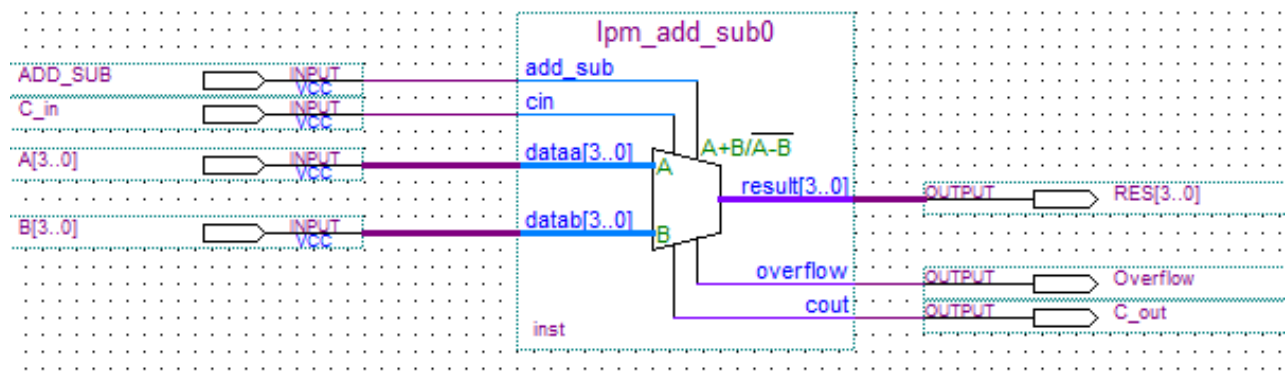
8 lut

Cancel < Back Next > Finish

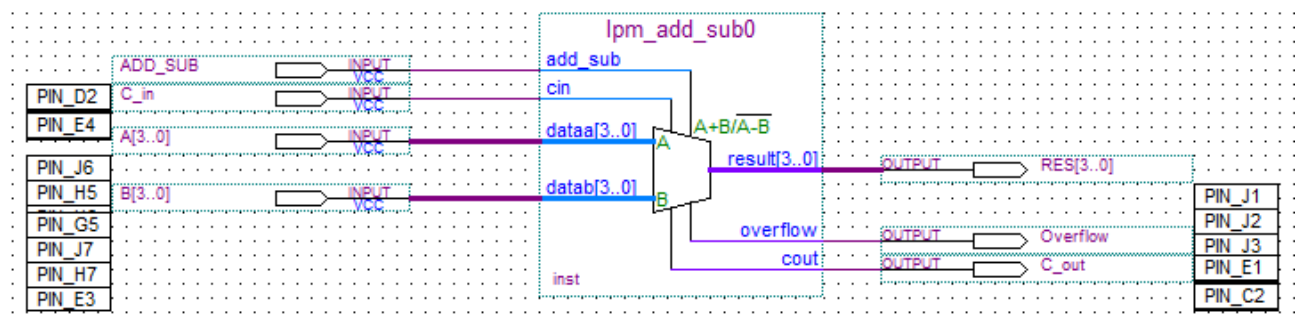




2) Додаємо до схеми входні та вихідні порти і шини. Схема виглядає так, як на рисунку нижче.



3) Проведемо під'єднання до виводів ПЛІС. Схема набуде наступного вигляду.

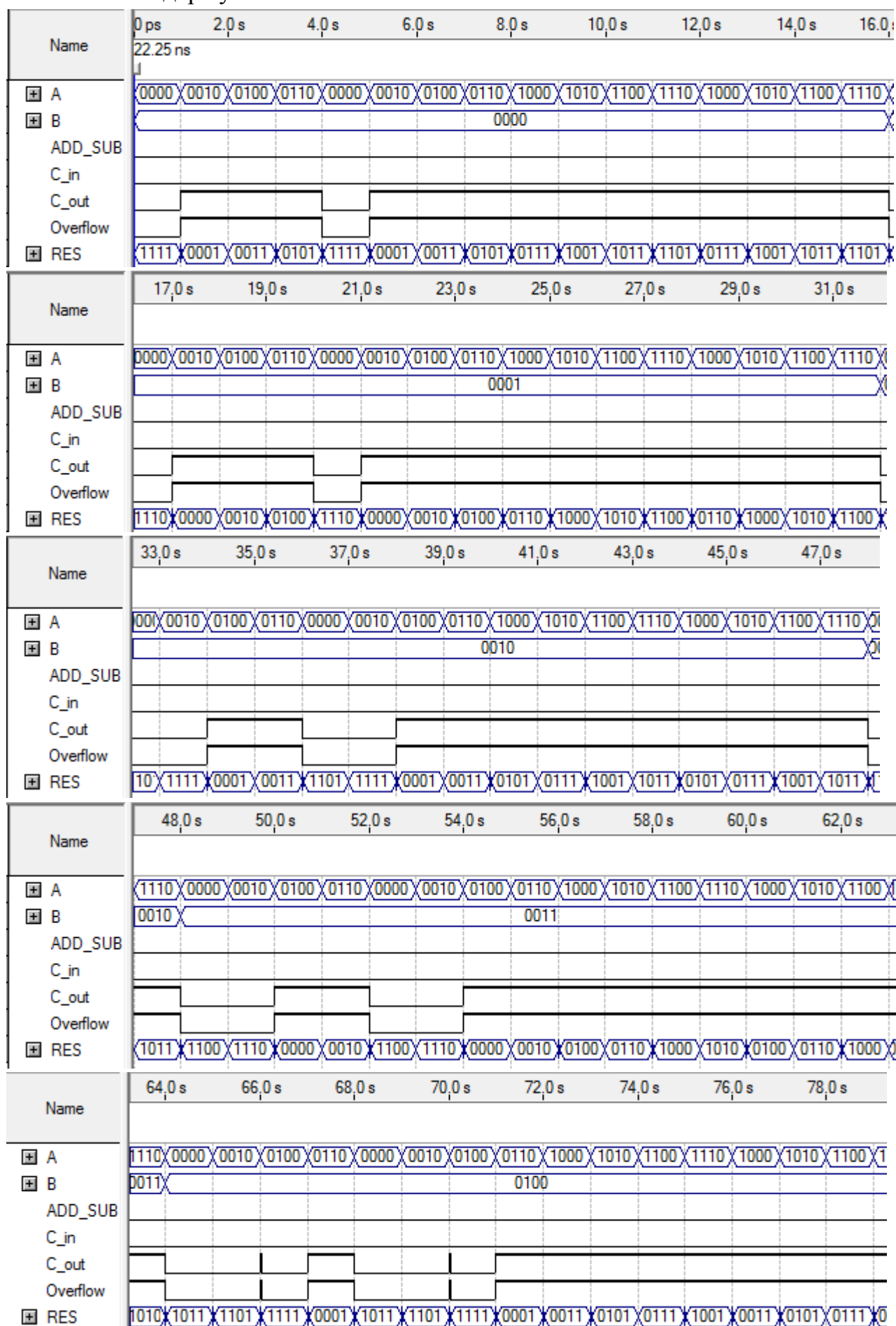


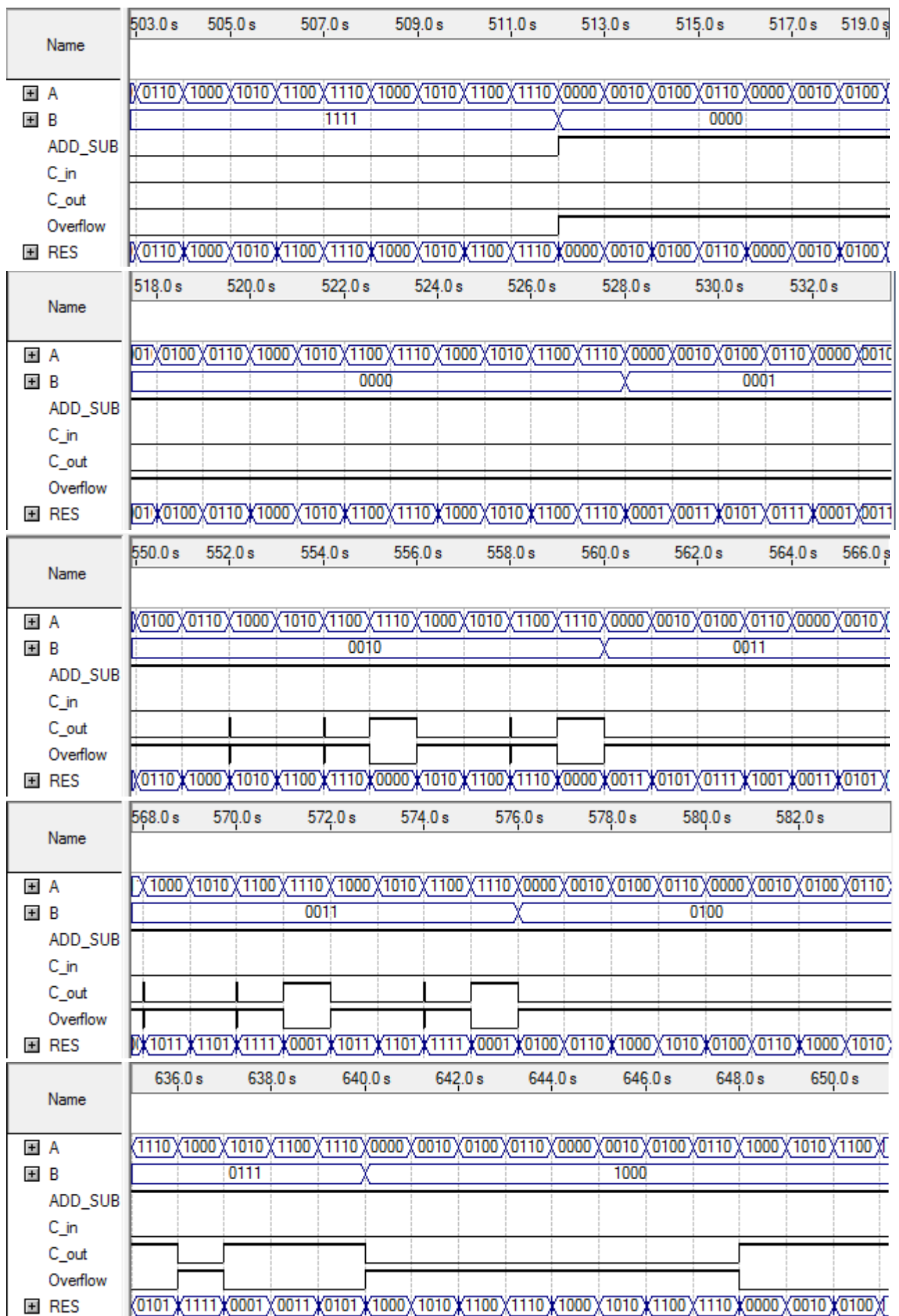
4) Для перевірки коректності роботи пристрою побудуємо часову діаграму. Часова діаграма подана на рисунку нижче.

З діаграми чітко видно, що :

- при подачі на вхід ADD_SUB логічної "1" пристрій додає два 4 - бітних беззнакових числа A та B.
- при подачі на вхід ADD_SUB логічного "0" пристрій віднімає два 4 - бітних беззнакових числа A та B.

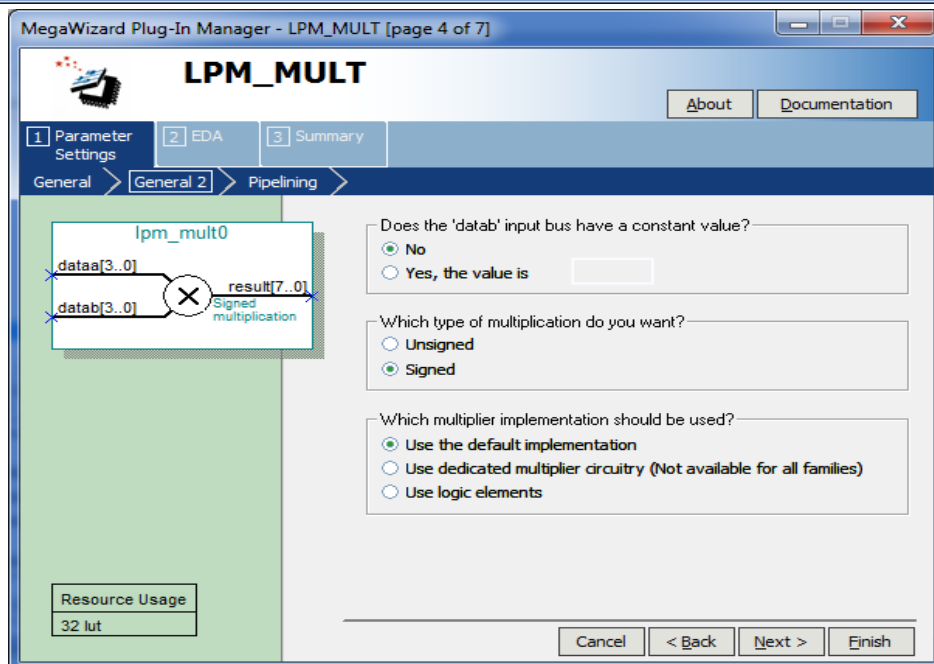
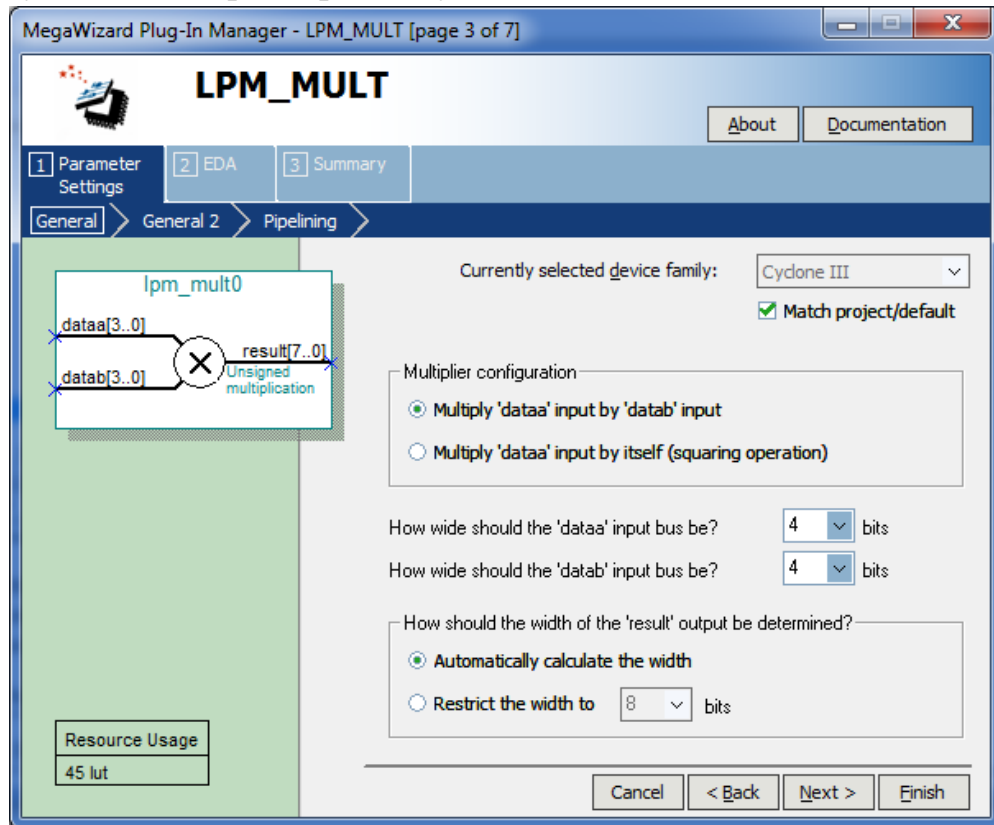
в) якщо результат операції є числом з більшою розрядністю, то на виході Overflow ми одержуємо "1"



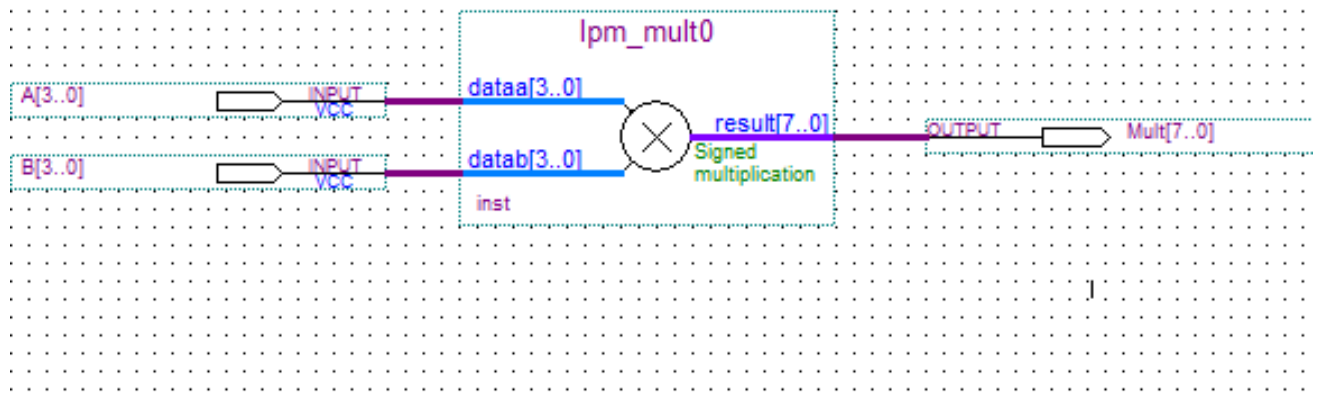


5) Вибираємо з бібліотеки megafunctions/arithmetic функціональний блок для множення.

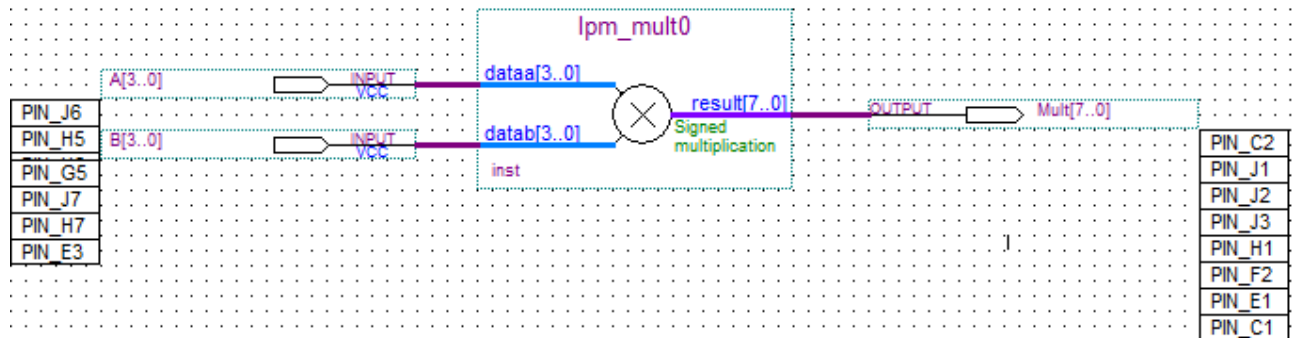
Налаштовуємо його параметри наступним чином:



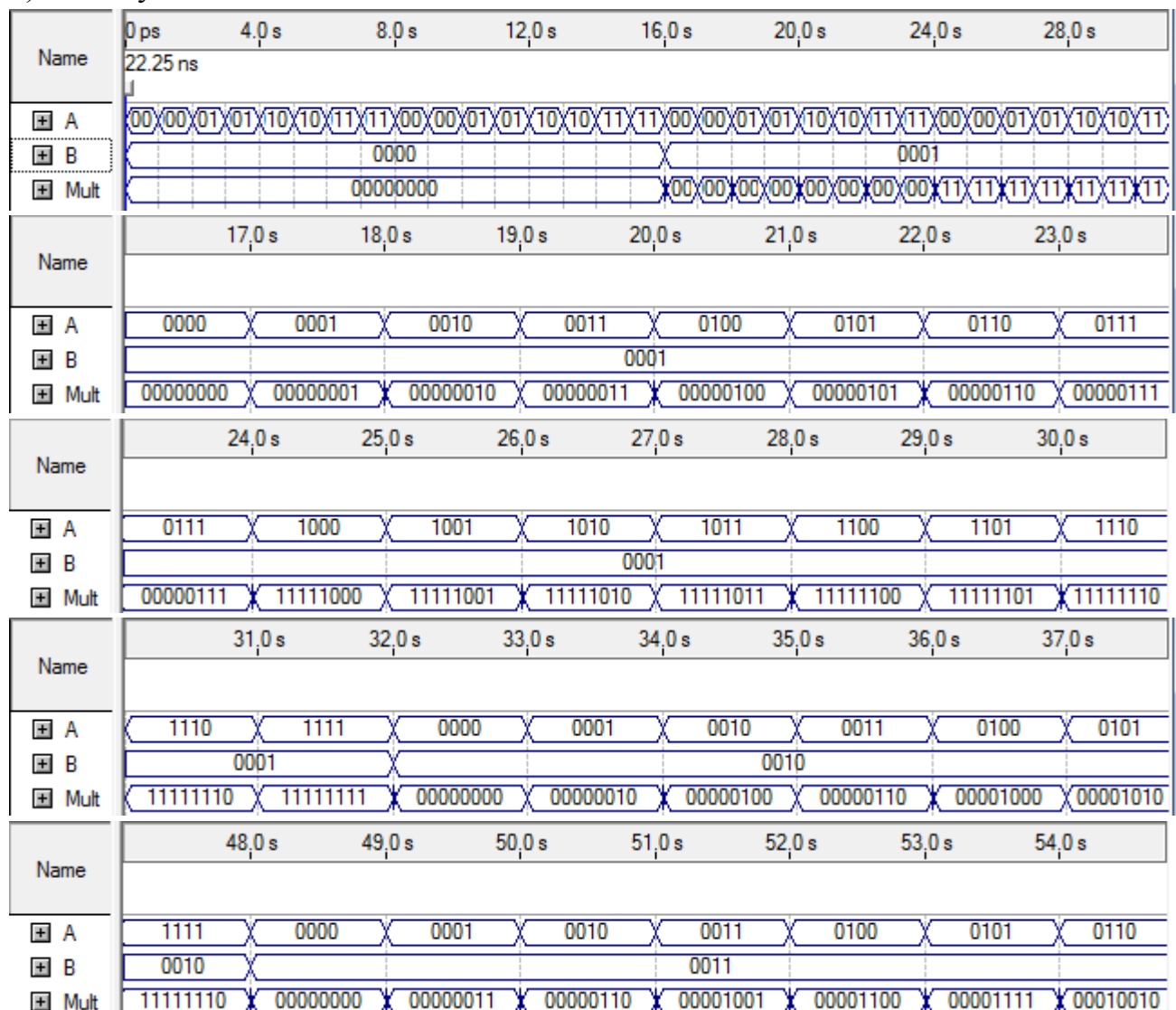
6) Складаємо схему.



Проводимо під'єднання до виводів ПЛІС. Принципова схема набуває наступного вигляду:



7) Виконуємо моделювання в часовій області.

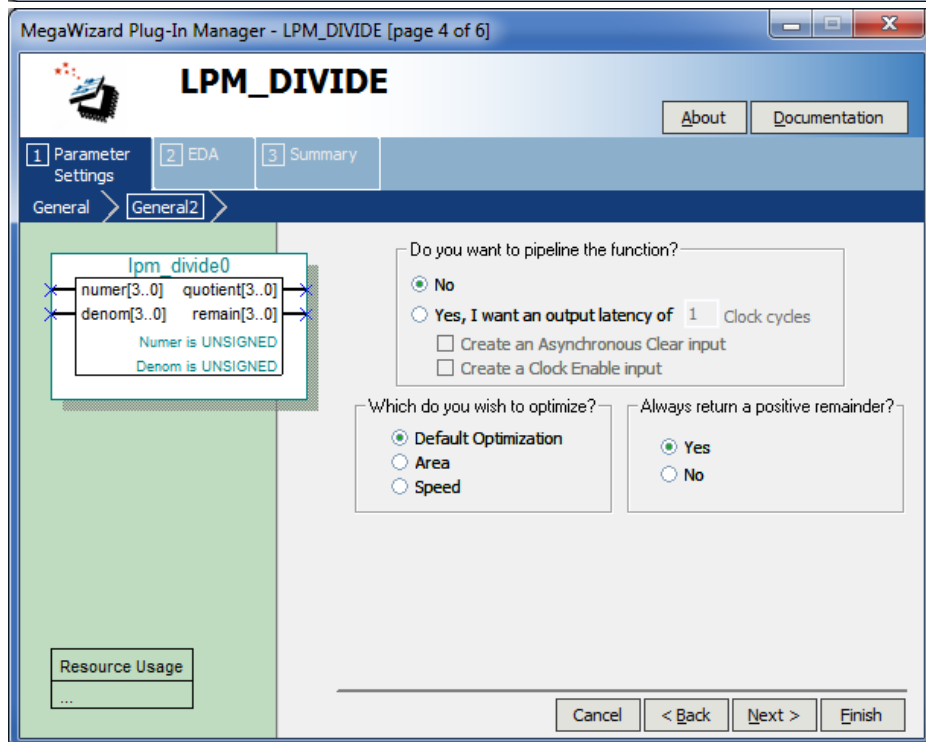
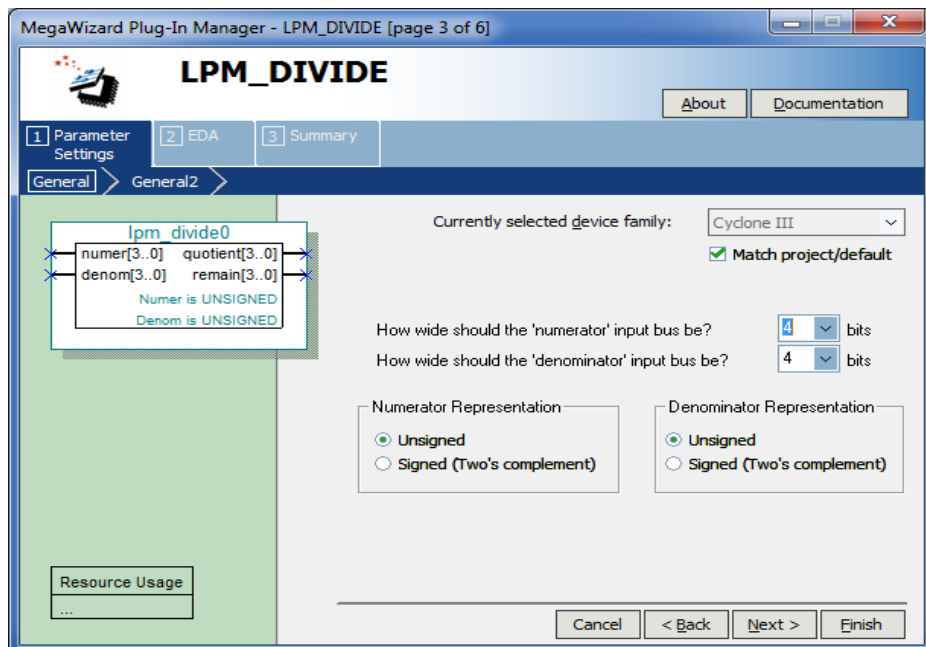




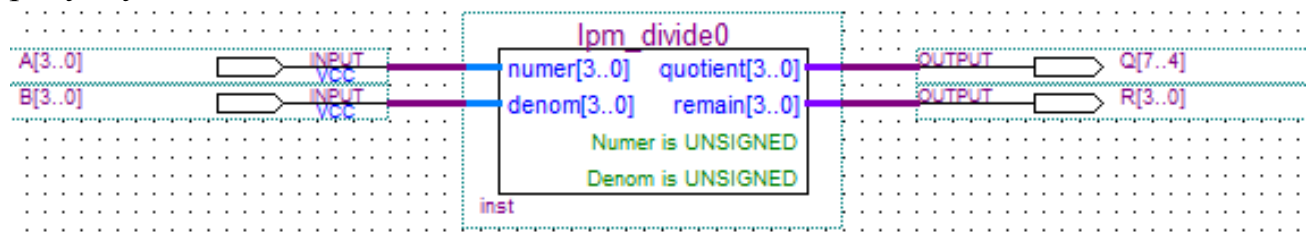
Часова діаграма добре ілюструє, що змодельований пристрій множить число А на число В.

8) Вибираємо з бібліотеки megafunctions/arithmetic функціональний блок для ділення.

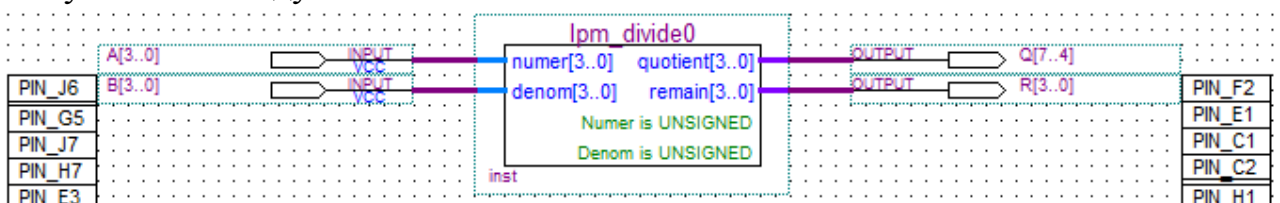
Налаштовуємо його параметри наступним чином:



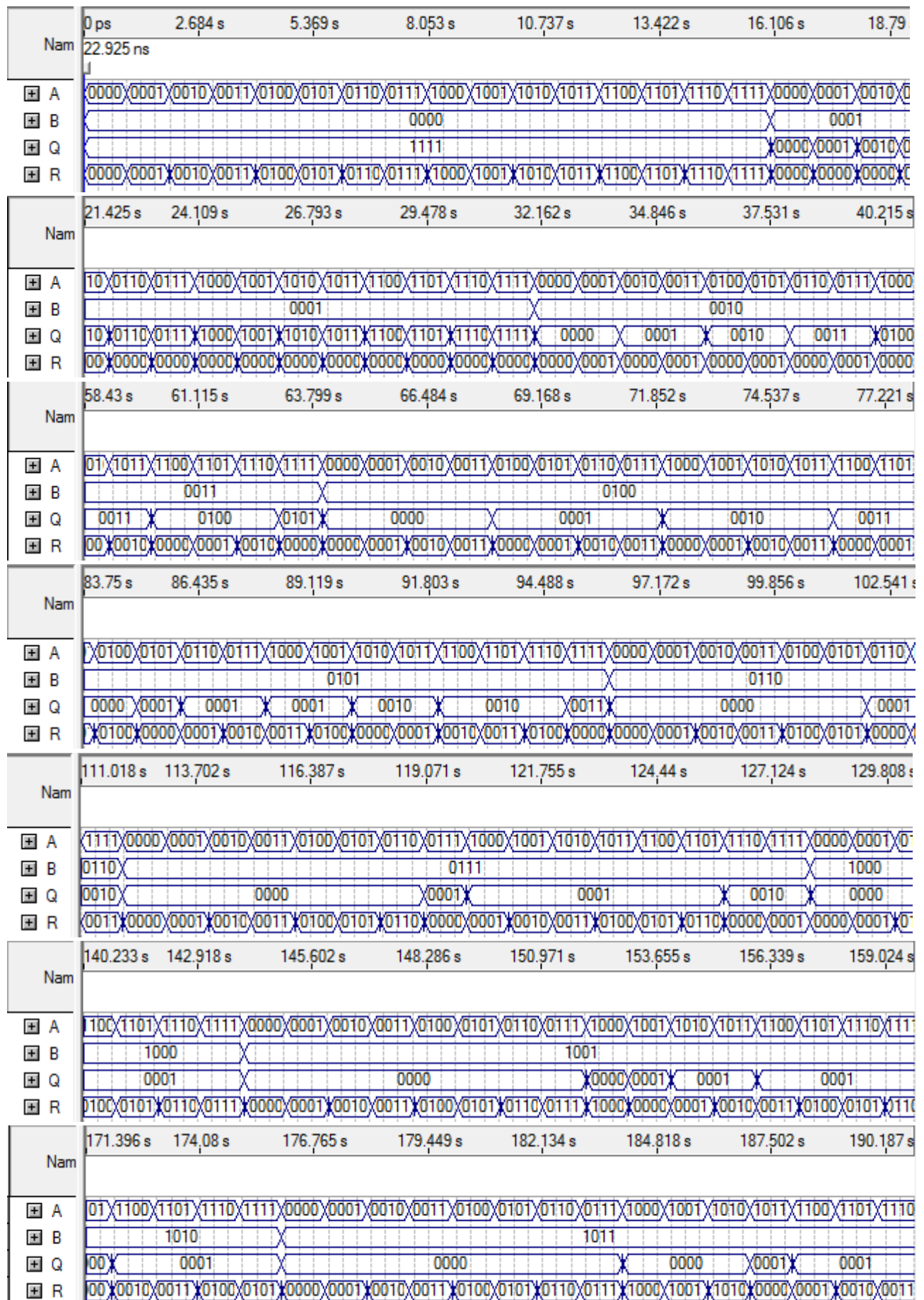
9) Завершуємо принципову схему пристрою. Вона виглядає, як показано на рисунку нижче.

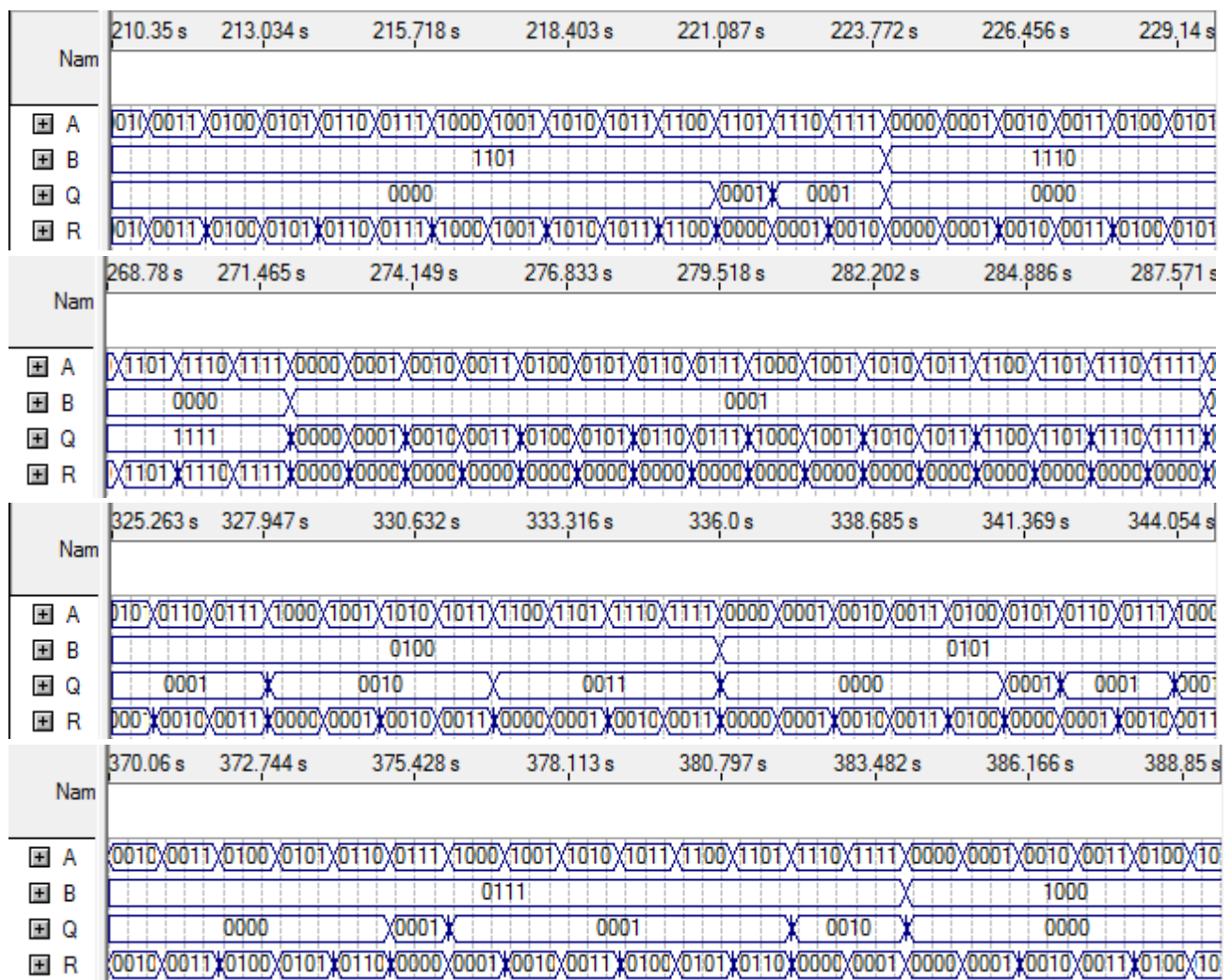


10) Проводимо під'єднання до виводів ПЛІС. Після компіляції схема набуває наступного вигляду:



11) Для перевірки коректності роботи пристрою виконаємо моделювання в часовій області.





Часова діаграма добре ілюструє, що змодельований пристрій ділить число A на число B, частку записує у Q а остачу у R.

Висновки:

Виконуючи цю лабораторну роботу було розглянуто мегафункції арифметичних операцій із стандартної бібліотеки САПР Quartus II, складено принципові схеми пристроїв із використанням розглянутих мегафункцій, змодельовано роботу цих пристроїв у часовій області та проаналізовано коректність їх роботи. Також за допомогою часових діаграм досліджено результати роботи змодельованих пристроїв у залежності від вхідних параметрів.