Міністерство освіти і науки України

Львівський національний університет імені Івана Франка

Кафедра радіофізики та комп'ютерних технологій

Звіт

про виконання

лабораторної роботи № 13

**"** **Проектування цифрових пристроїв комбінованого типу на мові VHDL в САПР Quartus II "**

Виконала

студентка групи ФЕІ - 41

Литвин Віра

Перевірив

доц. Рабик В.Г.

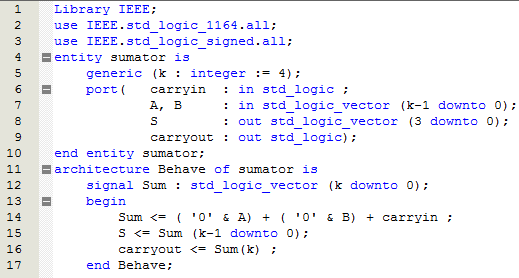
Львів - 2013

**Мета роботи**: вивчення мови VHDL та набуття практичних навиків по проектуванні цифрових пристроїв з її використанням; реалізація принципових

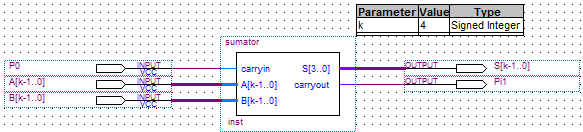
схем цифрових пристроїв в САПР QUARTUS II; експериментальна перевірка їх роботи на ПЛІС FPGA Cyclone III лабораторного стенду DE0.

1. З допомогою САПР Quartus II реалізуємо чотирирозрядний суматорна мові VHDL.

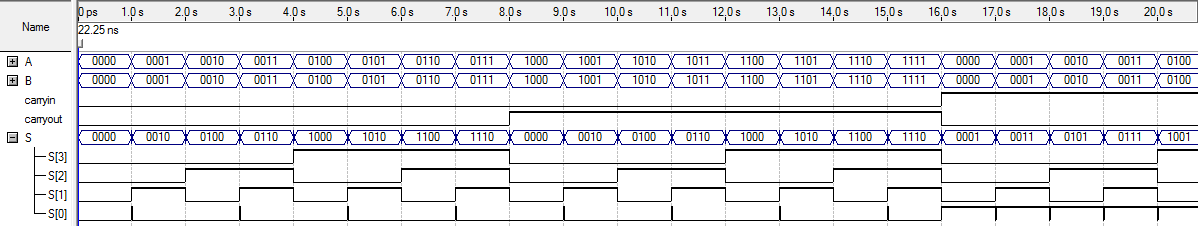
Створюємо новий проект і створюємо файл з розширення vhd де записуємо код чотирирозрядного суматора.



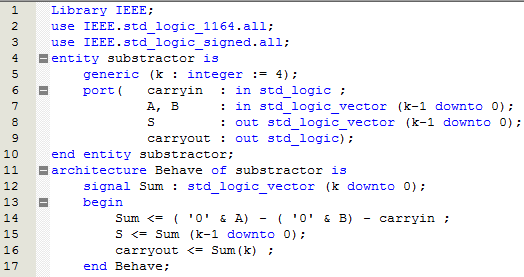
Втавляємо модуль на робоче поле і підключаємо входи і виходи.



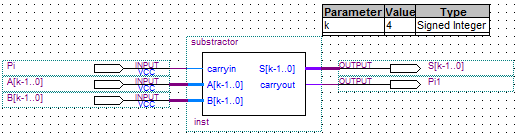
Проводимо моделювання в часовій області.



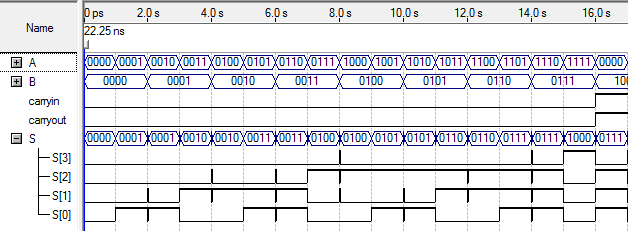
2. З допомогою САПР Quartus II реалізуємо чотирирозрядний cубтрактор на мові VHDL.



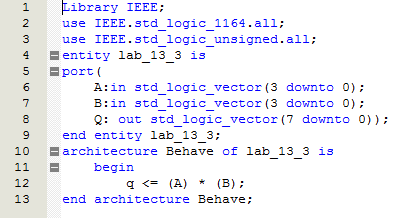
Підключаємо входи і виходи.



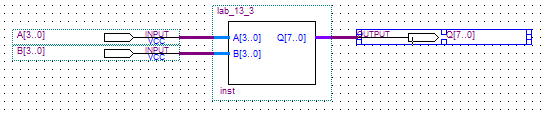
Проводимо моделювання в часовій області.



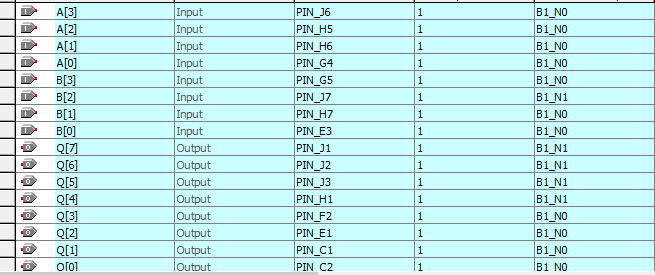
3. З допомогою САПР Quartus II реалізуємо чотири розрядний перемножувач на мові VHDL.



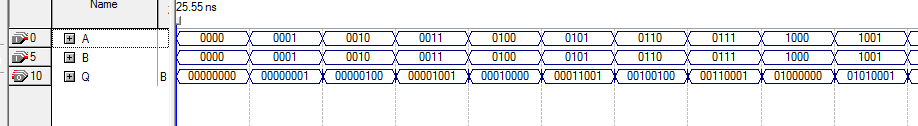
Підключаємо входи і виходи і називаємо їх як показано на рисунку.



Під’єднюємо вказані на рисунку піни.

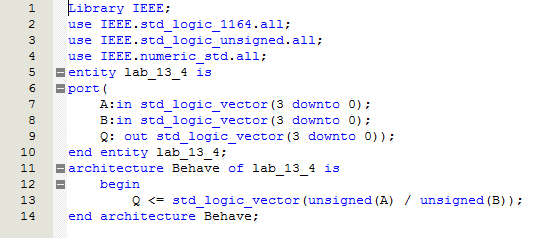


Проводимо меделювання в часовій області і перевіряємо роботу перемножувача.

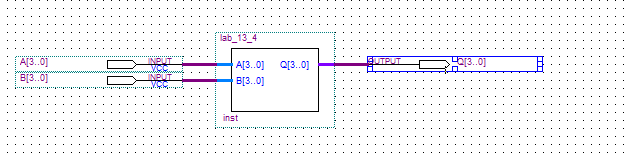


4. З допомогою САПР Quartus II реалізуємо чотирирозрядний пристрій цілочисельного ділення на мові VHDL.

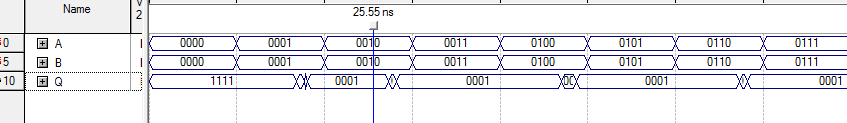
Код на VHDL мові



Підключаємо входи і виходи як на рисунку.

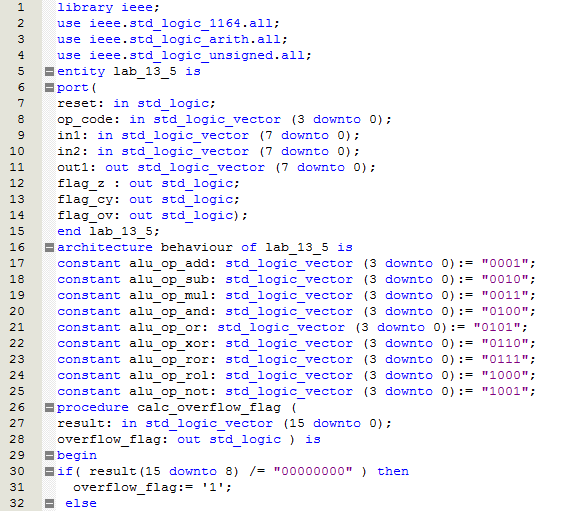


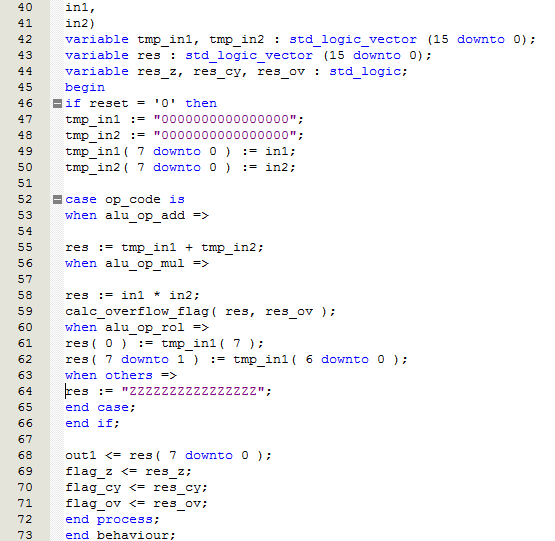
Проводимо моделювання в часовій області.



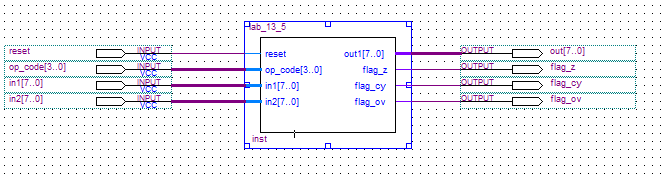
4. З допомогою САПР Quartus II реалізуємонайпростіший АЛПнамові VHDL.

Пишемо код на мові VHDL на рисунку.

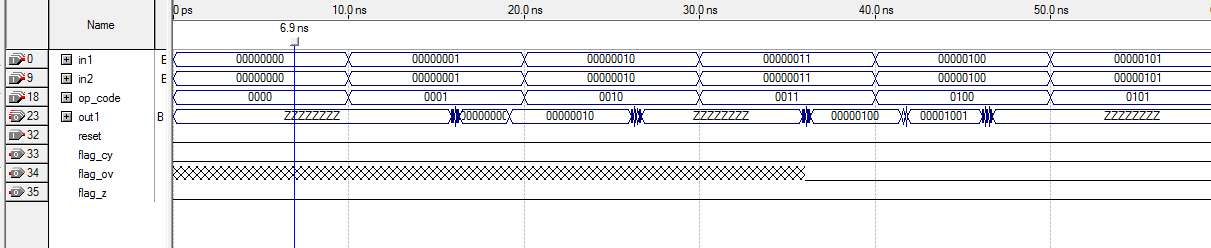




Підключаємо відповідні входи і виходи.



Проводимо моделювання в часових діаграмах.



**Висновки:**

під час виконання даної роботи було розроблено на мові VHDL код для чотирирозрядного суматора, субтрактора, перемножувача, цілочисельного ділення та АЛП таперевірено їхню роботу провівши моделювання в часовій області.