



**Instituto Tecnológico de Costa Rica**

**Escuela de Ingeniería Electrónica**

**EL3313 Taller de Diseño Digital**

**Cuestionario previo laboratorio 1:**

Introducción al diseño digital con HDL y herramientas EDA de síntesis

**Profesor:**

M.Sc. Kaleb Alfaro Badilla

**Realizado por:**

Brayan de Jesús Barquero Madrigal

Keylor David Muñoz Soto

Jeffrey Isaac Salas Quiel

**3 de agosto del 2024**

## ÍNDICE

1	Pregunta 1	3
2	Pregunta 2	3
3	Pregunta 3	3
4	Pregunta 4	4
5	Pregunta 5	5
6	Pregunta 6	5
7	Pregunta 7	6
8	Pregunta 8	6
9	Pregunta 9	7
10	Pregunta 10	7
11	Pregunta 11	8
12	Pregunta 12	9
13	Pregunta 13	10
14	Pregunta 14	10
15	Pregunta 15	10
16	Pregunta 16	11
17	Pregunta 17	11

## 1. PREGUNTA 1

**Investigue las características de las familias TTL bajo las series 74 \* xx en particular las diferencias entre las variantes \*  $\in \{L, LS, HC\}$ .**

La familia TTL con el número inicial 74 indica que son de uso comercial, si este número inicial es distinto puede indicar que son de uso industrial, militar, etc. Las características de las variantes de los TTL se diferencian con una letra, posterior al número inicial.

A continuación se muestran algunos ejemplos:

- L: Bajo Consumo
- H: Alta Velocidad
- S: Schottky
- C: CMOS

Entonces la variante 74L indica bajo consumo, la variante 74LS es fabricada con transistores Schottky y posee un bajo consumo y por último la variante 74HC es fabricada con transistores CMOS y tienen una alta velocidad. [1]

## 2. PREGUNTA 2

**Investigue las características de la familia CMOS 4000.**

- Alimentación: 3V hasta 15 V. [2]
- Alta Impedancia de entrada. [2]
- Drenaje y Fuente (Drain and Source) de 1mA máximo. [2]
- Para mantener el voltaje de salida correcto para manejar las entradas de los CMOS se debe utilizar solo 1mA de corriente de drenaje. Si no se necesita manejar ninguna entrada entonces la corriente máxima es 5mA con 6V de alimentación o 10mA con 9V de alimentación. [2]
- Una salida puede manejar 50 entradas como máximo. [2]
- Tiempo de propagación: +30ns a través de la compuerta. [2]
- Frecuencia máxima de 1MHz. [2]
- Bajo consumo de potencia, entre uW y mW a su frecuencia máxima. [2]

## 3. PREGUNTA 3

**Investigue qué cuidados deben tenerse al manipular las tecnologías CMOS.**

Principalmente se deben prevenir las descargas electro-estáticas ya que los CMOS pueden ser bastante sensibles porque la capa dieléctrica que separa la compuerta del sustrato es muy delgada y con este tipo de descargas se puede generar un

corto entre la compuerta y el sustrato, generando que el CMOS se dañe. Por eso algunos de los cuidados que se pueden tener al manejar estos dispositivos, pueden ser mantener el CMOS dentro de su empaque antiestático, también se puede descargar el cuerpo tocando algún metal o aterrizándose a tierra con una banda antiestática, o como regla general se puede evitar tocar las patillas del CMOS con los dedos, otro método puede ser mantener en corto las patillas del CMOS hasta soldarlo al circuito y luego de esto eliminar dicho corto. Otro cuidado es que en el diseño del circuito se debe tomar en cuenta que no pueden quedar entradas del CMOS desconectadas ya que puede provocar inestabilidad, así que las entradas que no se utilicen se deben conectar a la alimentación o a tierra. [3]

#### 4. PREGUNTA 4

**Investigue el significado de los parámetros  $V_{IL}$ ,  $V_{IH}$ ,  $V_{OL}$ ,  $V_{OH}$ ,  $I_{IK}$ ,  $I_{OK}$ .**

$V_{IL}$ : Voltaje de entrada de nivel bajo (Voltage input low), valor de entrada máximo detectado como bajo. [4]

$V_{IH}$ : Voltaje de entrada de nivel alto (Voltage input high), valor de entrada mínimo detectado como alto. [4]

$V_{OL}$ : Voltaje de salida de nivel bajo (Voltage output low), valor de salida bajo máximo. [4]

$V_{OH}$ : Voltaje de salida de nivel alto (Voltage output high), valor de salida alto mínimo. [4]

$I_{IK}$ : Corriente de entrada restringida (Current input clamp), esta corriente fluye a la entrada del dispositivo generalmente cuando el voltaje de entrada es menor a tierra o mayor al de alimentación como protección del dispositivo. [4]

$I_{OK}$ : Corriente de salida restringida (Current output clamp), esta corriente fluye por la salida del dispositivo generalmente cuando el voltaje de salida es menor a tierra o mayor al de alimentación, también como forma de protección. [4]

En la figura 4.1 se muestran los voltajes anteriores, los cuales se relacionan con los márgenes de ruido en los dispositivos digitales.

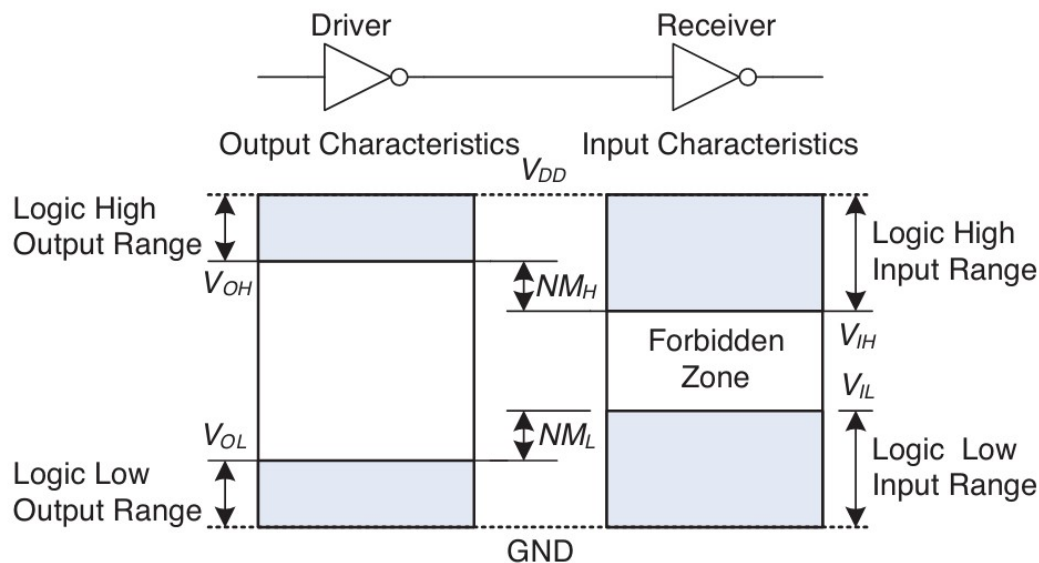


Figura 4.1: Márgenes de ruido. [4]

## 5. PREGUNTA 5

Investigue qué son los tiempos de propagación  $t_{PD}$ ,  $t_{PLH}$  y  $t_{PHL}$  y los tiempos de transición  $t_t$ ,  $t_r$  y  $t_f$ .

Tiempos de propagación: [1]

$t_{PD}$ : Retraso del tiempo de propagación (time propagation delay)

$t_{PLH}$ : Tiempo de propagación de nivel bajo a alto (time propagation low-high)

$t_{PHL}$ : Tiempo de propagación de nivel alto a bajo (time propagation high-low)

Tiempos de transición: [1]

$t_t$ : Tiempo de transición total (transition total time)

$t_r$ : Tiempo de transición de subida (transition rise time)

$t_f$ : Tiempo de transición de caída (transition fall time)

En la figura 5.1 se pueden distinguir los tiempos de propagación y transición en un voltaje de entrada y salida.

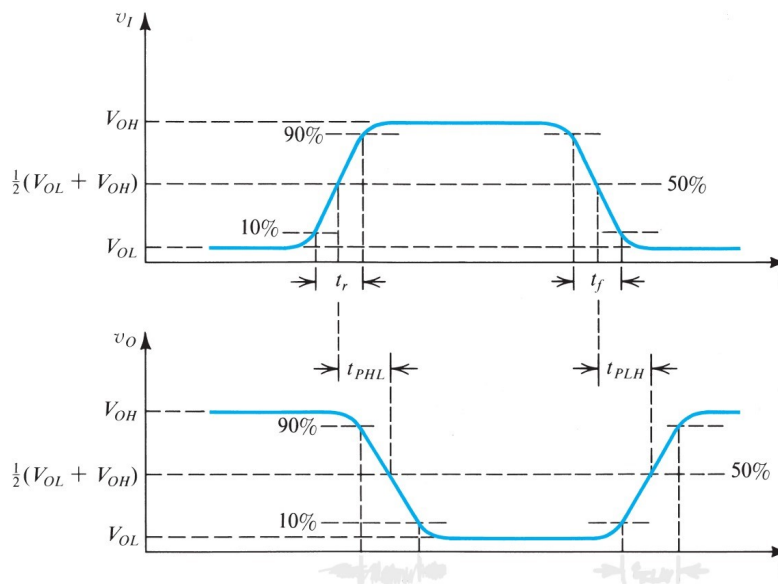


Figura 5.1: Tiempos de propagación y transición. [1]

## 6. PREGUNTA 6

Investigue qué significa el término *fan-out* y cuáles valores típicos se encuentran en las familias TTL y CMOS.

El fan-out indica el número de entradas que puede manejar la salida de una compuerta lógica sin exceder su corriente máxima. Los valores típicos del fan-out para las familias TTL son 10 entradas y para las CMOS 50 entradas. [5–12]

## 7. PREGUNTA 7

Para cada una de las variantes TTL y CMOS especifique en una tabla:

- (a) rango de tensión eléctrica de alimentación  $V_{CC}$  o  $V_{DD}$ ,  $V_{SS}$
- (b) rango de tensiones de entrada y salida
- (c) tiempos de propagación y transición

Characteristic	Bipolar/TTL						CMOS		CMOS/TTL Compatible	
	TTL	S	LS	AS	ALS	F	HC	AHC	HCT	AHCT
$t_{pd}$ (ns)	22	9	12	7.5	10	6	21	7.5	30	7.7
$V_{IH}$ (V)	2	2	2	2	2	2	3.15	3.15	2	2
$V_{IL}$ (V)	0.8	0.8	0.8	0.8	0.8	0.8	1.35	1.35	0.8	0.8
$V_{OH}$ (V)	2.4	2.7	2.7	2.5	2.5	2.5	3.84	3.8	3.84	3.8
$V_{OL}$ (V)	0.4	0.5	0.5	0.5	0.5	0.5	0.33	0.44	0.33	0.44
$I_{OH}$ (mA)	0.4	1	0.4	2	0.4	1	4	8	4	8
$I_{OL}$ (mA)	16	20	8	20	8	20	4	8	4	8
$I_{IL}$ (mA)	1.6	2	0.4	0.5	0.1	0.6	0.001	0.001	0.001	0.001
$I_{IH}$ (mA)	0.04	0.05	0.02	0.02	0.02	0.02	0.001	0.001	0.001	0.001
$I_{DD}$ (mA)	33	54	6.6	26	4.2	15	0.02	0.02	0.02	0.02
$C_{Pd}$ (pF)	n/a						20	12	20	14
cost* (US \$)	obsolete	0.63	0.25	0.53	0.32	0.22	0.12	0.12	0.12	0.12

Figura 7.1: Tabla TTL y CMOS. [13]

En la tabla anterior no aparecen los valores de tensión de alimentación ni los tiempos de propagación y transición. Se realizó la verificación en varias hojas de datos de dispositivos TTL y CMOS y se observó que la tensión de alimentación en TTL es normalmente 5 V, mientras que en CMOS varía de 3 V a 18 V dependiendo de la numeración. Los tiempos de propagación en TTL son normalmente de 22 ns máximo, mientras que en los CMOS tarda 280 ns máximo, el tiempo de transición es similar.

## 8. PREGUNTA 8

Revise la hoja de datos de los circuitos integrados 74\*00, 74\*02, 74\*04, 74\*14, 4001, 4011, 4069 y 40106. Resuma para qué sirve cada uno.

- 74\*00: Combina dos entradas lógicas que se relacionan a una salida lógica mediante la operación NAND. Pertenece a la familia TTL. [5]

- 74\*02: Relaciona dos entradas lógicas a una salida lógica mediante la operación NOR. Pertenece a la familia TTL. [6]
- 74\*04: Realiza la operación lógica NOT, invirtiendo el valor de la entrada en la salida. Pertenece a la familia TTL. [7]
- 74\*14: Es un inversor con entradas Schmitt Trigger. Realiza la operación lógica NOT, a diferencia de 74\*04, este utiliza histéresis para mejorar la inmunidad al ruido. Pertenece a la familia TTL. [8]
- 4001: Cumple la misma función que el 74\*02, la diferencia principal es que este pertenece a la familia CMOS. [9]
- 4011: Cumple la misma función que el 74\*00, la diferencia principal es que este pertenece a la familia CMOS. [10]
- 4069: Cumple la misma función que el 74\*04, la diferencia principal es que este pertenece a la familia CMOS. [11]
- 40106: Cumple la misma función que el 74\*14, la diferencia principal es que este pertenece a la familia CMOS. [12]

## 9. PREGUNTA 9

**Revise la estructura básica, a nivel de transistores, de una compuerta NAND en circuitos integrados CMOS.**

Se puede observar la implementación en la siguiente figura:

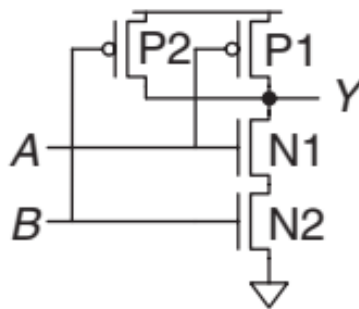


Figura 9.1: Estructura a nivel de transistores de compuerta NAND. [13]

Los transistores nMOS (N1 y N2) están conectados en serie. Para que la salida Y sea un nivel bajo (0), ambos transistores deben estar encendidos (debe haber un 1 en A y en B). Los transistores pMOS (P1 y P2) están conectados en paralelo. Para que la salida Y sea un nivel alto (1), solo uno de estos transistores debe estar encendido, es decir, debe haber un 0 en A o en B. Por lo que, Y será 1 a menos que A y B sean 1 al mismo tiempo, en este último caso Y se vuelve 0. [13]

## 10. PREGUNTA 10

**Investigue sobre el concepto y el uso de los de circuitos *pull-up* y *pull-down* en electrónica digital.**

Estos circuitos se utilizan en electrónica digital para asegurarse de que las señales tengan un estado lógico definido cuando no están siendo controladas, evitando estados indeterminados. [14]

Circuito *pull-up*: Se usa para mantener una señal en un nivel lógico alto, esto se consigue conectando una resistencia

entre la señal y el voltaje de alimentación. Cuando la señal no está siendo controlada, la resistencia *pull-up* garantiza que permanezca en un estado alto. [14]

Circuito *pull-down*: Se utiliza para llevar una señal a un nivel lógico bajo. En este caso, la resistencia se conecta entre la señal y tierra. Cuando la señal no está siendo controlada, la resistencia *pull-down* asegura que se mantenga en un estado bajo. [14]

## 11. PREGUNTA 11

**Investigue qué es un circuito disparador Schmitt (*Schmitt trigger*). Revise las características técnicas del circuito 74 \* 14.**

Este circuito se identifica mediante el siguiente símbolo:

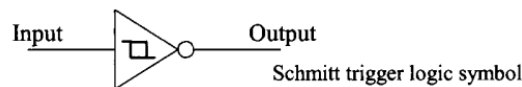


Figura 11.1: Símbolo del *Schmitt trigger*. [15]

Tiene la siguiente curva característica:

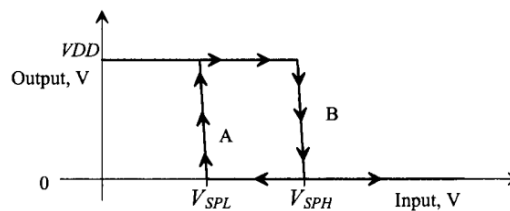


Figura 11.2: Curva característica del *Schmitt trigger*. [15]

Esta curva característica es similar a la de un inversor, con la excepción de que hay una región de transición e histéresis. Debido a estas características del circuito, este puede usarse para generar pulsos mediante una señal con mucho ruido en la entrada. [15]

La siguiente figura muestra el comportamiento de la salida de este circuito mediante una señal de entrada dada:



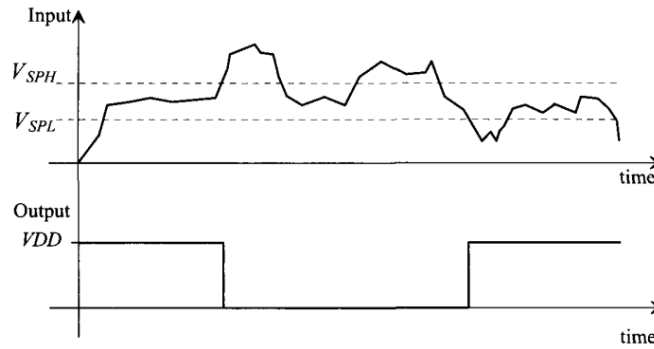


Figura 11.3: Señales de entrada y salida del *Schmitt trigger*. [15]

Observando la hoja de datos del DM7414 ([8]), se menciona que posee inversores con histéresis, lo que mejora la inmunidad al ruido. En el diagrama se pueden observar los símbolos de los comparadores *Schmitt trigger* como el de la figura 11.1. También se muestra la tabla de verdad (igual a la de un inversor) en la siguiente figura:

$$Y = \bar{A}$$

Input	Output
A	Y
L	H
H	L

Figura 11.4: Tabla de verdad DM7414. [8]

## 12. PREGUNTA 12

**Investigue en qué consiste la modulación de ancho de pulso (PWM).**

Es una técnica utilizada para convertir una señal de entrada en una serie de pulsos cuyo ancho varía en proporción a la amplitud de la señal de entrada. La señal PWM se produce típicamente utilizando un comparador que puede saturarse positivamente o negativamente. Para generar el PWM de esta forma, en la entrada no inversora se coloca la señal cuya amplitud se quiere representar y en la entrada inversora una señal triangular de mayor frecuencia. [16]

Esto se observa en la siguiente figura:

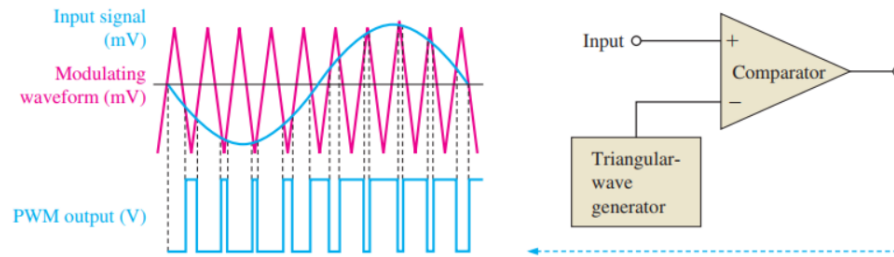


Figura 12.1: Circuito generador de PWM y sus ondas de entrada y salida. [16]

Esta onda de salida modulada en ancho de pulso es útil para controlar la velocidad o la posición de un motor, así como la intensidad de un LED.

### 13. PREGUNTA 13

**Investigue qué es el efecto de rebote y típicos circuitos anti-rebote (debouncing circuits)**

El efecto de rebote ocurre cuando un interruptor mecánico no hace contacto limpio, causando que la señal oscile entre los estados alto y bajo rápidamente. Esto puede introducir errores en los sistemas digitales. Los circuitos anti-rebote se diseñan para eliminar estas oscilaciones, asegurando una transición suave y estable de la señal. Los métodos comunes incluyen el uso de filtros RC (resistencia-capacitor) y flip-flops [17].

### 14. PREGUNTA 14

**Explique qué es el modelado de comportamiento y de estructura en diseño digital. Brinde un ejemplo de cada uno.**

El modelado de comportamiento describe lo que hace un circuito sin detallar su implementación física. Por ejemplo, un contador que incrementa su valor en cada pulso de reloj. Por otro lado, el modelado de estructura describe cómo está construido el circuito utilizando componentes básicos, como un sumador construido a partir de puertas lógicas [18].

### 15. PREGUNTA 15

**Explique el proceso de síntesis lógica en el diseño de circuitos digitales, tanto para el desarrollo de un ASIC como para una FPGA.**

La síntesis lógica es el proceso de transformar una descripción de alto nivel del comportamiento de un circuito en una implementación física. Para ASICs, la síntesis es específica y optimizada para un circuito integrado particular, mientras que para FPGAs, se configuran bloques lógicos programables para implementar la función deseada [19].

## 16. PREGUNTA 16

**Investigue sobre la tecnología de FPGAs. Describa el funcionamiento de la lógica programable en general, así como los componentes básicos de una.**

Las FPGAs (Field-Programmable Gate Arrays) son dispositivos semiconductores que contienen bloques lógicos programables y una red de interconexión. Permiten la reconfiguración post-fabricación para implementar diversas funciones lógicas, ofreciendo flexibilidad y capacidad de actualización en el diseño de hardware [20].

## 17. PREGUNTA 17

**Investigue sobre los proyectos de YOSYS y nextpnr ¿Cuáles son sus funciones como herramientas?**

YOSYS es una herramienta de síntesis de código abierto que convierte descripciones de alto nivel en una implementación lógica. nextpnr, por su parte, es una herramienta de place-and-route que toma la salida de YOSYS y genera el archivo de configuración para la FPGA. Estas herramientas son cruciales en el diseño y desarrollo de sistemas digitales utilizando FPGAs [21, 22].

## REFERENCIAS

- [1] A. S. Sedra y K. C. Smith, *Microelectronic Circuits*, 7th ed. New York, NY, USA: Oxford University Press, 2015.
- [2] Electronics Club, *4000 series CMOS Logic ICs*, n.d. [En línea]. Disponible en: <https://www.incb.com.mx/index.php/curso-de-electronica/96-curso-de-electronica-electronica-digital/3343-curso-de-electronica-electronica-digital-parte-4-la-familia-de-circuitos-integrados-cmos-cur5004s> [Accedido: Agosto 2, 2024].
- [3] N. C., Braga, *Curso de Electrónica - Electrónica Digital Parte 4 - La Familia de Circuitos Integrados CMOS (CUR5004S)*, n.d. [En línea]. Disponible en: <https://electronicsclub.info/cmos.htm> [Accedido: Agosto 2, 2024].
- [4] S. L. Harris and D. M. Harris, *Digital Design and Computer Architecture*, ARM Edition. Burlington, MA, USA: Morgan Kaufmann, 2016.
- [5] *SN7400N quad 2-input NAND gate*, Texas Instruments.
- [6] *DM7402 Quad 2-Input NOR Gates*, Fairchild Semiconductor.
- [7] *DM7404 Hex Inverting Gates*, Fairchild Semiconductor.
- [8] *DM7414 Hex Inverter with Schmitt Trigger Input*, Fairchild Semiconductor.
- [9] *TC4001B Quad 2 Input NOR Gate*, TOSHIBA.

- [10] *NTE4011B and NTE4011BT Integrated Circuit CMOS, Quad 2Input NAND Gate*, NTE Electronics.
- [11] *CD4069UBMS CMOS Hex Inverter*, Intersil.
- [12] *CD40106 CMOS Hex Schmitt Triggers*, SYC.
- [13] S. Harris and D. Harris, *Digital design and computer architecture: RISC-V Edition*. Oxford, England: Morgan Kaufmann, 2021.
- [14] A. K. Maini, *Digital electronics: Principles, devices and applications*. Nashville, TN: Jhon Wiley and Sons, 2007.
- [15] R. J. Baker, *CMOS: Circuit design, layout, and simulation*, 4th ed. New York, NY: Wiley-IEEE Press, 2019.
- [16] T. L. Floyd, *Electronic Devices*, 10th ed. London, England: Pearson Education, 2018.
- [17] M. Maxfield, *Switch Debouncing: Eliminate the Bounces*. Newnes, 2007.
- [18] J. F. Wakerly, *Digital Design: Principles and Practices*, 4th ed. Prentice Hall, 2005.
- [19] G. De Micheli, *Logic Synthesis and Optimization*. McGraw-Hill, 1994.
- [20] P. P. Chu, *FPGA Prototyping by VHDL Examples: Xilinx Spartan-3 Version*. Wiley-Interscience, 2008.
- [21] C. Wolf, Yosys Open SYnthesis Suite, *IEEE Design & Test*, vol. 30, no. 4, pp. 36-42, 2013.
- [22] D. Shah, nextpnr: A Portable FPGA Place and Route Tool, *IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems*, vol. 39, no. 5, pp. 934-947, 2020.