

LAPORAN ANALOG IC DESIGN

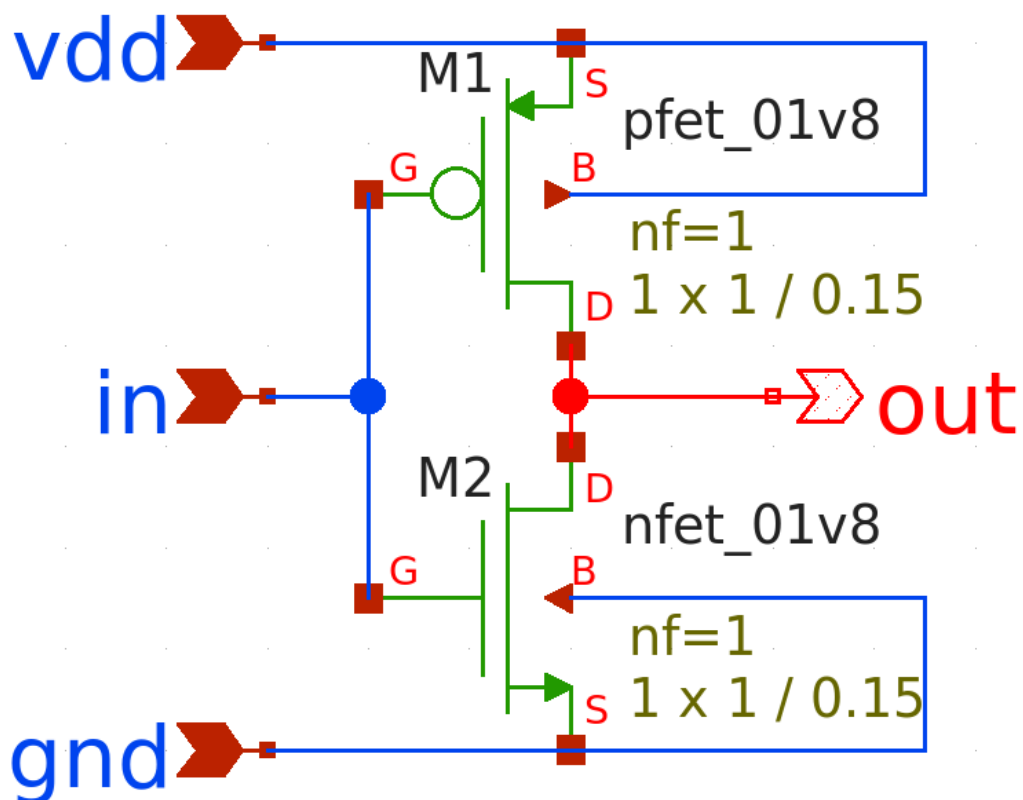
Nama : Raphael Wiswa Santoso Samosir

Asal : Universitas Pertamina

1. Desain Analog Inverter

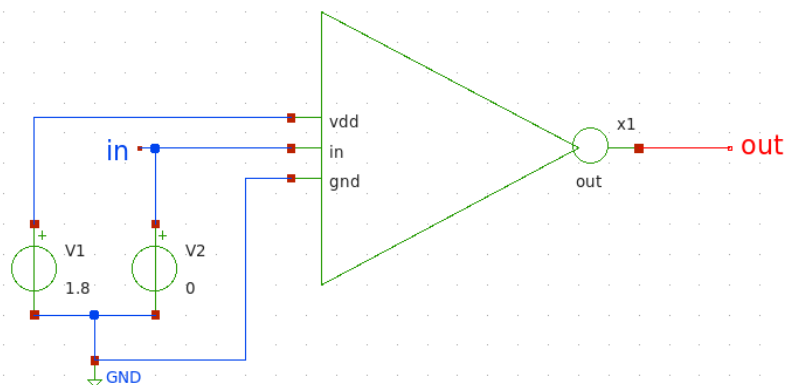
Desain Rangkaian Inverter kali ini menggunakan desain *inverter* dengan memanfaatkan karakteristik dari CMOS. CMOS (*Complementary Metal Oxide Semiconductor*) adalah rangkaian yang mengombinasikan nMOS dan pMOS untuk bisa mewujudkan *output* yang diinginkan. Pada kesempatan kali ini dilakukan desain *inverter* analog dengan memanfaatkan CMOS. Berikut adalah rangkaian yang dirancang dengan memanfaatkan XSCHEM untuk membuat rangkaian dalam bentuk SPICE dan mensimulasikannya.

- *Schematic*



Dengan rangkaian di atas, kemudian dibuat rangkaian baru untuk melakukan simulasi dengan nama file baru adalah *inverter_tb.sch*. Rangkaian ini berisi skematik *inverter* di atas yang telah dibuat menjadi simbol baru.

- **Testbench**



TT_MODELS

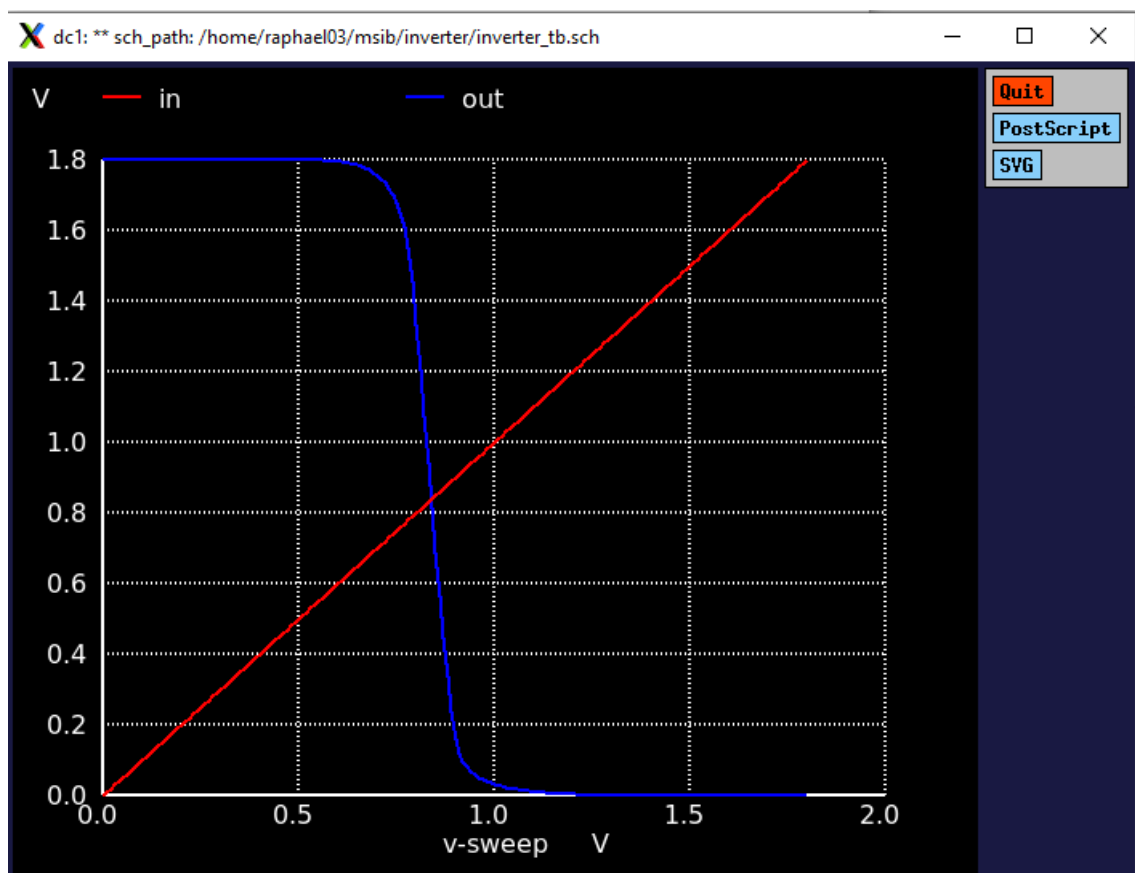


spice

```
.option wnflag=0
.option savecurrents
.control
save all
dc v2 0 1.8 0.01
plot in out
op
.endc
```

- **Simulasi**

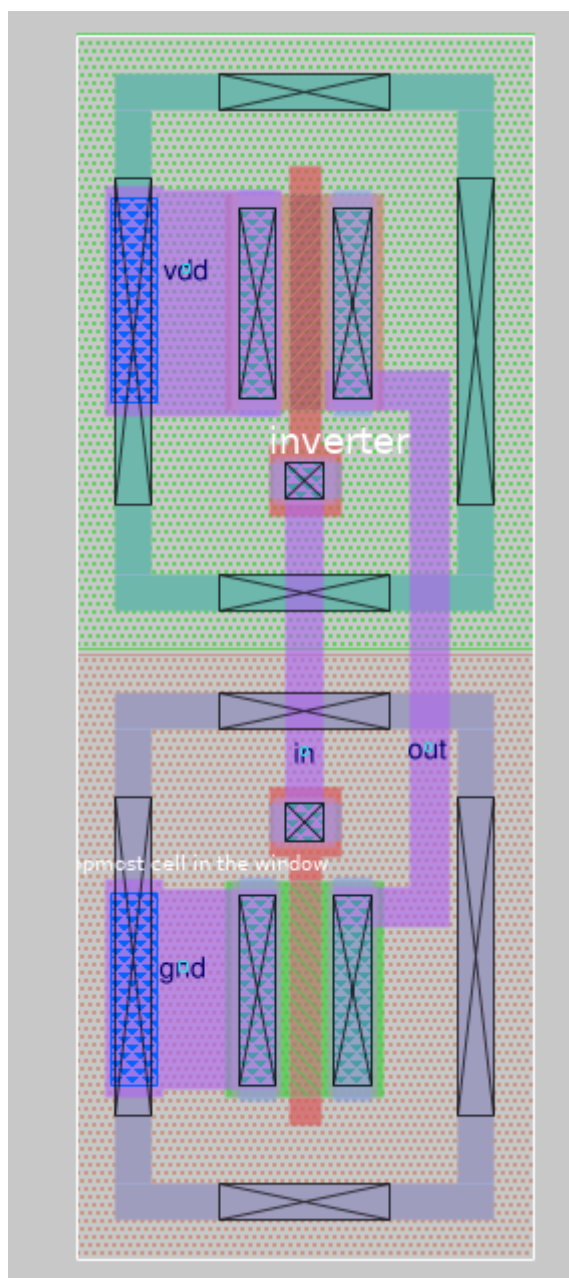
Setelah dilakukan simulasi dengan rangkaian inverter_tb, didapatkan hasil simulasi sebagai berikut untuk simulasi *dc sweep* dari nilai *input* 0 hingga 1.8 V dengan jarak antar titik sampel adalah 0.01 V.



Berdasarkan gambar di atas, dapat terlihat bahwa nilai *output* berubah dari 1.8 V menjadi 0 V saat ada perubahan pada nilai *input*. Saat nilai *input* bernilai 0 hingga 0.7 V, *output* mengeluarkan nilai 1.8 V, sedangkan saat nilai *input* bernilai lebih dari 0.9 V, *output* mengeluarkan nilai 0 V. Hal inilah yang menunjukkan karakteristik dari rangkaian *inverter* yaitu mengubah nilai *output* yang dikeluarkan menjadi kebalikan dari nilai *input* yang diberikan. Namun pada grafik tersebut terlihat ada *delay* saat nilai *input* divariasikan antara 0.7 hingga 0.9 V. Hal inilah karena batas dari *output* bernilai biner 1 adalah saat *input* bernilai 0 hingga 0.7 V dan batas dari *output* bernilai biner 0 saat *input* bernilai 0.9 hingga 1.8V.

- **Layout**

Dengan melakukan *import* SPICE Code yang telah tergenerate oleh XSCHEM, kemudian dilakukan *design layout* untuk rangkaian *inverter* sebagai berikut.



- **Hasil LVS**

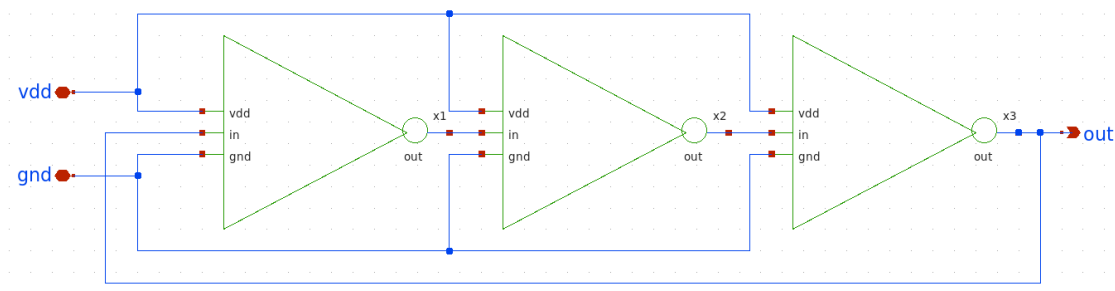
LVS (*Layout Vs Schematic*) adalah tahapan dalam verifikasi rangkaian (terutama pada desain IC Analog) untuk memastikan apakah desain *layout* yang telah dirancang sesuai dengan skematik awal yang dirancang. Jika hasil LVS menunjukkan ada *error*, maka ada kesalahan baik itu penamaan pin, jumlah pin, jumlah komponen, maupun jumlah *netlist* yang digunakan. Dengan skematik yang telah disimulasikan dan menunjukkan hasil yang sesuai, maka skematik ini dapat menjadi acuan dalam proses verifikasi desain *layout* IC. Jika hasil LVS telah sesuai, maka akan muncul hasil sebagai berikut pada *terminal*. Yang menunjukkan bahwa *layout* dan *schematic* telah **match**.

```
raphael03@DESKTOP-6M7FI0K:~/MSIB/Inverter$ ./iic-lvs.sh inverter
[INFO] Running LVS of <inverter.mag> vs <inverter.sch>.
[INFO] Extracting netlist from schematic <inverter.sch>...
[INFO] Extracting netlist from layout <inverter.mag>...
[INFO] Run netgen...
---
CONGRATULATIONS! LVS is OK, schematic/netlist and layout match!
---
[DONE] Bye!
```

2. Desain Analog *Ring Oscillator*

Kemudian, dengan memanfaatkan rangkaian *inverter* yang telah dirancang dan telah diuji, disusunlah sebuah rangkaian *ring oscillator* yang terdiri dari 3 *inverter* yang disusun *closed loop*. Berikut adalah rangkaian yang dirancang pada skematik XSCHEM.

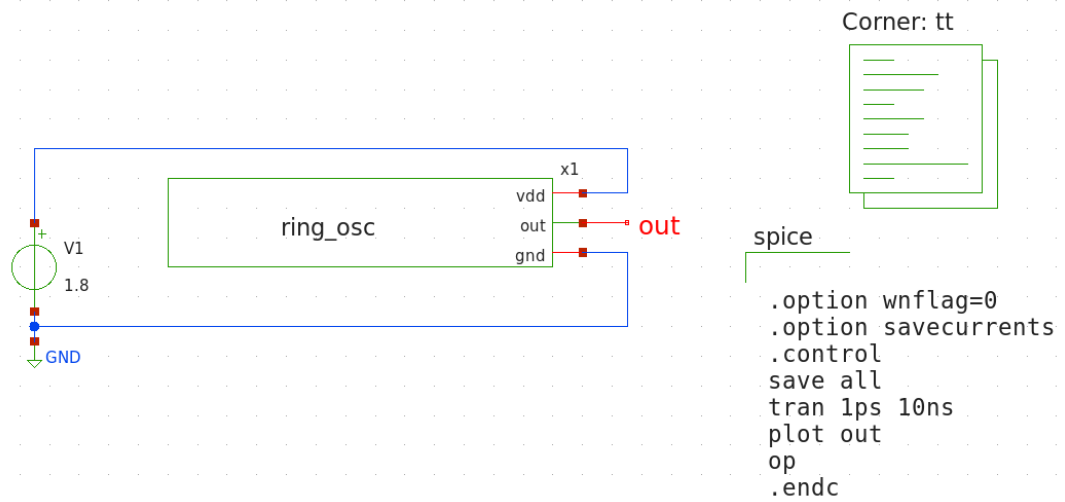
- **Schematic**



Berdasarkan rangkaian tersebut, kemudian dilakukan *testbench* dengan memanggil *symbol* rangkaian *ring_osc.sym* yang telah dibuat ke dalam rangkaian *testbench*.

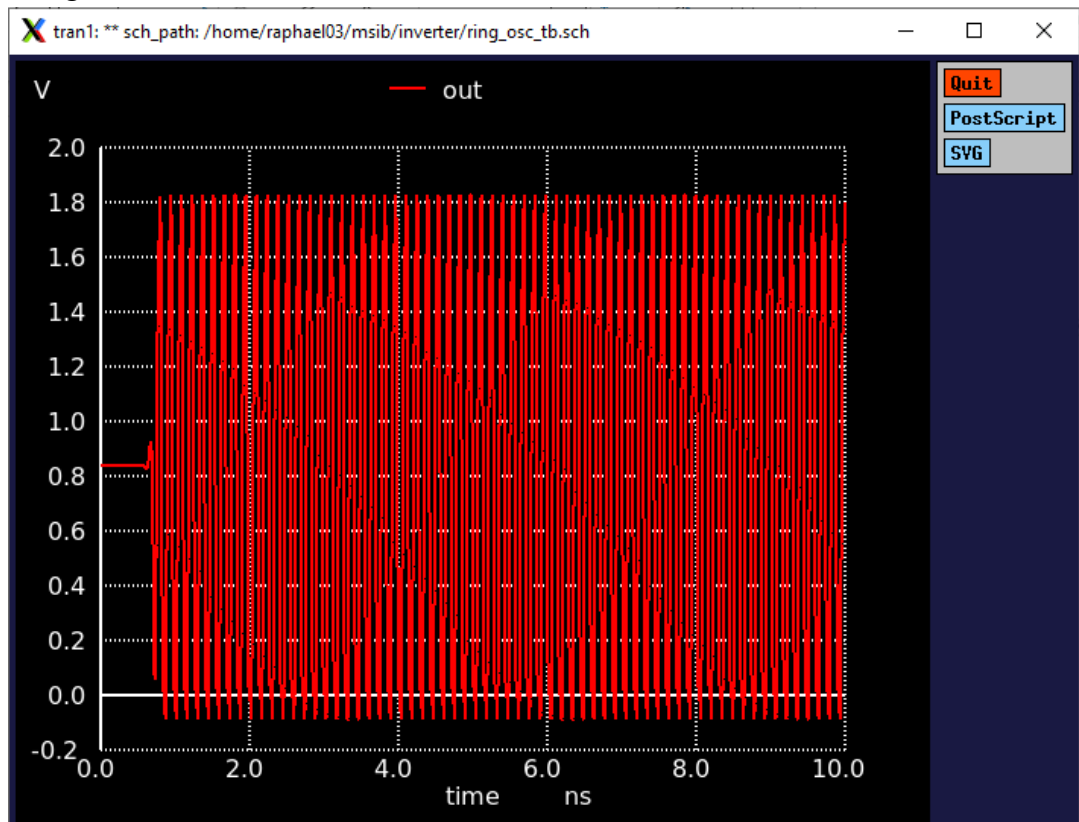
- **Testbench**

Berikut adalah rangkaian *testbench* yang digunakan dengan mode *typical-typical*



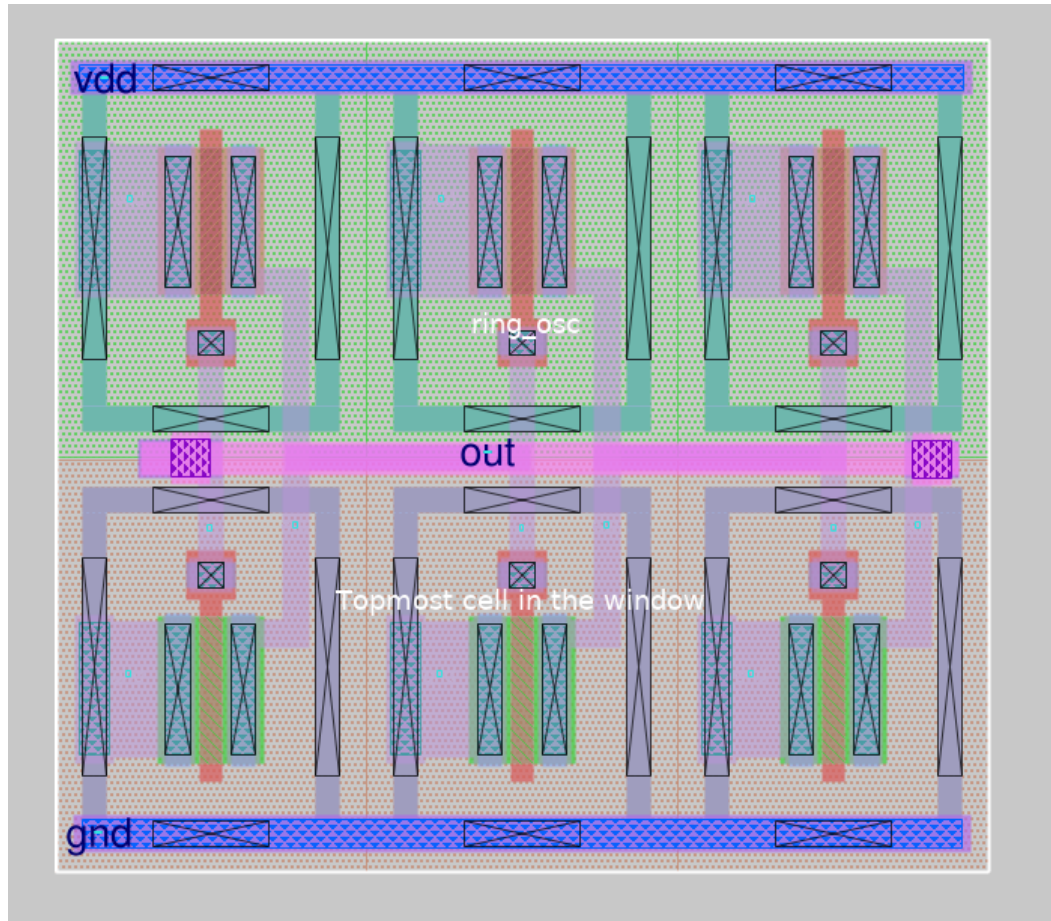
- **Simulasi**

Dengan melakukan simulasi dengan sinyal *input* transien, maka didapatkan *output* sebagai berikut.



- **Layout**

Dengan memanggil *SPICE Code* yang telah di-generate oleh XSCHEM, maka kemudian dapat dilakukan desain *layout* pada Magic dengan *template* yang sudah ada. Berikut adalah hasil desain *layout* dari rangkaian *ring oscillator* dengan memanfaatkan 3 buah CMOS.



- **LVS**

Setelah dilakukan LVS, didapatkan hasil sebagai berikut yang menunjukkan bahwa verifikasi desain *layout* dengan *schematic* sebagai acuannya telah sesuai.

```
raphael03@DESKTOP-6M7FI0K:~/MSIB/Inverter$ ./iic-lvs.sh ring_osc
[INFO] Running LVS of <ring_osc.mag> vs <ring_osc.sch>.
[INFO] Extracting netlist from schematic <ring_osc.sch>...
[INFO] Extracting netlist from layout <ring_osc.mag>...
[INFO] Run netgen...
---
CONGRATULATIONS! LVS is OK, schematic/netlist and layout match!
---
[DONE] Bye!
```

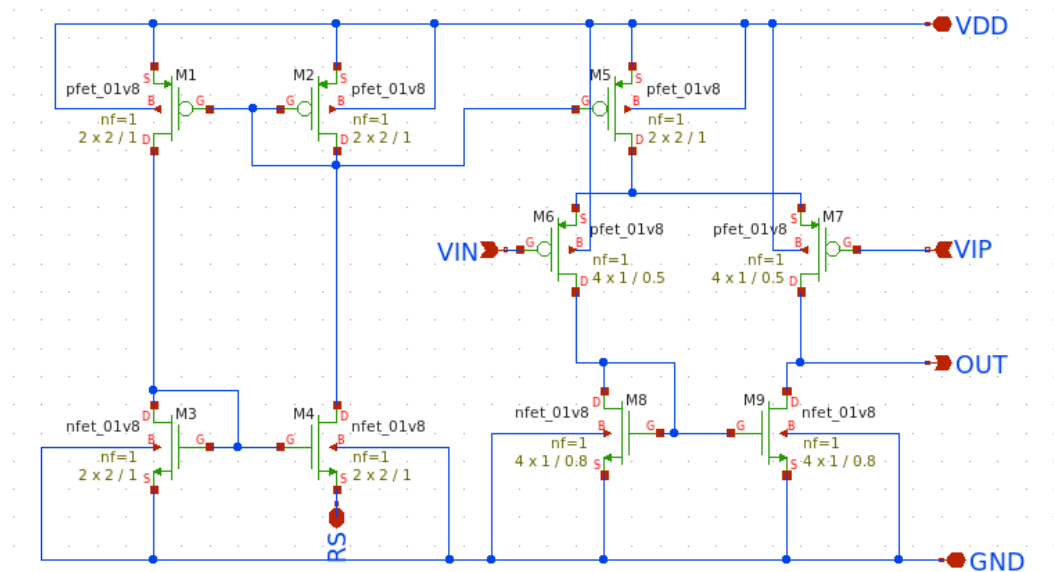
3. Desain Analog *Basic* OPAMP

Setelah mempelajari dasar-dasar dalam *design layout* IC, saat ini masuk ke desain analog IC yang lebih kompleks jika dibandingkan dengan *inverter* dan *ring oscillator*, yaitu rangkaian OPAMP yang terdiri dari 9 MOSFET.

- **Schematic**

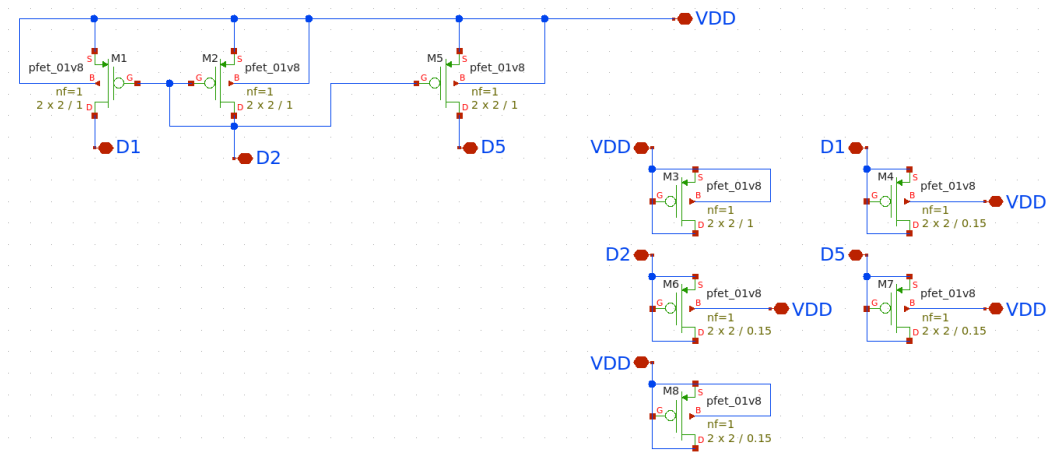
Rangkaian OPAMP kali ini, memiliki 9 MOSFET dengan 5 pMOS dan 4 nMOS. Rangkaian OPAMP (Operational Amplifier) sendiri memiliki fungsi untuk menguatkan sinyal *input* yang diberikan untuk kemudian diteruskan ke *output* dari

rangkaian OPAMP. *Schematic* pada XSCHEM dari rangkaian OPAMP adalah sebagai berikut.

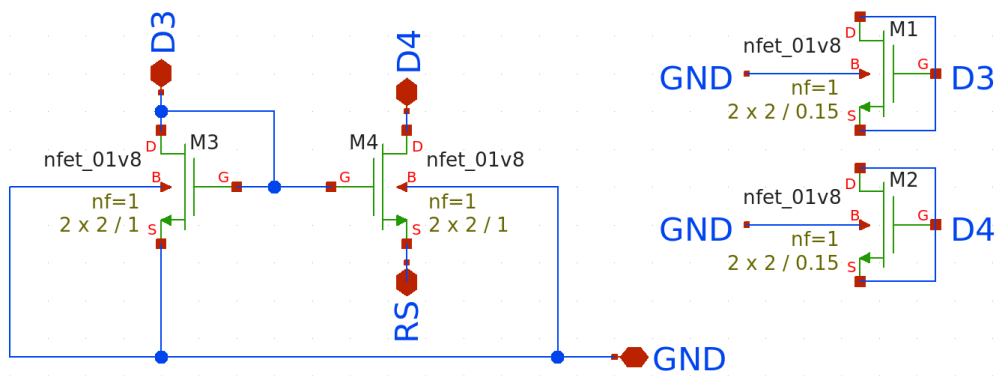


Dengan rangkaian tersebut, dapat dibagi menjadi beberapa bagian untuk memudahkan dalam *design layout* IC nantinya. Rangkaian tersebut dibagi menjadi 4 bagian sesuai dengan jenisnya, ukurannya, dan jumlah *multiple*-nya. Rangkaian tersebut dibagi menjadi rangkaian berikut.

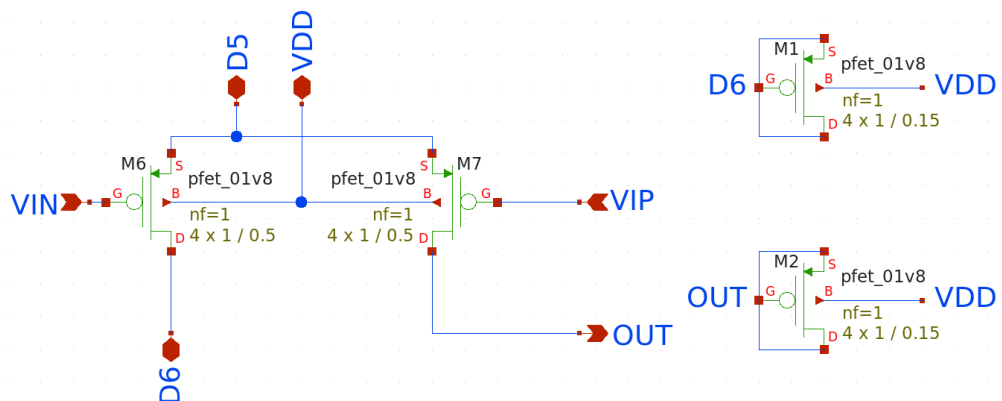
PMOSCS125



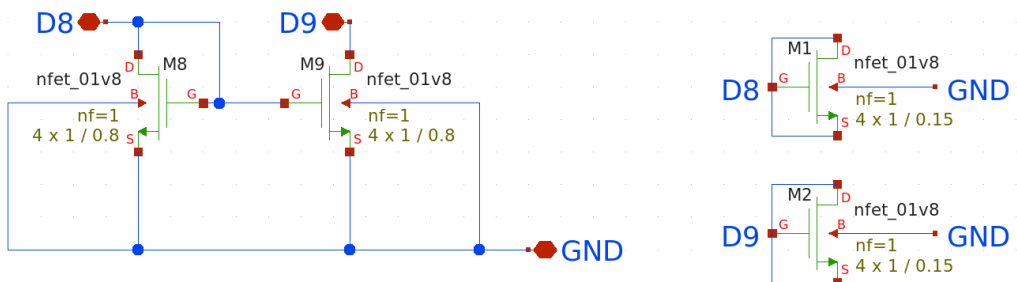
NMOS34



PMOSCS67



NMOSCS89



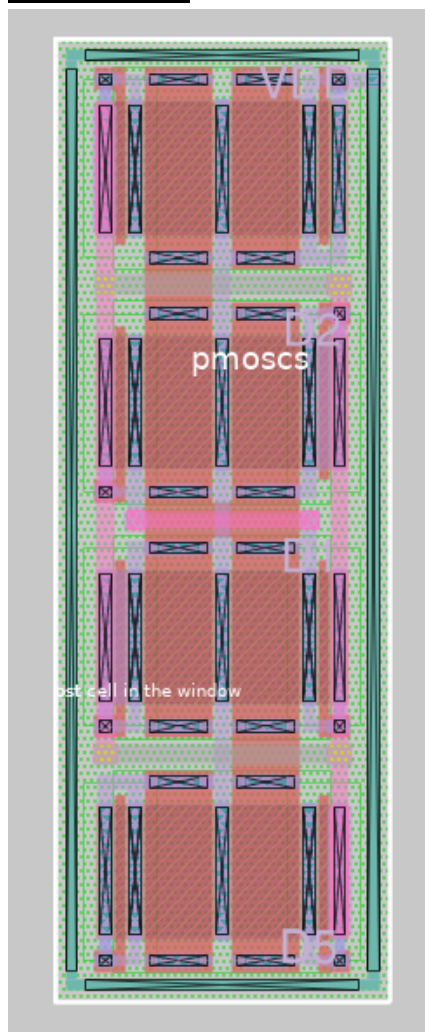
- **Layout**

Berdasarkan rangkaian tersebut, kemudian dilakukanlah perencanaan *layout* IC yang akan dirancang. Perencanaan ini dilakukan pada Excel untuk mengetahui titik *common centroid* dari rangkaian, yang akan memudahkan dalam membuat koneksi antar MOSFET. Berikut adalah perencanaan yang dilakukan.

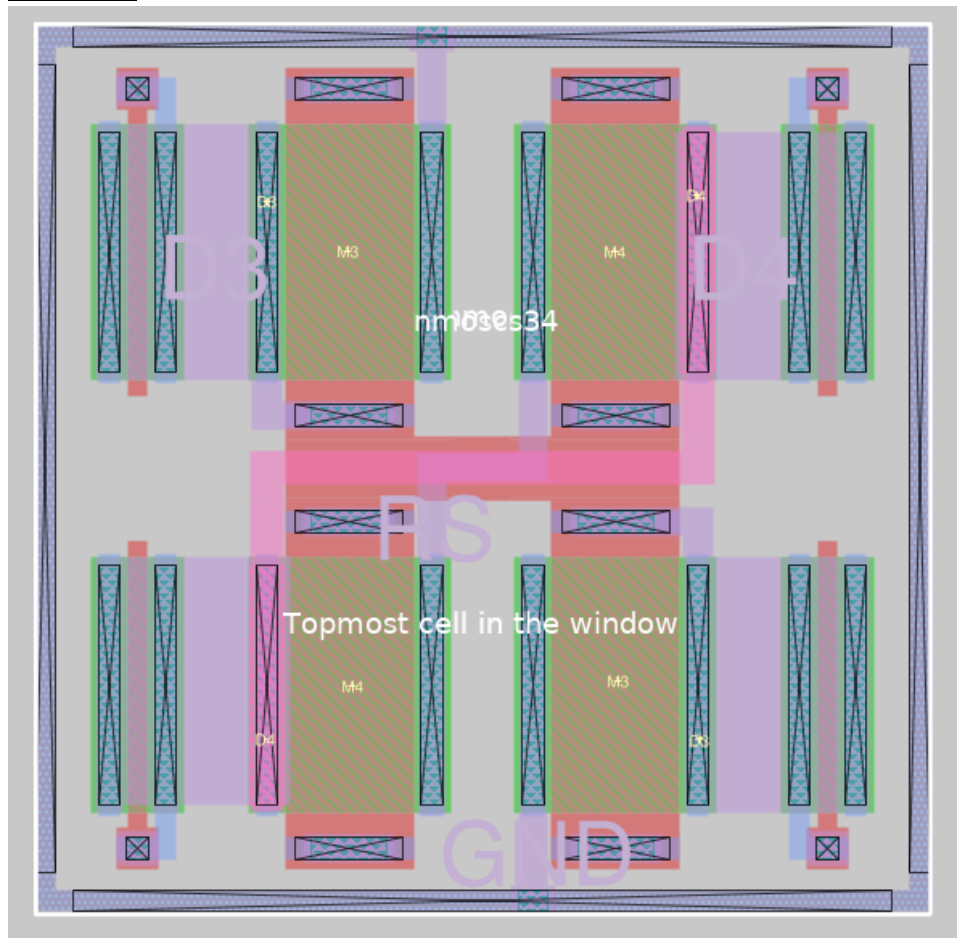
NMOS89									
SD	D	D9	M9	S	M9	D9	D	SD	
SD	D	D8	M8	S	M8	D8	D	SD	
SD	D	D8	M8	S	M8	D8	D	SD	
SD	D	D9	M7	S	M7	D9	D	SD	

Berdasarkan perencanaan tersebut, kemudian dilakukan perancangan *layout* pada aplikasi Magic dan dihasilkan rancangan sebagai berikut.

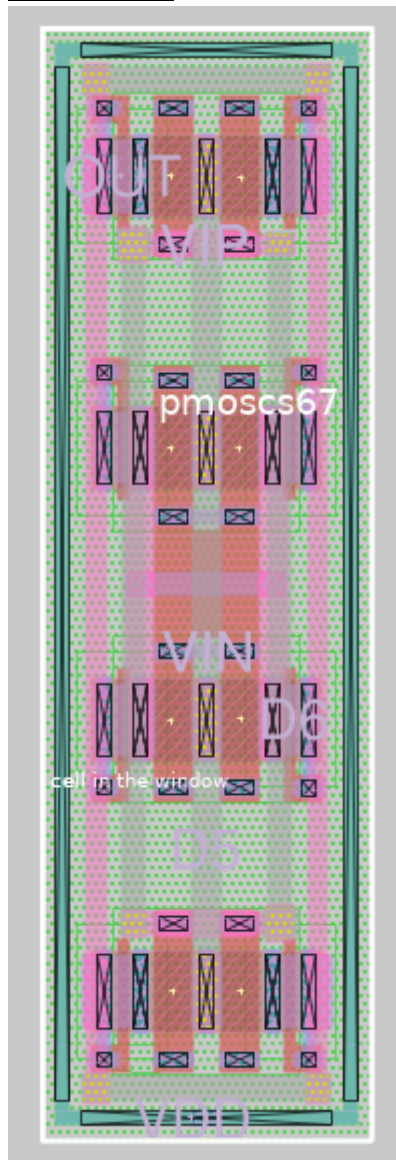
PMOSCS125



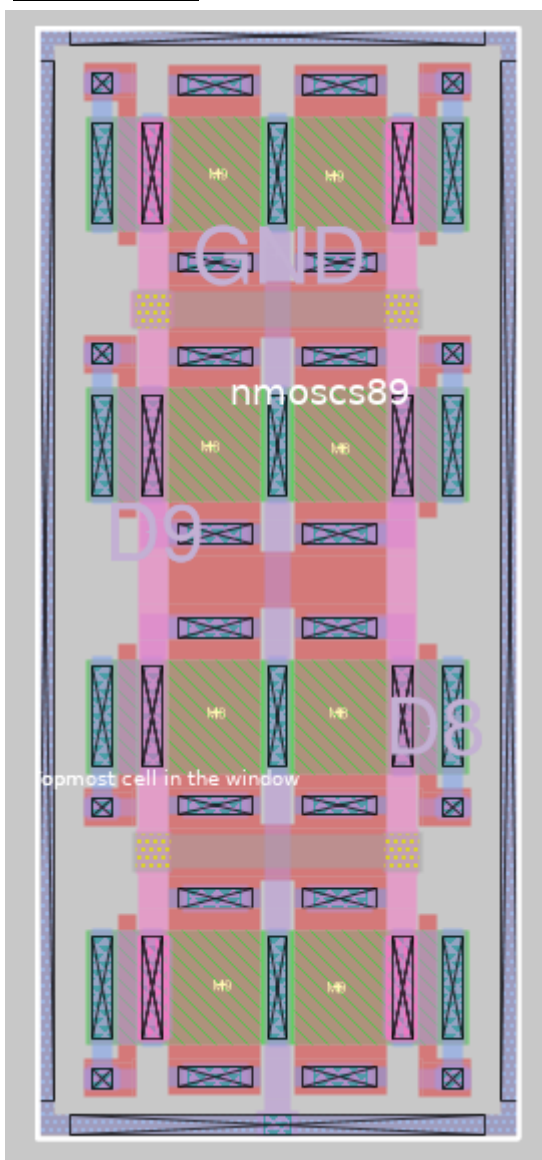
NMOS34



PMOSCS67

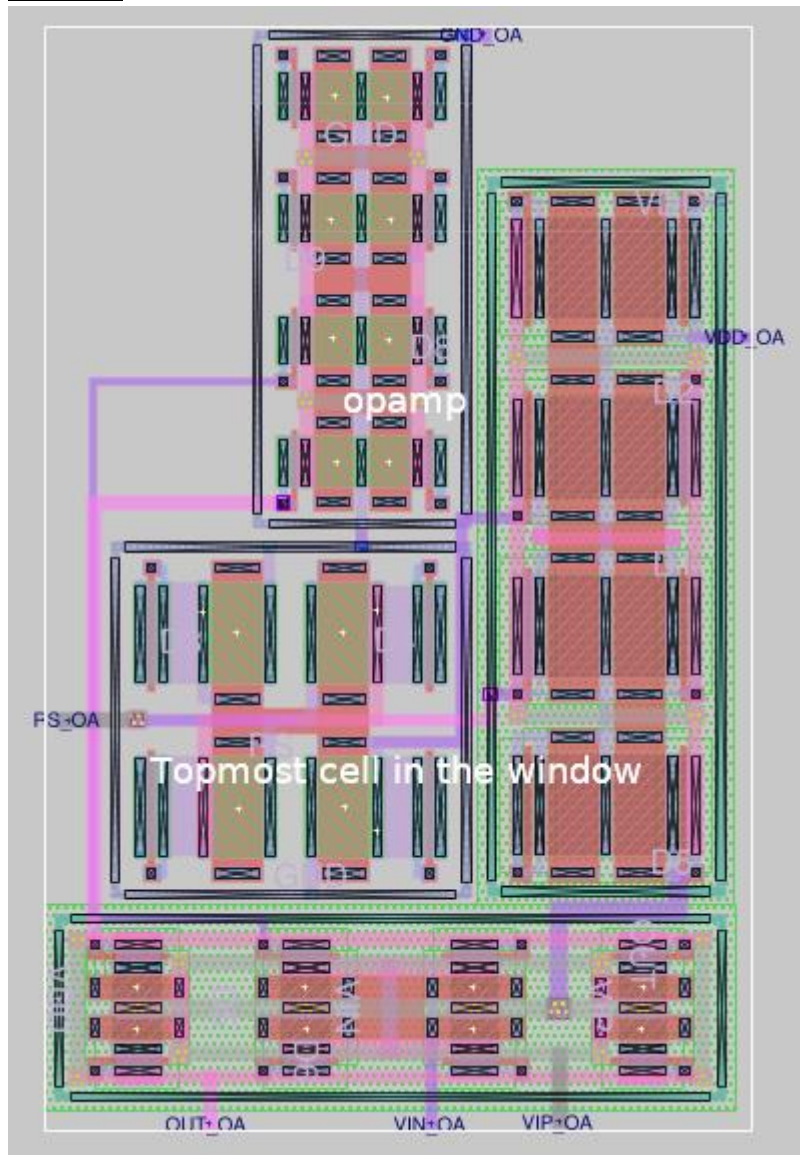


NMOS CS 89



Kemudian *layout* tersebut disimulasikan satu persatu dan setelah itu dijadikan menjadi 1 *layout* OPAMP. Kemudian setelah ditambahkan pin-pin yang sesuai, maka dilakukan LVS dengan membandingkan skematik yang ada. Berikut adalah *layout* OPAMP yang sudah menjadi 1 *layout*.

OPAMP



- **LVS**

Setelah selesai tiap *layout* disusun, maka dilakukan LVS untuk tiap bagian *layout*. Setelah setiap bagian telah *match* dengan *schematic*, maka disusunlah *layout* utama yang kemudian dilakukan LVS kembali, dan dihasilkan *output* sebagai berikut.

```
raphael03@DESKTOP-6M7FI0K:~/MSIB/opamp/mag$ ./iic-lvs.sh opamp
[INFO] Running LVS of <opamp.mag> vs <opamp.sch>.
[INFO] Extracting netlist from schematic <opamp.sch>...
[INFO] Extracting netlist from layout <opamp.mag>...
[INFO] Run netgen...
---
CONGRATULATIONS! LVS is OK, schematic/netlist and layout match!
---
[DONE] Bye!
```