Simulação de aplicações utilizando SimpleScalar Sim-Outorder e os benchmarks mm, crc e fft1

Brenda Salenave Santana1

1Universidade Federal de Santa Maria (UFSM)

**Abstract.** This article describes the behavior of the execution of each application (with supplied inputs) over several organizations indicated configurations using SimpleScalar simulator Sim- Outorder and benchmarks: matrix multiplication (mm), fast Fourier transform(fft1) and Cyclic Redundancy Check - Function data validation(crc).

**Resumo.** Este artigo descreve o comportamento da execução de cada uma das aplicações (com as entradas fornecidas) sobre diversas configurações de organizações indicadas utilizando o simulador SimpleScalar Sim-Outorder e os benchmarks: multiplicação de matrizes(mm), transformada rápida de Fourier(fft1) e Cyclic Redundancy Check – função de validação de dados(crc).

# 1. Simulação de execução das aplicações

As simulações foram realizadas através do simulador SimpleScalar. Este é um pacote de simuladores para a análise de arquiteturas superescalares. Possui um conjunto de oito simuladores para a realização de diferentes análises, como nas previsões de desvio, cache e execução especulativa. O pipeline superscalar é uma técnica que replica os componentes internos de um processador de modo a disponibilizar e executar várias instruções em cada um dos estágios do pipeline.

As simulações de execução das aplicações foram realizadas conforme as seguintes configurações: Com uma ULA para inteiros, duas ULAs para inteiros, quatro ULAs para inteiros e com seis ULAs para inteiros, todas com o preditores de desvios: Not taken, Bimodal (tabela de 2 entradas), Bimodal (tabela de 64 entradas) , Bimodal (tabela de 256 entradas) e Perfeito.

Tabela 1. Resultado da simulação realizada com benchmark mm e com preditor not taken

|  |  |  |  |
| --- | --- | --- | --- |
| mm / Not Taken | | | |
| **ULA’s** | **Nº de ciclos** | **IPC** | **CPI** |
| 1 | 8147711 | 0,9454 | 1,0578 |
| 2 | 4941540 | 1,5587 | 0,6416 |
| 4 | 4691006 | 1,6420 | 0,6090 |
| 6 | 4691006 | 1,6420 | 0,6090 |

Tabela 2. Resultado da simulação realizada com benchmark mm e com preditor bimodal de 2 entradas

|  |  |  |  |
| --- | --- | --- | --- |
| mm / Bimodal (tabela de 2 entradas) | | | |
| **ULA’s** | **Nº de ciclos** | **IPC** | **CPI** |
| 1 | 7459018 | 1,0326 | 0,9684 |
| 2 | 4213103 | 1,8282 | 0,5470 |
| 4 | 3823559 | 2,0145 | 0,4964 |
| 6 | 3823559 | 2,0145 | 0,4964 |

Tabela 3. Resultado da simulação realizada com benchmark mm e com preditor bimodal de 64 entradas

|  |  |  |  |
| --- | --- | --- | --- |
| mm / Bimodal (tabela de 64 entradas) | | | |
| **ULA’s** | **Nº de ciclos** | **IPC** | **CPI** |
| 1 | 7458795 | 1,0327 | 0,9684 |
| 2 | 4212717 | 1,8284 | 0,5469 |
| 4 | 3823189 | 2,0147 | 0,4964 |
| 6 | 3823189 | 2,0147 | 0,4964 |

Tabela 4. Resultado da simulação realizada com benchmark mm e com preditor bimodal de 256 entradas

|  |  |  |  |
| --- | --- | --- | --- |
| mm / Bimodal (tabela de 256 entradas) | | | |
| **ULA’s** | **Nº de ciclos** | **IPC** | **CPI** |
| 1 | 7458715 | 1,0327 | 0,9684 |
| 2 | 4212579 | 1,8284 | 0,5469 |
| 4 | 3823048 | 2,0148 | 0,4963 |
| 6 | 3823048 | 2,0148 | 0,4963 |

Tabela 5. Resultado da simulação realizada com benchmark mm e com preditor perfeito

|  |  |  |  |
| --- | --- | --- | --- |
| mm / Perfeito | | | |
| **ULA’s** | **Nº de ciclos** | **IPC** | **CPI** |
| 1 | 7441399 | 1,0351 | 0,9661 |
| 2 | 4200446 | 1,8337 | 0,5453 |
| 4 | 3818222 | 2,0173 | 0,4957 |
| 6 | 3818222 | 2,0173 | 0,4957 |

Tabela 6. Resultado da simulação realizada com benchmark crc e com preditor not taken

|  |  |  |  |
| --- | --- | --- | --- |
| crc / Not Taken | | | |
| **ULA’s** | **Nº de ciclos** | **IPC** | **CPI** |
| 1 | 88772 | 0,6809 | 1,4686 |
| 2 | 81595 | 0,7408 | 1,3498 |
| 4 | 80681 | 0,7492 | 1,3347 |
| 6 | 80681 | 0,7492 | 1,3347 |

Tabela 7. Resultado da simulação realizada com benchmark crc e com preditor bimodal de 2 entradas

|  |  |  |  |
| --- | --- | --- | --- |
| crc / Bimodal (tabela de 2 entradas) | | | |
| **ULA’s** | **Nº de ciclos** | **IPC** | **CPI** |
| 1 | 71130 | 0,8498 | 1,1767 |
| 2 | 47532 | 1,2717 | 0,7863 |
| 4 | 44405 | 1,3613 | 0,7346 |
| 6 | 44405 | 1,3613 | 0,7346 |

Tabela 8. Resultado da simulação realizada com benchmark crc e com preditor bimodal de 64 entradas

|  |  |  |  |
| --- | --- | --- | --- |
| crc / Bimodal (tabela de 64 entradas) | | | |
| **ULA’s** | **Nº de ciclos** | **IPC** | **CPI** |
| 1 | 70340 | 0,8594 | 1,1636 |
| 2 | 46507 | 1,2998 | 0,7694 |
| 4 | 43151 | 1,4008 | 0,7139 |
| 6 | 43151 | 1,4008 | 0,7139 |

Tabela 9. Resultado da simulação realizada com benchmark crc e com preditor bimodal de 256 entradas

|  |  |  |  |
| --- | --- | --- | --- |
| crc / Bimodal (tabela de 256 entradas) | | | |
| **ULA’s** | **Nº de ciclos** | **IPC** | **CPI** |
| 1 | 70315 | 0,8597 | 1,1632 |
| 2 | 46474 | 1,3007 | 0,7688 |
| 4 | 43118 | 1,4019 | 0,7133 |
| 6 | 43118 | 1,4019 | 0,7133 |

Tabela 10. Resultado da simulação realizada com benchmark crc e com preditor perfeito

|  |  |  |  |
| --- | --- | --- | --- |
| crc / Perfeito | | | |
| **ULA’s** | **Nº de ciclos** | **IPC** | **CPI** |
| 1 | 62459 | 0,9678 | 1,0333 |
| 2 | 36973 | 1,6349 | 0,6116 |
| 4 | 32855 | 1,8398 | 0,5435 |
| 6 | 32855 | 1,8398 | 0,5435 |

Tabela 11. Resultado da simulação realizada com benchmark fft1 e com preditor not taken

|  |  |  |  |
| --- | --- | --- | --- |
| fft1 / Not Taken | | | |
| **ULA’s** | **Nº de ciclos** | **IPC** | **CPI** |
| 1 | 18306 | 0,5072 | 1,9716 |
| 2 | 15996 | 0,5805 | 1,7228 |
| 4 | 1,5588 | 0,5957 | 1,6788 |
| 6 | 1,5588 | 0,5957 | 1,6788 |

Tabela 12. Resultado da simulação realizada com benchmark fft1 e com bimodal de 2 entradas

|  |  |  |  |
| --- | --- | --- | --- |
| fft1 / Bimodal (tabela de 2 entradas) | | | |
| ULA’s | **Nº de ciclos** | **IPC** | **CPI** |
| 1 | 16274 | 0,5705 | 1,7527 |
| 2 | 13431 | 0,6913 | 1,4465 |
| 4 | 12986 | 0,7150 | 1,3986 |
| 6 | 12986 | 0,7150 | 1,3986 |

Tabela 13. Resultado da simulação realizada com benchmark fft1 e com preditor bimodal de 64 entradas

|  |  |  |  |
| --- | --- | --- | --- |
| fft1 / Bimodal (tabela de 64 entradas) | | | |
| ULA’s | **Nº de ciclos** | **IPC** | **CPI** |
| 1 | 16314 | 0,5691 | 1,7570 |
| 2 | 13432 | 0,6913 | 1,4466 |
| 4 | 12989 | 0,7148 | 1,3989 |
| 6 | 12989 | 0,7148 | 1,3989 |

Tabela 14. Resultado da simulação realizada com benchmark fft1 e com preditor bimodal de 256 entradas

|  |  |  |  |
| --- | --- | --- | --- |
| fft1 / Bimodal (tabela de 256 entradas) | | | |
| **ULA’s** | **Nº de ciclos** | **IPC** | **CPI** |
| 1 | 16339 | 0,5683 | 1,7597 |
| 2 | 13419 | 0,6919 | 1,4452 |
| 4 | 12968 | 0,7160 | 1,3967 |
| 6 | 12968 | 0,7160 | 1,3967 |

Tabela 15. Resultado da simulação realizada com benchmark fft1 e com preditor perfeito

|  |  |  |  |
| --- | --- | --- | --- |
| fft1 / Perfeito | | | |
| **ULA’s** | **Nº de ciclos** | **IPC** | **CPI** |
| 1 | 15228 | 0,6097 | 1,6401 |
| 2 | 12220 | 0,7598 | 1,3161 |
| 4 | 11772 | 0,7887 | 1,2679 |
| 6 | 11772 | 0,7887 | 1,2679 |

# 3. Resultados obtidos

## 3.1. Resultados obtidos (IPC) nas simulações com o preditor de desvios perfeito

Gráfico 1. Resultado obtido através da simulação do benchmark mm com preditor de desvios perfeito

Gráfico 2. Resultado obtido através da simulação do benchmark crc com preditor de desvios perfeito

## 3.2. Resultados obtidos (IPC) nas simulações

Teoricamente, um processador pipeline com k estágios poderia ser k vezes mais rápido que um sem pipeline. Esse speedup ideal pode não ser atingido devido a conflitos de memória, dependência de dados, desvios e interrupções. A segunda instrução pode ser buscada e decodificada antecipadamente, mas não pode ser executada até que seja completada a execução da primeira instrução. A razão é que a segunda instrução requer dados produzidos pela primeira instrução. Essa situação é conhecida como dependência de dados verdadeira Este tipo de dependência é originada na natureza sequencial do código em execução, cuja ordem normal é alterada dentro do pipeline

Através dos gráficos obtidos dos resultados das simulações realizadas com os benchmarks mm, crc e fft1 pode-se perceber que mesmo com o aumento de unidades funcionais (ULA’s) não há variação de instruções por ciclo (IPC) quando o teste é realizado com 4 ou com 6 ULA’s. Isto se deve há ocorrência de dependências de dados Estes conflitos implicam assim na limitação de exploração do paralelismo no nível de instruções.

## 3.2.1 Benchmark mm

Gráfico 3. Resultado obtido através da simulação do benchmark mm com preditor de desvios not taken

Gráfico 4. Resultado obtido através da simulação do benchmark mm com preditor de desvios bimodal de 2 entradas

Gráfico 5. Resultado obtido através da simulação do benchmark mm com preditor de desvios bimodal de 64 entradas

Gráfico 6. Resultado obtido através da simulação do benchmark mm com preditor de desvios bimodal de 256 entradas

## 3.2.2 Benchmark crc

Gráfico 7. Resultado obtido através da simulação do benchmark crc com preditor de desvios not taken

Gráfico 8. Resultado obtido através da simulação do benchmark crc com preditor de desvios bimodal de 2 entradas

Gráfico 9. Resultado obtido através da simulação do benchmark crc com preditor de desvios bimodal de 64 entradas

Gráfico 10. Resultado obtido através da simulação do benchmark crc com preditor de desvios bimodal de 256 entradas

## 3.2.3 Benchmark fft1

Gráfico 11. Resultado obtido através da simulação do benchmark fft1 com preditor de desvios not taken

Gráfico 12. Resultado obtido através da simulação do benchmark fft1 com preditor de desvios bimodal de 2 entradas

Gráfico 13. Resultado obtido através da simulação do benchmark fft1 com preditor de desvios bimodal de 64 entradas

Gráfico 14. Resultado obtido através da simulação do benchmark fft1 com preditor de desvios bimodal de 256 entradas

# 6. Referências

Patterson, David A. e Hanessy, John L.: Organização e projeto de computadores: a interface hardware/software. ed.2. Rio de Janeiro: LTC, 200.

Mourelle, L. “Arquiteturas de Alto Desempenho”, http://www.eng.uerj.br/~ldmm/Arquiteturas\_de\_Alto\_Desempenho/Paralelismo.pdf, Junho.

Sampaio, Daniel L. e Braz, Marcos H. “Arquiteturas Superescalares”, http://arq-superescalar.tripod.com, Junho.

Balthazar, José M. “Dependências de dados (Data Hazards)”, http://www.rc.unesp.br/igce/demac/balthazar/gpacp/bibliografia/A-06%20-%20Processamento%20Paralelo%20e%20de%20Alto%20Desempenho%20-%20NAT%20-%20Unive/SISD.pdf, Junho.