

جامعة حلب في المناطق المحررة كلية الهندسة المعلوماتية السنة الرابعة

مقرر عملي

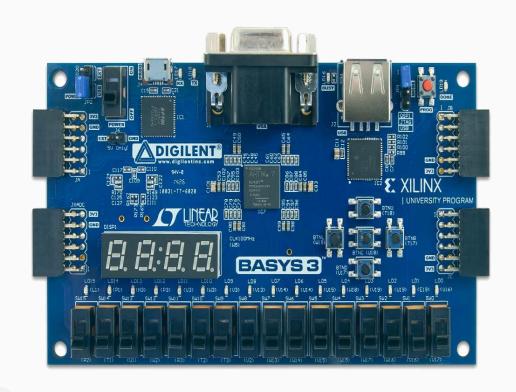
بنية وتنظيم الحواسيب2

تولید نبضات PWM

د.م. عبد القادر غزال

م. محمد نور بدوي

العام الدراسي: 2023 - 2024

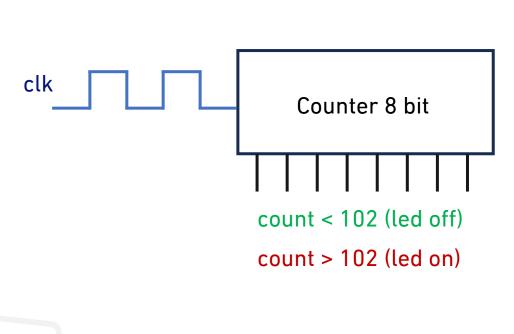


المحاضرة العملية الثامنة



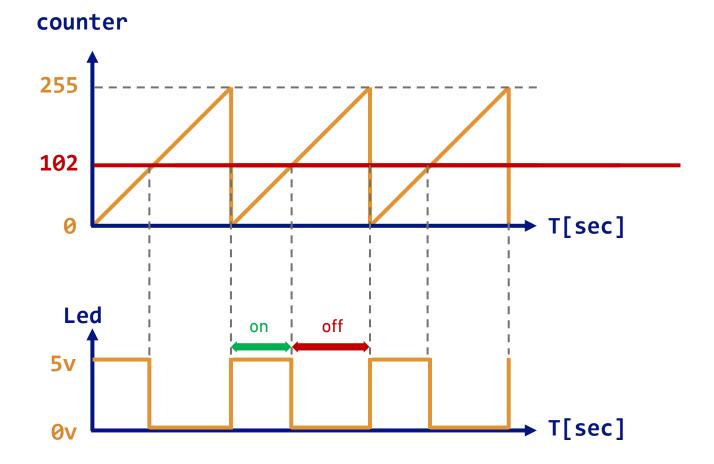


سنقوم في هذا المثال بتوليد نبضات PWM وتمريرها إلى ليد ضوئي باستخدام عداد 8bit ، حيث تكون نسبة تشغيل الليد Duty Cycle = 40%



Count = 255 * Duty Cycle

Count = 255 * (40/100) = 102







```
LIBRARY IEEE;
USE IEEE.STD LOGIC 1164.ALL;
USE ieee.std logic unsigned.ALL;
ENTITY pwm gen IS
    PORT (
        clk : IN STD LOGIC;
        rst : IN STD LOGIC;
        pwm_out : OUT STD_LOGIC);
END pwm gen;
ARCHITECTURE Behavioral OF pwm gen IS
    SIGNAL counter : STD LOGIC VECTOR
(7 DOWNTO 0) := "00000000";
BEGIN
    PROCESS (clk, rst)
    BEGIN
        IF rst = '1' THEN
            counter <= (OTHERS => '0');
```

```
سنقوم في هذا المثال بتوليد نبضات PWM وتمريرها
إلى ليد ضوئي باستخدام عداد 8bit ، حيث تكون نسبة
تشغيل الليد
Duty Cycle = 40%
```





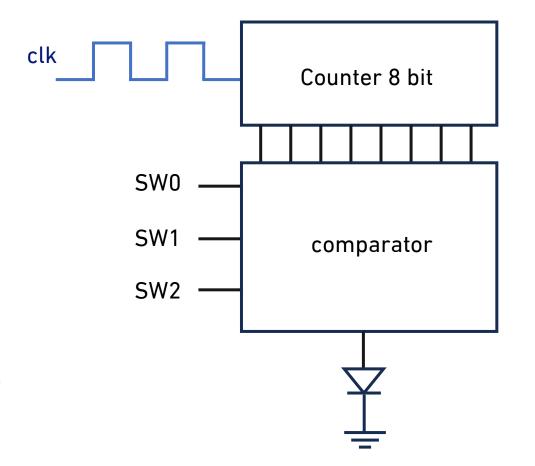




تولید نبضات PWM



سنقوم بالتعديل على المثال السابق بحيث تكون نسبة تشغيل متغيرة وليست ثابتة، بحيث يمكن التبديل بين 6 نسب تشغيل على التتالي (100% - 80% - 80% - 40% - 20% - 0%)



counter **255** 80% 60% 40% 20% T[s **Led 40%** off on **5**v T[s **0**V







```
LIBRARY IEEE;
USE IEEE.STD LOGIC 1164.ALL;
                                       سنقوم بالتعديل على المثال السابق بحيث تكون نسبة تشغيل متغيرة
USE ieee.std_logic_unsigned.ALL;
                                          وليست ثابتة، بحيث يمكن التبديل بين 6 نسب تشغيل على التتالي
ENTITY pwm gen IS
                                                         (0% - 20% - 40% - 60% - 80% - 100%)
    PORT (
        rst : IN STD LOGIC;
        pwm_out : OUT STD_LOGIC);
END pwm gen;
ARCHITECTURE Behavioral OF pwm_gen IS
    SIGNAL counter : STD_LOGIC_VECTOR(7 DOWNTO 0) := "00000000";
    SIGNAL Switch : STD_LOGIC_VECTOR(2 DOWNTO 0) := "000";
    SIGNAL Duty : NATURAL := 0;
    SIGNAL clk : STD LOGIC;
BEGIN
    clk process : PROCESS
```

BEGIN







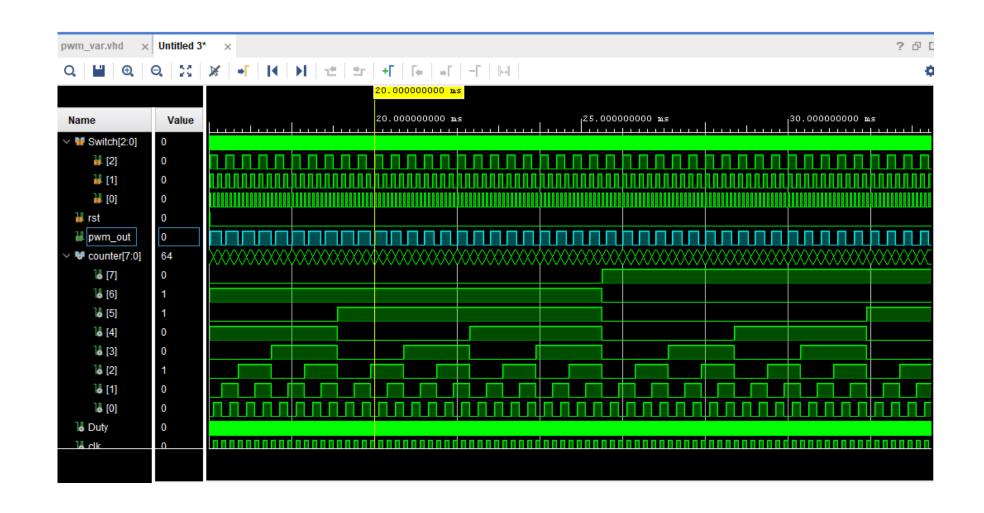
```
clk <= '0';
   WAIT FOR 100us;
   --for 100 us signal is '0'.
    clk <= '1';
   WAIT FOR 100us;
   --for next 100 us signal is '1'.
END PROCESS clk process;
choose process : PROCESS (Switch)
BEGIN
    CASE Switch IS
        WHEN "000" => Duty <= 0;
        WHEN "001" => Duty <= 51;
        WHEN "010" => Duty <= 102;
        WHEN "011" => Duty <= 153;
        WHEN "100" => Duty <= 204;
        WHEN OTHERS => Duty <= 255;
    END CASE;
END PROCESS choose_process;
```

```
pwmGenerate : PROCESS (clk, rst)
    BEGIN
        IF rst = '1' THEN
             counter <= (OTHERS => '0');
        ELSIF rising_edge(clk) THEN
             counter <= counter + 1;</pre>
        END IF;
    END PROCESS pwmGenerate;
    -- pwm Generate
    pwm_out <= '1' WHEN ( counter < Duty</pre>
       and Duty > 0 )
ELSE '0';
END Behavioral;
```



محاكاة التطبيق









انتهت المحاضرة