

实验四 模型机时序部件的实现（实验报告格式案例）

班级 计科 2305 姓名 刘良锐 学号 202308010524

一、实验目的

- 1.了解模型机中 SM 的作用。
- 2.熟悉指令寄存器、状态寄存器、指令计数器、寄存器的工作原理。
- 3.学会使用 VERILOG 语言设计时序电路。

二、实验内容

- 1.使用 VERILOG 语言设计 SM。
- 2.使用 VERILOG 语言设计一个 8 位的指令寄存器 IR。
- 3.使用 VERILOG 语言设计一个 8 位的状态寄存器 PSW。
- 4.使用 VERILOG 语言设计一个 8 位的指令计数器 PC。
- 5.使用 VERILOG 语言设计 4 个 8 位寄存器组成的寄存器组，实现读写操作；

三、实验过程

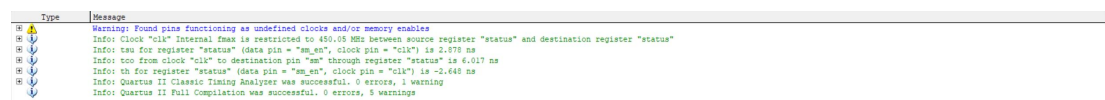
1、SM

A) 源代码

```
1  module sm(clk, sm_en, sm);
2      input clk, sm_en;
3      output sm;
4      reg status=1'b0;
5
6      always @ (negedge clk)
7      begin
8          if(sm_en==1'b1)
9          begin
10             status<=~status;
11         end
12     end
13     assign sm=status;
14 endmodule
```

B) 编译与调试（包含编译调试过程中的错误、警告信息以及资源消耗）
（选择的芯片为 family=Cyclone II; name=EP2C5T144C8）

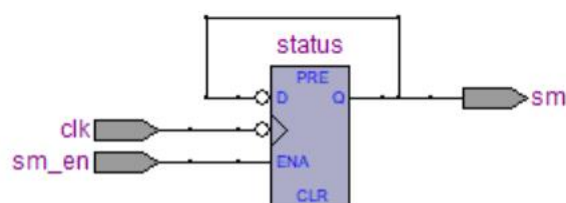
警告信息：



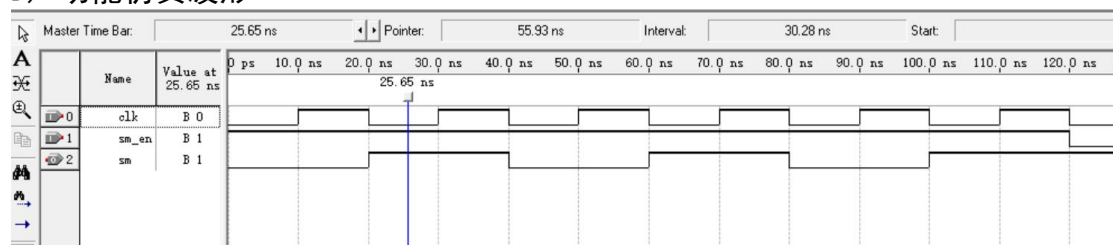
资源消耗

Flow Status	Successful - Thu Dec 05 20:48:16 2024
Quartus II Version	9.0 Build 184 04/29/2009 SP 1 SJ Web Edition
Revision Name	sm
Top-level Entity Name	sm
Family	Cyclone II
Met timing requirements	Yes
Total logic elements	1 / 4,608 (< 1 %)
Total combinational functions	1 / 4,608 (< 1 %)
Dedicated logic registers	1 / 4,608 (< 1 %)
Total registers	1
Total pins	3 / 89 (3 %)
Total virtual pins	0
Total memory bits	0 / 119,808 (0 %)
Embedded Multiplier 9-bit elements	0 / 26 (0 %)
Total PLLs	0 / 2 (0 %)
Device	EP2C5T144C6
Timing Models	Final

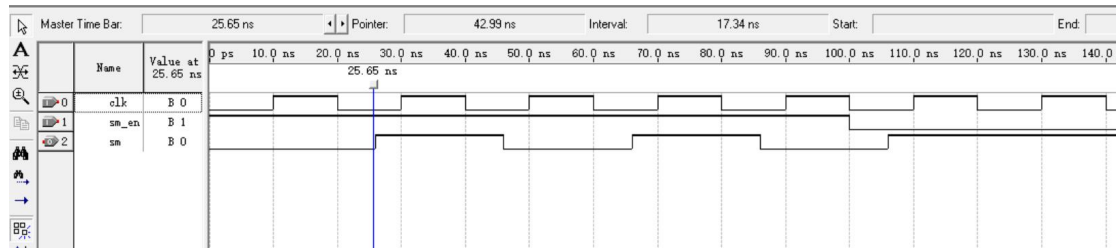
C) RTL 视图



D) 功能仿真波形



E) 时序仿真波形



F) 结果分析及结论

对于功能仿真，可以看到在 SM_EN 有效时，SM 在时钟下降沿发生翻转；对于时序仿真，结果与功能仿真大致相似，但是存在一定延迟。

元件设计符合要求，由于元件实际上存在延迟，故时序仿真结果有些许差别。

2、指令寄存器 IR

A) 源代码

```
1 module ir(clk, ld_ir, a, x);
2     input clk, ld_ir;
3     input [7:0] a;
4     output reg [7:0] x=8'b0000_0000;
5     always @ (negedge clk)
6     begin
7         if(ld_ir==1'b1)
8         begin
9             x=a;
10        end
11    end
12 endmodule
```

B) 编译与调试（包含编译调试过程中的错误、警告信息以及资源消耗）
（选择的芯片为 family=Cyclone II; name=EP2C5T144C8）

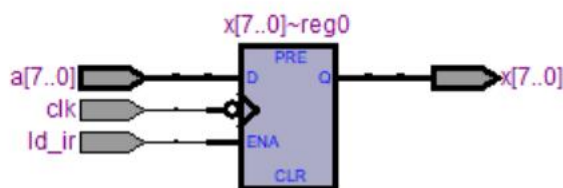
警告信息

Type	Message
Warning	Found pins functioning as undefined clocks and/or memory enables
Info	No valid register-to-register data paths exist for clock "clk"
Info	tau for register "a[0]-reg0" (data pin = "a[0]", clock pin = "clk") is 4.259 ns
Info	tau from clock "clk" to destination pin "a[5]" through register "a[5]-reg0" is 7.446 ns
Info	tau for register "a[6]-reg0" (data pin = "a[6]", clock pin = "clk") is 0.392 ns
Info	Quartus II Classic Timing Analyzer was successful: 0 errors, 1 warning
Info	Quartus II Full Compilation was successful: 0 errors, 5 warnings

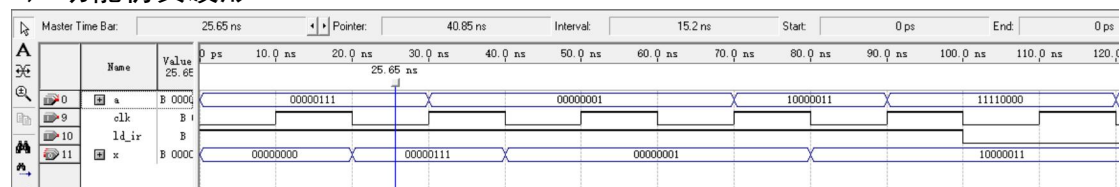
资源消耗

Flow Status	Successful - Thu Dec 05 20:59:10 2024
Quartus II Version	9.0 Build 184 04/29/2009 SP 1 SJ Web Edition
Revision Name	ir
Top-level Entity Name	ir
Family	Cyclone II
Met timing requirements	Yes
Total logic elements	8 / 4,608 (< 1 %)
Total combinational functions	0 / 4,608 (0 %)
Dedicated logic registers	8 / 4,608 (< 1 %)
Total registers	8
Total pins	18 / 89 (20 %)
Total virtual pins	0
Total memory bits	0 / 119,808 (0 %)
Embedded Multiplier 9-bit elements	0 / 26 (0 %)
Total PLLs	0 / 2 (0 %)
Device	EP2C5T144C6
Timing Models	Final

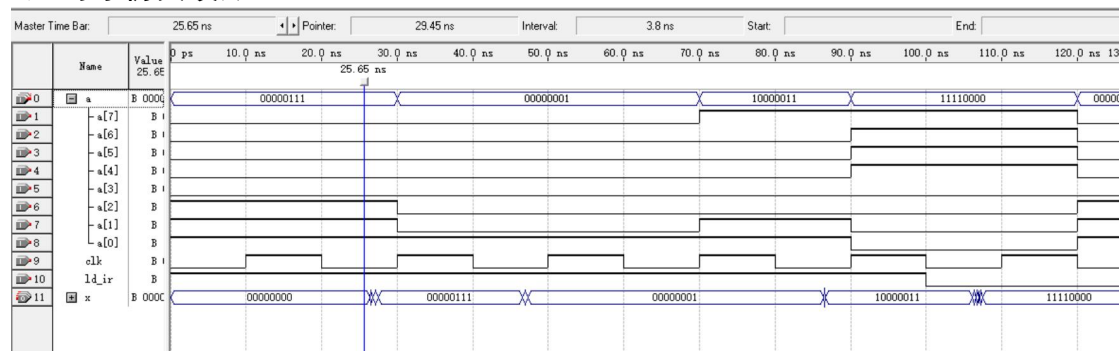
C) RTL 视图



D) 功能仿真波形



E) 时序仿真波形



F) 结果分析及结论

对于功能仿真，在前 100ns 之内使能信号有效，在时钟的下降沿将 a 写入 x，在之后使能禁止，不再执行写入操作；对于时序仿真，基本功能与功能仿真相似，存在些许不同。

仿真波形与要求功能相同，电路符合要求。

3、状态寄存器 PSW

A) 源代码

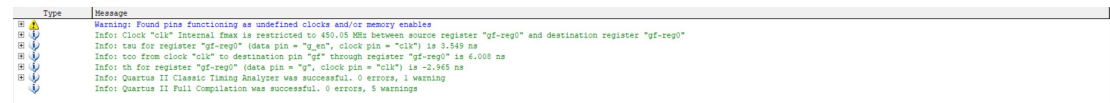
```

1  module psw(clk, g, g_en, gf);
2      input clk, g, g_en;
3      output reg gf=1'b0;
4      always @ (negedge clk)
5      begin
6          if(g_en==1'b1)
7          begin
8              gf=g;
9          end
10     end
11 endmodule

```

B) 编译与调试（包含编译调试过程中的错误、警告信息以及资源消耗）
（选择的芯片为 family=Cyclone II; name=EP2C5T144C8）

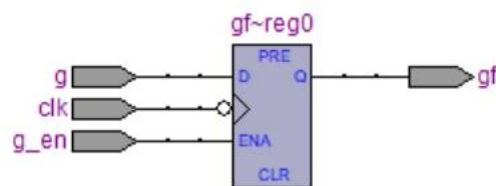
警告信息



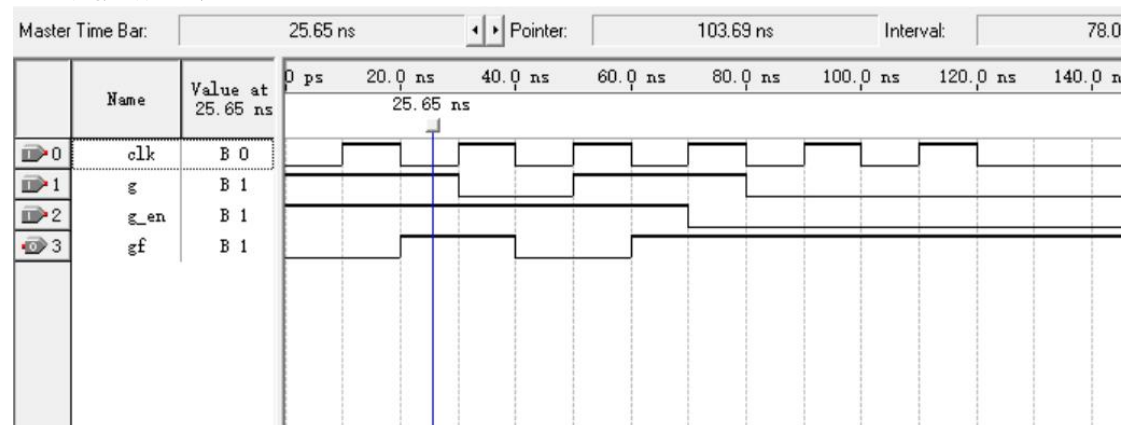
资源消耗

```
Flow Status                Successful - Thu Dec 05 21:16:48 2024
Quartus II Version          9.0 Build 184 04/29/2009 SP 1 SJ Web Edition
Revision Name               psw
Top-level Entity Name       psw
Family                      Cyclone II
Met timing requirements     Yes
Total logic elements        1 / 4,608 ( < 1 % )
  Total combinational functions 1 / 4,608 ( < 1 % )
  Dedicated logic registers  1 / 4,608 ( < 1 % )
Total registers             1
Total pins                  4 / 89 ( 4 % )
Total virtual pins         0
Total memory bits           0 / 119,808 ( 0 % )
Embedded Multiplier 9-bit elements 0 / 26 ( 0 % )
Total PLLs                  0 / 2 ( 0 % )
Device                      EP2C5T144C6
Timing Models               Final
```

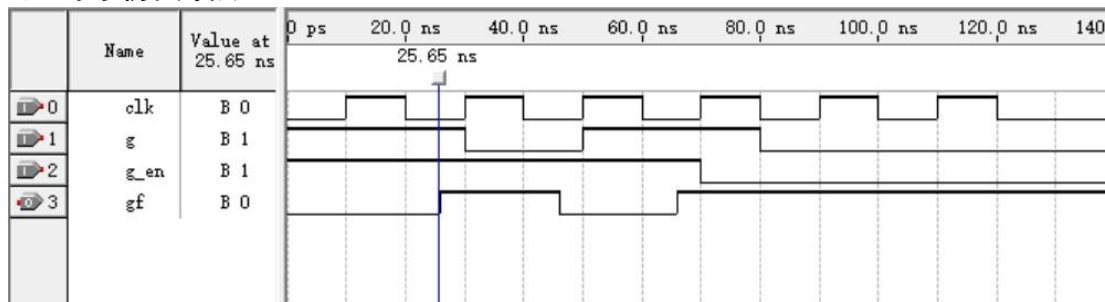
C) RTL 视图



D) 功能仿真波形



E) 时序仿真波形



F) 结果分析及结论

对于功能仿真，在 70ns 之前使能信号有效，时钟信号下降沿时将 g 写入 gf，在 70ns 之后使能禁止，不再执行写入操作；对于时序仿真，基本功能与功能仿真相似，存在些许不同。

仿真波形与要求功能相同，电路符合要求。

4、指令计数器 PC

A) 源代码

```

1  module pc(ld_pc, in_pc, clk, a, c);
2      input ld_pc, in_pc, clk;
3      input [7:0] a;
4      output reg [7:0] c=8'b0000_0000;
5      always @ (negedge clk)
6      begin
7          if(in_pc==1'b1 && ld_pc==1'b0)
8              begin
9                  c=c+8'b0000_0001;
10             end
11             else if(in_pc==1'b0 && ld_pc==1'b1)
12                 begin
13                     c=a;
14                 end
15             end
16     endmodule

```

B) 编译与调试（包含编译调试过程中的错误、警告信息以及资源消耗）
（选择的芯片为 family=Cyclone II; name=EP2C5T144C8）

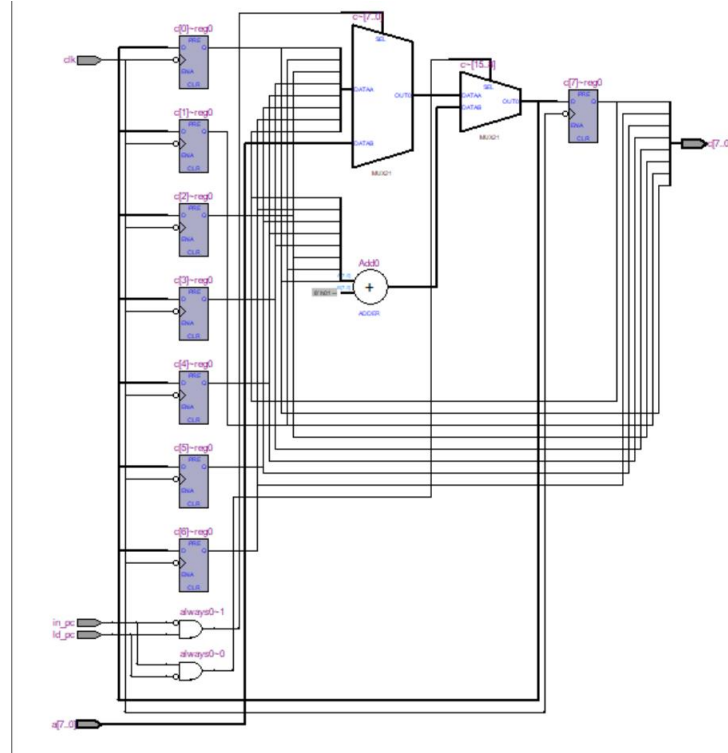
警告信息

Type	Message
Warning	Found pins functioning as undefined clocks and/or memory enables
Info	Clock "clk" Internal fmax is restricted to 420.17 MHz between source register "c[0]-reg0" and destination register "c[7]-reg0"
Info	tau for register "c[0]-reg0" (data pin = "in_pc", clock pin = "clk") is 4.828 ns
Info	tau from clock "clk" to destination pin "c[4]" through register "c[4]-reg0" is 0.018 ns
Info	th for register "c[7]-reg0" (data pin = "a[7]", clock pin = "clk") is 0.363 ns
Info	Quartus II Classic Timing Analyzer was successful. 0 errors, 1 warning
Info	Quartus II Full Compilation was successful. 0 errors, 5 warnings

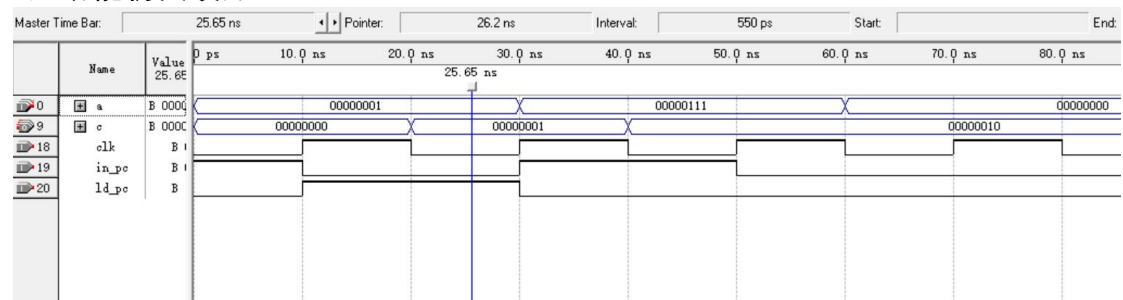
资源消耗

```
Flow Status                Successful - Thu Dec 05 21:22:47 2024
Quartus II Version          9.0 Build 184 04/29/2009 SP 1 SJ Web Edition
Revision Name               pc
Top-level Entity Name       pc
Family                      Cyclone II
Met timing requirements     Yes
Total logic elements        10 / 4,608 ( < 1 % )
    Total combinational functions 10 / 4,608 ( < 1 % )
    Dedicated logic registers  8 / 4,608 ( < 1 % )
Total registers             8
Total pins                  19 / 89 ( 21 % )
Total virtual pins         0
Total memory bits           0 / 119,808 ( 0 % )
Embedded Multiplier 9-bit elements 0 / 26 ( 0 % )
Total PLLs                  0 / 2 ( 0 % )
Device                      EP2C5T144C6
Timing Models               Final
```

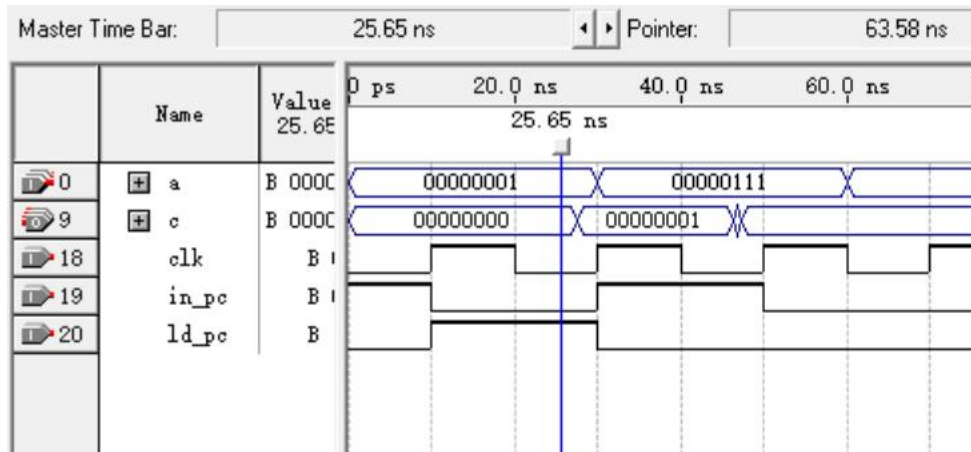
C) RTL 视图



D) 功能仿真波形



E) 时序仿真波形



F) 结果分析及结论

对于功能仿真, $IN_PC=0$, $LD_PC=1$ 时进行写入操作, 在时钟信号的下降沿将 a 写入 c , 当 $IN_PC=1$, $LD_PC=0$ 进行自增操作, c 中的数自增 1; 对于时序电路, 仿真波形与功能仿真基本相似, 不同点由元器件之间的延迟产生。

元件设计符合要求, 实际电路中存在一定的延迟。

5、通用寄存器组

A) 源代码

```

1  module reg_group(we, clk, sr, dr, i, s, d);
2      input we, clk;
3      input [1:0] sr, dr;
4      input [7:0] i;
5      output reg [7:0] s, d;
6      reg [7:0] r0=8'b00000001, r1=8'b00000001, r2=8'b00000001, r3=8'b00000001;
7      always @ (*)
8      begin
9          if(sr==2'b00)
10             s=r0;
11          else if(sr==2'b10)
12             s=r2;
13          else if(sr==2'b01)
14             s=r1;
15          else
16             s=r3;
17
18          if(dr==2'b00)
19             d=r0;
20          else if(dr==2'b10)
21             d=r2;
22          else if(dr==2'b01)
23             d=r1;
24          else
25             d=r3;
26      end
27      always @ (negedge clk)
28      begin
29          if(we==1'b1)
30              begin
31                  if(dr==2'b00)
32                     r0=i;
33                  else if(dr==2'b10)
34                     r2=i;
35                  else if(dr==2'b01)
36                     r1=i;
37                  else
38                     r3=i;
39              end
40      end
41  endmodule

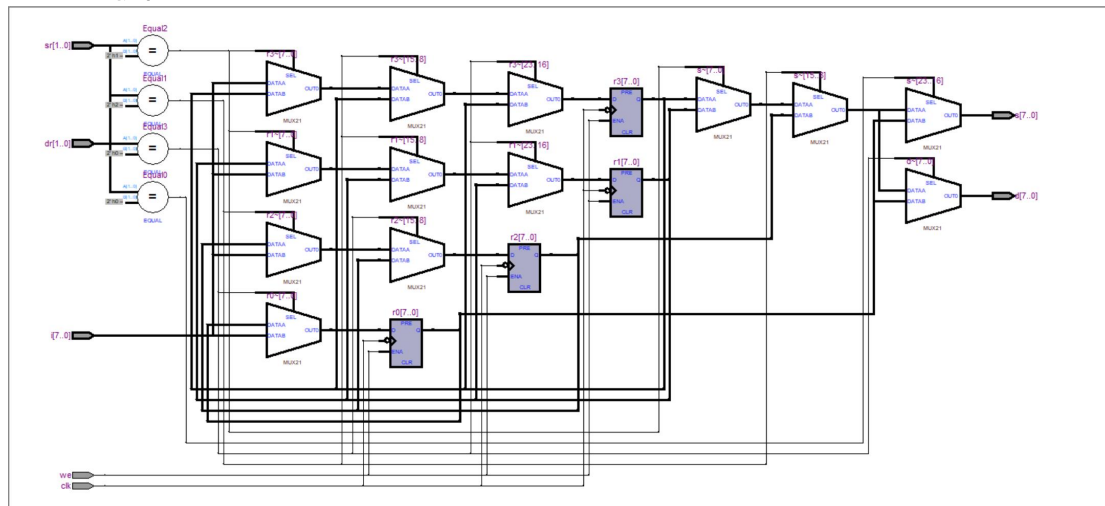
```


B) 编译与调试（包含编译调试过程中的错误、警告信息以及资源消耗）
（选择的芯片为 family=Cyclone II; name=EP2C5T144C8）

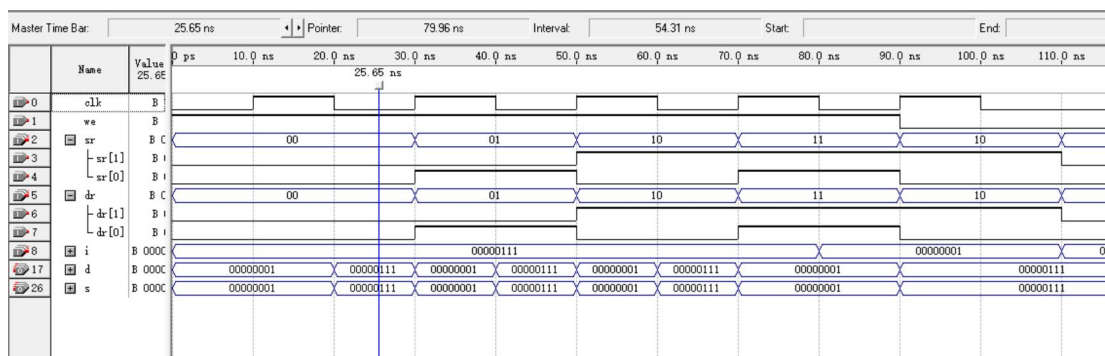
Type	Message
	Info: No valid register-to-register data paths exist for clock "clk"
	Info: too far for register "r2[0]" (data pin = "d[1]", clock pin = "clk") is 6.911 ns
	Info: too far from clock "clk" to destination pin "d[4]" through register "r1[4]" is 10.691 ns
	Info: longest tpd from source pin "r1[0]" to destination pin "d[4]" is 14.840 ns
	Info: too far for register "r2[0]" (data pin = "r1[0]", clock pin = "clk") is 6.393 ns
	Info: Quartus II Classic Timing Analyzer was successful. 0 errors, 1 warning
	Info: Quartus II Full Compilation was successful. 0 errors, 5 warnings

```
Flow Status                Successful - Thu Dec 05 21:32:00 2024
Quartus II Version         9.0 Build 184 04/29/2009 SP 1 SJ Web Edition
Revision Name              reg_group
Top-level Entity Name      reg_group
Family                     Cyclone II
Met timing requirements     Yes
Total logic elements        52 / 4,608 ( 1 % )
    Total combinational functions  45 / 4,608 ( < 1 % )
    Dedicated logic registers      32 / 4,608 ( < 1 % )
Total registers            32
Total pins                 30 / 89 ( 34 % )
Total virtual pins         0
Total memory bits          0 / 119,808 ( 0 % )
Embedded Multiplier 9-bit elements  0 / 26 ( 0 % )
Total PLLs                 0 / 2 ( 0 % )
Device                     EP2C5T144C6
Timing Models              Final
```

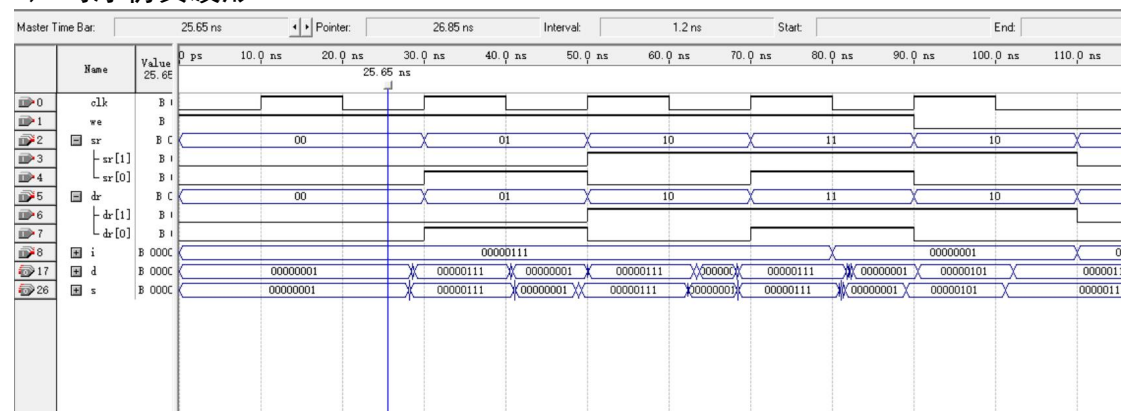
C) RTL 视图



D) 功能仿真波形



E) 时序仿真波形



F) 时序分析

操作方法是：编译后，在 compilation report 中选择【timing analysis】-【summary】

Timing Analyzer Summary										
	Type	Slack	Required Time	Actual Time	From	To	From Clock	To Clock	Failed Paths	
1	Worst-case tsu	N/A	None	6.911 ns	dr[1]	r2[5]	--	clk	0	
2	Worst-case tco	N/A	None	10.681 ns	r1[4]	d[4]	clk	--	0	
3	Worst-case tpd	N/A	None	14.540 ns	sr[0]	d[4]	--	--	0	
4	Worst-case th	N/A	None	0.393 ns	i[0]	r3[0]	--	clk	0	
5	Total number of failed paths								0	

G) 结果分析及结论

对于功能仿真，当 WE=1 时进行写入操作，在时钟信号的下降沿根据 DR 的值将 i 写入寄存器（R0、R2、R1、R0，在波形中未体现），当 DR=00 时将 R0 的值从 d 中输出，DR=01 时将 R1 的值从 d 中输出，DR=10 时将 R2 的值从 d 中输出，DR=11 时将 R3 的值从 d 中输出。当 SR=00 时将 R0 的值从 s 中输出，SR=01 时将 R1 的值从 s 中输出，SR=10 时将 R2 的值从 s 中输出，SR=11 时将 R3 的值从 s 中输出。对于时序仿真，基本功能与波形和功能仿真类似，但输出存在 10s 左右的延迟，同时其中较多变化出现冒险。

元件设计符合要求，元件内部存在一定的延迟。

四、思考题

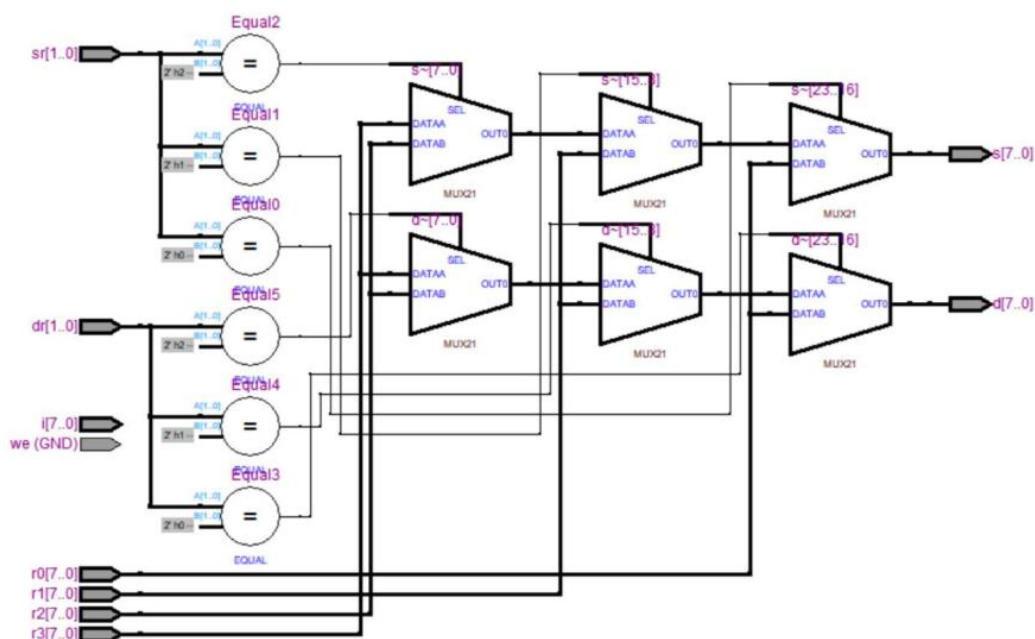
1. 时钟周期的上升沿实现对 RAM 的读写操作，为何 PC、SM、IR、PSW 以及寄存器组的操作是下降沿完成？

我们需要保证取址操作在同一个周期内完成，同时也要保证 RAM 优先级较高，如果同时处理，可能因为延迟导致数据无法及时处理。

2. 采用 VERILOG 语言描述时序部件应该采用阻塞赋值语句还是非阻塞赋值语句？

采用非阻塞语句。

3. 通用寄存器组只有 WE 的控制信号，实现通用寄存器组读操作的电路是组合电路还是时序电路？请大致画出对寄存器组进行读操作的电路部分。



五、实验总结、必得体会及建议

1. 从需要掌握的理论、遇到的困难、解决的办法以及经验教训等方面进行总结。

需要掌握模型机中 ir、pc 等模块的基本结构、功能和原理，同时学会使用 VERILOG 语言对模块进行程序编写和电路设计。

因为这次的寄存器组较为复杂，我对寄存器基本原理的认识还较为浅薄，在 VERILOG 代码的编写上也遇到了困难。通过在网上查询资料和向同学请教，最终还是完成了对该模块的实现。

2. 对本实验内容、过程和方法的改进建议（可选项）。