

实验三 模型机组合部件的实现（二）（实验报告格式案例）

班级 计科 2305 姓名 刘良锐 学号 202308010524

一、实验目的

- 1.了解模型机的内部结构和工作原理。
- 2.分析模型机功能，设计 8 重 3-1 多路复用器。
- 3.分析模型机功能，设计 8 重 2-1 多路复用器。
- 4.分析模型机的工作原理，设计模型机控制信号产生逻辑。

二、实验内容

- 1.用 VERILOG 语言设计模型机的 8 重 3-1 多路复用器。
- 2.用 VERILOG 语言设计模型机的 8 重 2-1 多路复用器。
- 3.用 VERILOG 语言设计模型机的控制信号产生逻辑。

三、实验过程

1、8 重 3-1 多路复用器

A) 创建工程（选择的芯片为 family=Cyclone II; name=EP2C5T144C8）

When you click Finish, the project will be created with the following settings:

Project directory:

E:/electronic circuit design/experiment3/

Project name: mux3_1

Top-level design entity: mux3_1

Number of files added: 0

Number of user libraries added: 0

Device assignments:

Family name: Cyclone II

Device: AUTO

EDA tools:

Design entry/synthesis: <None>

Simulation: <None>

Timing analysis: <None>

Operating conditions:

Core voltage: n/a

Junction temperature range: n/a

B) 编写源代码

```
1 module mux3_1(s, b, c, a, y);
2
3     input [7:0] a;
4     input [7:0] b;
5     input [7:0] c;
6     input [1:0] s;
7
8     output reg [7:0] y;
9     always @ (s, y)
10 begin
11     if(s==2'b00)
12         begin y=a; end
13     else if(s==2'b01)
14         begin y=b; end
15     else if(s==2'b10)
16         begin y=c; end
17     else
18         begin y=a; end
19     end
20 endmodule
```

输入引脚为 a, b, c 和 s，其中 a~c 的位宽为 8，s 的位宽为 2；输出引脚为 y，位宽为 8。当 s 输入为 00 时，引脚 y 输出 a 的值；s 输入为 01 时，y 输出 b 的值；s 输入为 10 时，y 输出 c 的值。其余情况引脚 y 均输出 a 的值。

该元件功能以下列真值表表示：

S[1..0]	Y
00	a
01	b
10	c
其它	a

C) 编译与调试（包含编译调试过程中的错误、警告信息以及资源消耗）

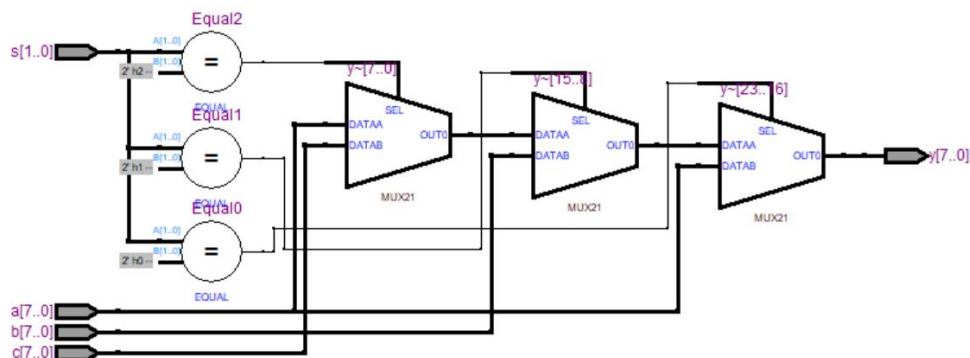
```
Info: Quartus II Assembler was successful. 0 errors, 0 warnings
Info: Running Quartus II Classic Timing Analyzer
Info: Command: quartus_tan --read_settings_files=off --write_settings_files=mux3_1 -c mux3_1 --timing_analysis_only
Info: Longest tpd from source pin "a[1]" to destination pin "y[1]" is 11.373 ns
Info: Quartus II Classic Timing Analyzer was successful. 0 errors, 0 warnings
Info: Quartus II Full Compilation was successful. 0 errors, 8 warnings
```

对源代码进行编译，未出现严重错误。（0 错误，8 警告）

Flow Status	Successful - Wed Nov 27 11:09:46 2024
Quartus II Version	9.0 Build 184 04/29/2009 SP 1 SJ Web Edition
Revision Name	mux3_1
Top-level Entity Name	mux3_1
Family	Cyclone II
Met timing requirements	Yes
Total logic elements	16 / 4,608 (< 1 %)
Total combinational functions	16 / 4,608 (< 1 %)
Dedicated logic registers	0 / 4,608 (0 %)
Total registers	0
Total pins	34 / 89 (38 %)
Total virtual pins	0
Total memory bits	0 / 119,808 (0 %)
Embedded Multiplier 9-bit elements	0 / 26 (0 %)
Total PLLs	0 / 2 (0 %)
Device	EP2K5T144C6
Timing Models	Final

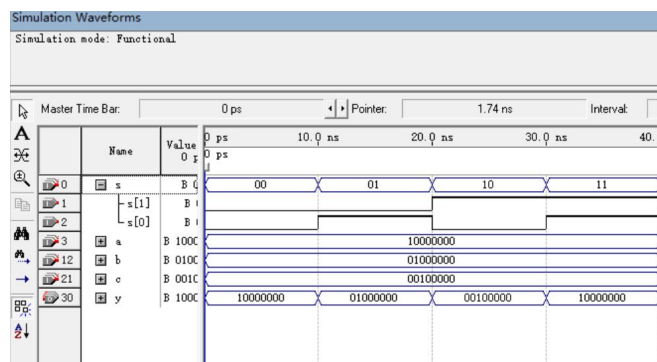
上图为源代码所表示电路的资源消耗。

D) RTL 视图



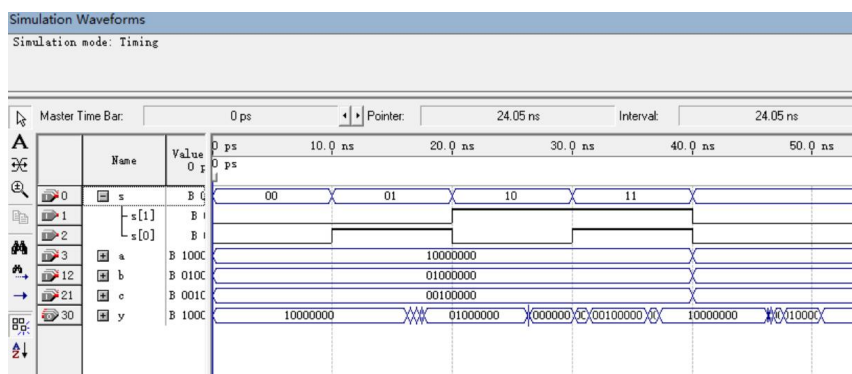
视图分析及结论：观察 RTL 视图可知，电路左侧为输入引脚，右侧为输出引脚。输入引脚 s 接三个比较器，分别代表元件真值表的不同情况。中间为三个 2-1 多路复用器，执行信号选择的功能。对输入信号进行选择后，通过引脚 y 输出结果。

E) 功能仿真波形



结果分析及结论：对电路进行功能仿真，发现 s 为 00 或 11 时输出信号 a，s 为 01 时输出信号 b，s 为 10 时输出信号 c。结果与功能真值表一致，表明电路涉及符合要求。

F) 时序仿真波形



结果分析及结论：对电路进行时序仿真，发现每次输入信号变化时，输出信号 y 会在一段时间内出现不符合期望的输出，这是由于不同元器件存在的延迟所导致的，我们称之为电路的“冒险”。可以对电路进行改进，从而减小输出信号受到的影响。

G) 时序分析

操作方法是：编译后，在 compilation report 中选择【timing analysis】-【summary】和【tpd】

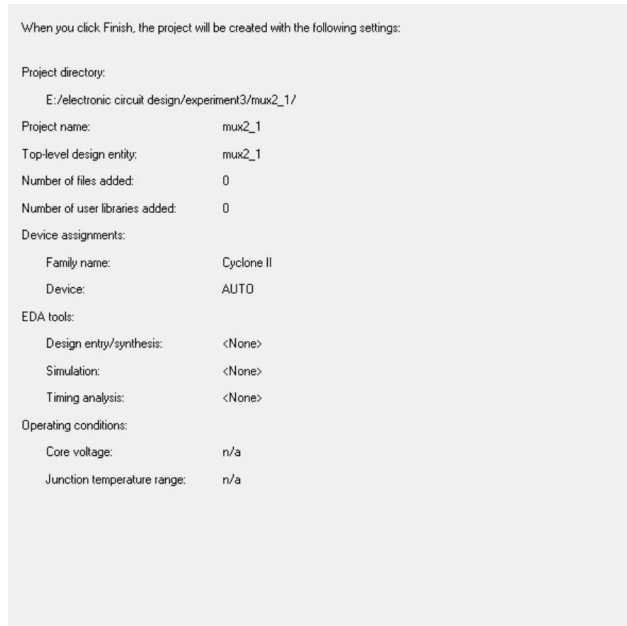
Timing Analyzer Summary									
	Type	Slack	Required Time	Actual Time	From	To	From Clock	To Clock	Failed Paths
1	Worst-case tpd	N/A	None	11.373 ns	s[1]	y[5]	--	--	0
2	Total number of failed paths								0

tpd					
	Slack	Required P2P Time	Actual P2P Time	From	To
1	N/A	None	11.373 ns	s[1]	y[5]
2	N/A	None	11.305 ns	c[4]	y[4]
3	N/A	None	11.291 ns	b[5]	y[5]
4	N/A	None	11.240 ns	a[1]	y[0]
5	N/A	None	11.153 ns	b[4]	y[4]
6	N/A	None	11.090 ns	c[2]	y[2]
7	N/A	None	10.754 ns	c[1]	y[1]
8	N/A	None	10.746 ns	a[5]	y[5]
9	N/A	None	10.731 ns	c[5]	y[5]
10	N/A	None	10.656 ns	c[7]	y[7]
11	N/A	None	10.649 ns	b[1]	y[1]
12	N/A	None	10.585 ns	b[7]	y[7]
13	N/A	None	10.529 ns	a[1]	y[6]
14	N/A	None	10.460 ns	c[3]	y[3]
15	N/A	None	10.452 ns	a[1]	y[4]
16	N/A	None	10.445 ns	c[6]	y[6]
17	N/A	None	10.359 ns	b[2]	y[2]
18	N/A	None	10.353 ns	a[3]	y[3]
19	N/A	None	10.274 ns	a[1]	y[2]
20	N/A	None	10.193 ns	a[7]	y[7]
21	N/A	None	10.186 ns	a[1]	y[7]
22	N/A	None	10.155 ns	a[1]	y[1]
23	N/A	None	10.154 ns	a[4]	y[4]
24	N/A	None	10.134 ns	b[6]	y[6]
25	N/A	None	10.125 ns	a[1]	y[3]
26	N/A	None	10.099 ns	a[1]	y[1]
27	N/A	None	9.943 ns	a[2]	y[2]
28	N/A	None	9.767 ns	b[3]	y[3]
29	N/A	None	9.643 ns	a[6]	y[6]
30	N/A	None	7.636 ns	a[0]	y[5]
31	N/A	None	7.619 ns	c[0]	y[0]
32	N/A	None	7.498 ns	a[0]	y[0]
33	N/A	None	7.441 ns	b[0]	y[0]
34	N/A	None	7.222 ns	a[0]	y[4]
35	N/A	None	7.220 ns	a[0]	y[2]

结果分析及结论：由图可得，Timing Analyzer Summary 总结所有经典定时分析的结果，并报告每个定时特性的最坏情况定时。而 tpd 报告表则给出了源节点和目标节点之间的 tpd 延迟时间，比如第一行中 s[1]到 y[5]的延迟时间为 11.373ns。

2、8 重 2-1 多路复用器

A) 创建工程（选择的芯片为 family=Cyclone II; name=EP2C5T144C8）



B) 编写源代码

```
1 module mux2_1(a, b, s, y);
2
3     input wire [7:0] a;
4     input wire [7:0] b;
5     input s;
6     output reg [7:0] y;
7
8     always @ (a, b, s)
9     begin
10         if(s==1'b0)
11             begin y=a; end
12         else
13             begin y=b; end
14     end
15     |
16 endmodule
```

输入引脚为 a, b 和 s，位宽分别为 8、8、1；输出引脚是 y，位宽为 8。该器件通过输入的 s 值对 a 与 b 进行选择。当 s 的值为 0 时，输出为 a，当 s 的值为 1 时，输出为 b。

功能真值表如下：

S	Y
0	a
1	b

C) 编译与调试（包含编译调试过程中的错误、警告信息以及资源消耗）

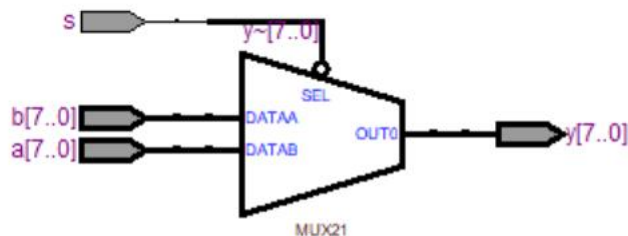
Type	Message
Info	Quartus II Assembler was successful. 0 errors, 0 warnings
Info	Running Quartus II Classic Timing Analyzer
Info	Command: quartus_tan --read_settings_files=off --write_settings_files=off mux2_1 --c mux2_1 --timing_analysis_only
Info	Longest tpd from source pin "a" to destination pin "y[0]" is 11.853 ns
Info	Quartus II Classic Timing Analyzer was successful. 0 errors, 0 warnings
Info	Quartus II Full Compilation was successful. 0 errors, 4 warnings

对源代码进行编译，未出现严重错误（0 错误，4 警告）。

```
Flow Status                Successful - Wed Nov 27 11:52:57 2024
Quartus II Version         9.0 Build 184 04/29/2009 SP 1 SJ Web Edition
Revision Name              mux2_1
Top-level Entity Name      mux2_1
Family                     Cyclone II
Met timing requirements     Yes
Total logic elements        8 / 4,608 ( < 1 % )
  Total combinational functions  8 / 4,608 ( < 1 % )
  Dedicated logic registers    0 / 4,608 ( 0 % )
Total registers            0
Total pins                 25 / 89 ( 28 % )
Total virtual pins         0
Total memory bits          0 / 119,808 ( 0 % )
Embedded Multiplier 9-bit elements  0 / 26 ( 0 % )
Total PLLs                 0 / 2 ( 0 % )
Device                     EP2C5T144C6
Timing Models              Final
```

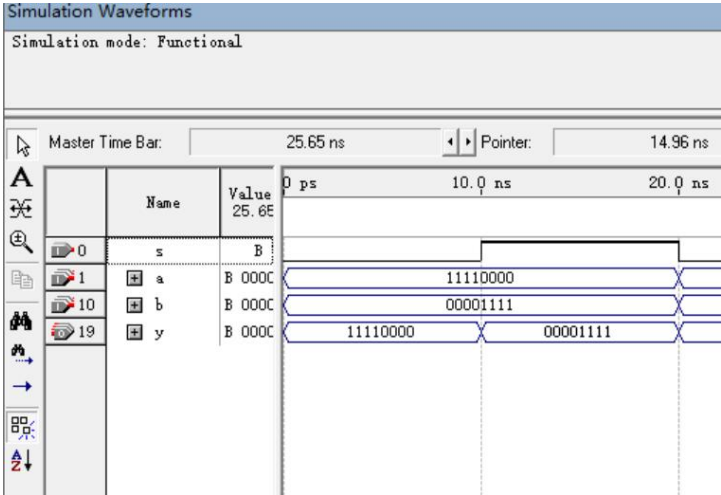
上图为源代码所表示电路的资源消耗。

D) RTL 视图



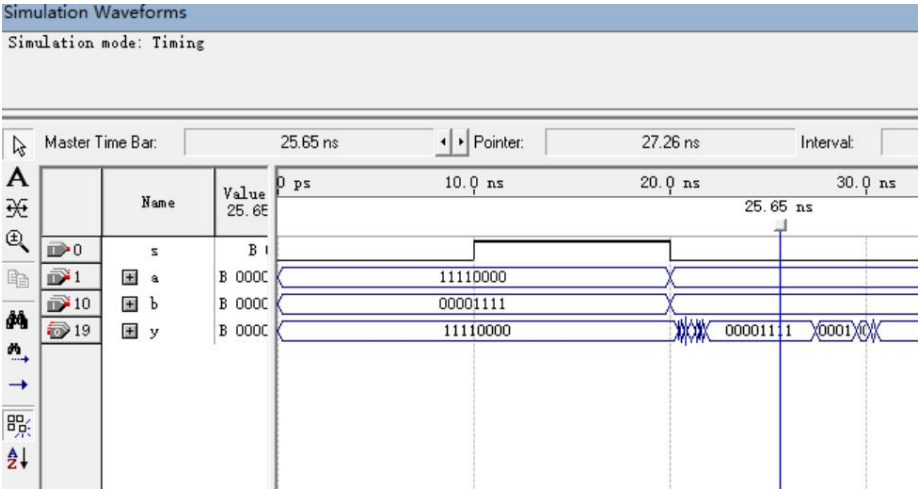
结果分析及结论：观察 RTL 视图可知，左侧为输入引脚 a, b 和 s，右侧为输出引脚 y。中间有一 2-1 多路复用器，对信号 a 和信号 b 进行选择。

E) 功能仿真波形



结果分析及结论：对电路进行功能仿真，可以发现，当s的值为0时，输出为a，当s的值为1时，输出为b。结果与功能真值表一致，表明电路设计符合要求。

F) 时序仿真波形



结果分析及结论：对电路进行时序仿真，得到结果与功能仿真大致相同，但中间存在一段时间的失真。这是由于电路元器件实际上存在一定的传输延迟和惯性延迟，这些延迟时间导致了电路输出的短暂失真。

G) 时序分析

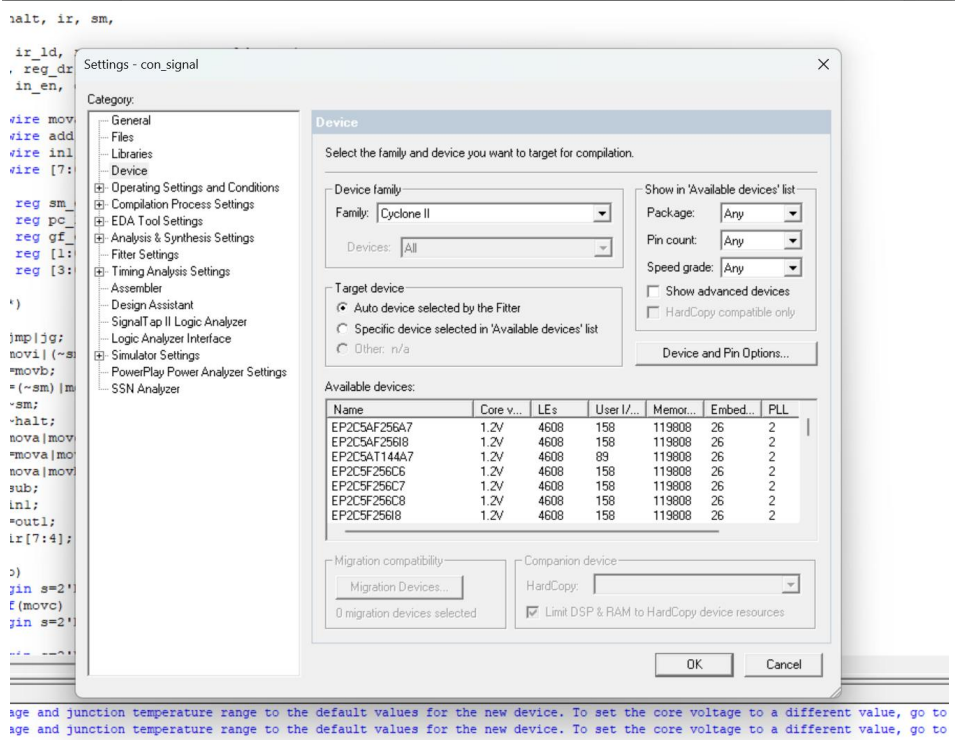
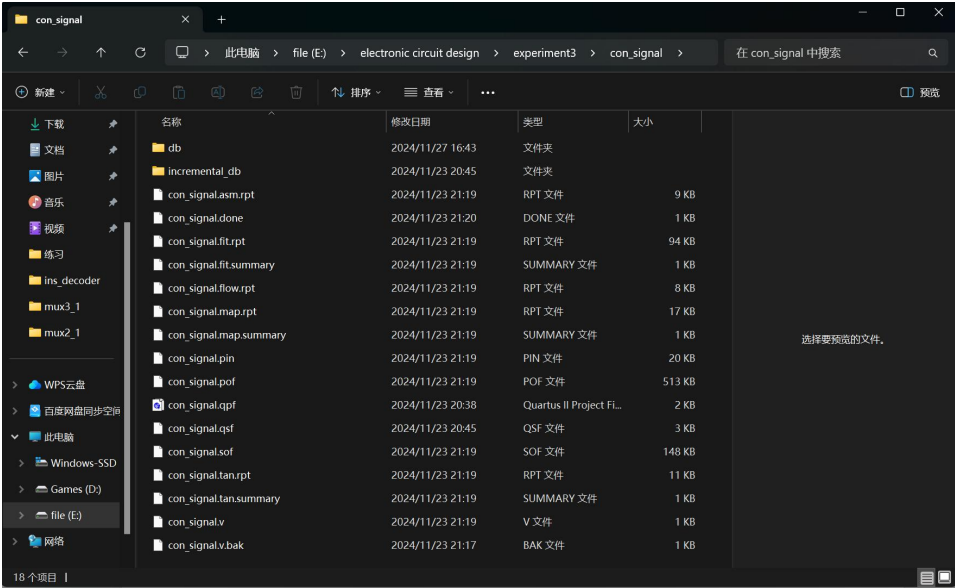
Timing Analyzer Summary									
	Type	Slack	Required Time	Actual Time	From	To	From Clock	To Clock	Failed Paths
1	Worst-case tpd	N/A	None	11.853 ns	s	y[3]	--	--	0
2	Total number of failed paths								0

tpd						
	Slack	Required P2P Time	Actual P2P Time	From	To	
1	N/A	None	11.853 ns	s	y[3]	
2	N/A	None	11.589 ns	s	y[7]	
3	N/A	None	11.512 ns	s	y[0]	
4	N/A	None	11.312 ns	s	y[6]	
5	N/A	None	10.903 ns	s	y[2]	
6	N/A	None	10.775 ns	s	y[4]	
7	N/A	None	10.676 ns	a[7]	y[7]	
8	N/A	None	10.568 ns	b[0]	y[0]	
9	N/A	None	10.537 ns	s	y[1]	
10	N/A	None	10.484 ns	s	y[5]	
11	N/A	None	10.456 ns	a[6]	y[6]	
12	N/A	None	10.429 ns	b[6]	y[6]	
13	N/A	None	10.362 ns	a[0]	y[0]	
14	N/A	None	10.253 ns	b[2]	y[2]	
15	N/A	None	10.249 ns	b[7]	y[7]	
16	N/A	None	10.241 ns	a[2]	y[2]	
17	N/A	None	9.820 ns	b[5]	y[5]	
18	N/A	None	9.712 ns	a[1]	y[1]	
19	N/A	None	9.559 ns	b[1]	y[1]	
20	N/A	None	9.479 ns	a[5]	y[5]	
21	N/A	None	7.419 ns	b[3]	y[3]	
22	N/A	None	7.254 ns	a[3]	y[3]	
23	N/A	None	6.361 ns	b[4]	y[4]	
24	N/A	None	6.067 ns	a[4]	y[4]	

结果分析及结论：对电路进行时序分析，由 Timing Analyzer Summary 可得所有经典定时分析的结果，并报告每个定时分析的最长延时。从 tpd 表中可以得到从不同源节点到不同目标节点的延时。例如第一行中表示从 s 到 y[3]的延时为 11.853ns。

3、控制信号产生逻辑

A) 创建工程（选择的芯片为 family=Cyclone II; name=EP2C5T144C8）



创建工程的时候忘记截图了，用工程文件夹代替。

B) 编写源代码

```

1 module con_signal(
2     mova, movb, movc, movd, add,
3     sub, jmp, jg, g, inl, outl,
4     movi, halt, ir, sm,
5
6     sm_en, ir_ld, ram_re, ram_wr, pc_ld, pc_in,
7     reg_sr, reg_dr, reg_we, s, au_en, au_ac,
8     gf_en, in_en, out_en, mux_s,
9 );
10
11 input wire mova, movb, movc, movd;
12 input wire add, sub, jmp, jg, g;
13 input wire inl, outl, movi, halt, sm;
14 input wire [7:0] ir;
15
16 output reg sm_en, ir_ld, ram_re, ram_wr;
17 output reg pc_ld, pc_in, reg_we, au_en;
18 output reg gf_en, in_en, out_en, mux_s;
19 output reg [1:0] reg_sr, reg_dr, s;
20 output reg [3:0] au_ac;
21
22 always @ (*)
23 begin
24     pc_ld=jmp|jg;
25     pc_in=movi|(~sm);
26     ram_wr=movb;
27     ram_re=(~sm)|movc|movi;
28     ir_ld=~sm;
29     sm_en=~halt;
30     mux_s=mova|movc|movi|add|sub|inl;
31     reg_we=mova|movc|movd|movi|add|sub|inl;
32     au_en=mova|movb|add|sub|outl;
33     gf_en=sub;
34     in_en=inl;
35     out_en=outl;
36     au_ac=ir[7:4];
37
38     if(movb)
39         begin s=2'b10; end
40     else if(movc)
41         begin s=2'b01; end
42     else
43         begin s=2'b00; end
44
45     reg_sr=ir[1:0];
46     reg_dr=ir[3:2];
47 end
endmodule

```

C) 编译与调试（包含编译调试过程中的错误、警告信息以及资源消耗）

Type	Message
Info	Quartus II Assembler was successful. 0 errors, 0 warnings
Info	Running Quartus II Classic Timing Analyzer
Info	Command: quartus_tan --read_settings_files=off --write_settings_files=off con_signal -c con_signal --timing_analysis_only
Info	Longest tpd from source pin "ram" to destination pin "pc_in" is 11.448 ns
Info	Quartus II Classic Timing Analyzer was successful. 0 errors, 0 warnings
Info	Quartus II Full Compilation was successful. 0 errors, 7 warnings

编译未出现严重错误（0 错误，7 警告）。

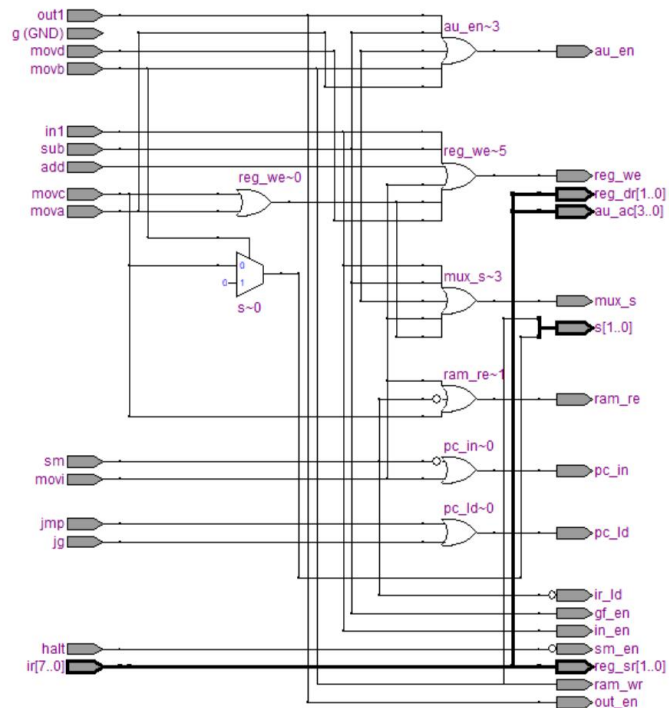
```

Flow Status          Successful - Wed Nov 27 16:56:45 2024
Quartus II Version   9.0 Build 184 04/29/2009 SP 1 SJ Web Edition
Revision Name        con_signal
Top-level Entity Name con_signal
Family               Cyclone II
Met timing requirements Yes
Total logic elements  9 / 4,608 (< 1 %)
  Total combinational functions 9 / 4,608 (< 1 %)
  Dedicated logic registers 0 / 4,608 (0 %)
Total registers       0
Total pins            44 / 89 (49 %)
Total virtual pins    0
Total memory bits     0 / 119,808 (0 %)
Embedded Multiplier 9-bit elements 0 / 26 (0 %)
Total PLLs            0 / 2 (0 %)
Device                EP2C5T144C6
Timing Models         Final

```

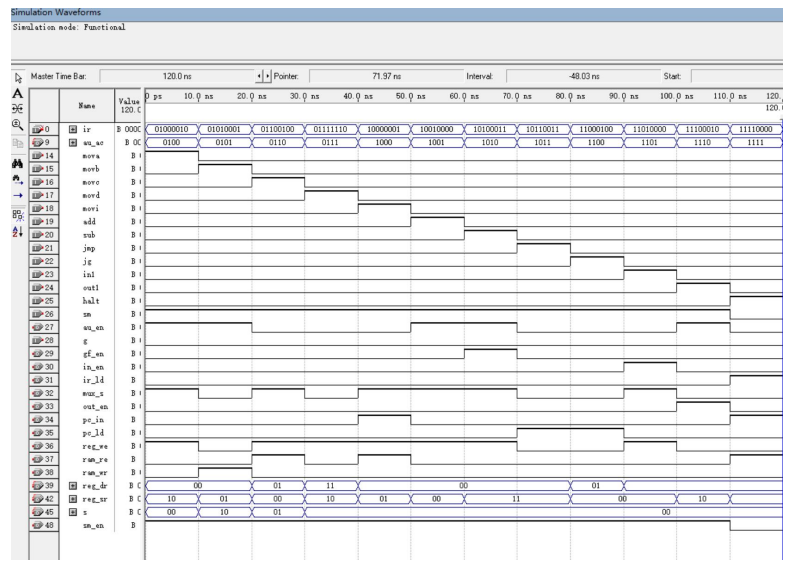
以上为资源消耗。

D) RTL 视图



结果分析及结论：对 RTL 视图进行观察，发现左侧为输入引脚，表示指令信号，右侧为输出引脚，代表不同的控制信号。中间有不同的元器件，使得不同的输入对应不同的输出。整个电路是根据控制信号真值表搭建的。

E) 功能仿真波形



结果分析及结论：对电路进行功能仿真，得到以下波形图。根据比对可得，波形图与真值表一致，表示电路设计符合要求。

四、思考题

- 1、任选一条指令，介绍指令的过程、信息流动的情况以及执行时控制信号的值。

MOVA 指令

操作：源寄存器 Rs 中的数据写入目的寄存器 Rd，即 Rs->Rd

执行过程：根据控制信号 SR1、SR0 选择源寄存器 Rs 的数据从通用寄存器 S 口输出，在 AC3-AC0 和 AU_EN 的控制下，经 AU 送入总线 BUS；S0 为 1，BUS 上的数据传送至通用寄存器的输入端，在 WE 和 DR1 和 DR0 的控制下，时钟下降沿将输入端的数据写入目的寄存器 Rd。

- 2、如何产生正确的控制信号以及具体的编程实现？

首先要声明输入和输出变量，通过不同指令需要的控制信号列出真值表。

真值表如下：

	PC		3-1	RAM		IR 寄存器	指令译码器	2-1	寄存器			AU		PSW	IN	OUT
指令	LD_PC	IN_PC	S[2:1]	WR	RE	LD_IR	SM_EN	S0	SR[1:0]	DR[1:0]	WE	AU_EN	AC[3:0]	G_EN	IN_EN	OUT_EN
取指	0	1	0, 0	0	1	1	1	1	0, 0	0, 0	0	0	0000	0	0	0
JMP	1	0	00	0	0	0	1	0	11	00	0	0	1010	0	0	0
JG	1	0	00	0	0	0	1	0	11	00	0	0	1011	0	0	0
MOVA	0	0	0	0	0	0	1	1	2b'xx	2b'xx	1	1	100	0	0	0
MOVB	0	0	10	1	0	0	1	0	2b'xx	0	0	1	101	0	0	0
MOVC	0	0	1	0	1	0	1	1	0	2b'xx	1	0	110	0	0	0
MOVD	0	0	0	0	0	0	1	0	0	11	1	0	111	0	0	0
MOVI	0	1	0	0	1	0	1	1	2b'xx	0	1	0	1110	0	0	0
ADD	0	0	0	0	0	0	1	1	2b'xx	2b'xx	1	1	1000	0	0	0
SUB	0	0	0	0	0	0	1	1	2b'xx	2b'xx	1	1	1001	1	0	0
IN	0	0	0	0	0	0	1	1	0	2b'xx	1	0	1100	0	1	0
OUT	0	0	0	0	0	0	1	0	2b'xx	0	0	1	1101	0	0	1
HALT	0	0	0	0	0	0	0	0	0	0	0	0	1111	0	0	0

通过真值表编写代码，将所有信号为 1 的指令情况用“或”符号连接即可。

五、实验总结、必得体会及建议

- 1、从需要掌握的理论、遇到的困难、解决的办法以及经验教训等方面进行总结。

- （1）需要掌握的理论：模型机的内部结构和工作原理，学会使用 VERILOG 语言编写简单电路。
- （2）遇到的困难：软件使用不够熟悉，经常不知道如何正确操作；编写 VERILOG 代码块时常出现编译错误；在模型机总体架构的掌握上尚有欠缺。
- （3）解决的办法：上网查找资料，与他人讨论。
- （4）经验教训：多加实践，提升电路的设计能力和编写 VERILOG 代码的能力。学会将课上学到的知识灵活运用在实际的电路设计中。

- 2、对本实验内容、过程和方法的改进建议（可选项）。