

[Ir a Campus >](#)[Cerrar Sesión >](#)[← VOLVER A MIS CURSOS](#)[Mis cursos](#) > [2024-1 ARQUITECTURA DE COMPUTADORAS \(1IEE14-0621\)](#) > [Laboratorios](#)> [Lab6 - Prueba de Entrada H0622](#)

2024-1 ARQUITECTURA DE COMPUTADORAS (1IEE14-0621)

Comenzado el	viernes, 3 de mayo de 2024, 19:10
Estado	Finalizado
Finalizado en	viernes, 3 de mayo de 2024, 20:07
Tiempo empleado	57 minutos 39 segundos
Calificación	Sin calificar aún

Pregunta 1

Finalizado

Puntúa como 10,00

Considere una memoria caché de 128 Bytes. Con 12 bits de dirección y bloques de 32 bytes. La caché inicia vacía. Encuentras las direcciones y su mapeo a los bloques de caché e indica si hay hit o miss para las siguientes direcciones de memoria. De igual manera, calcula el tiempo promedio de acceso a memoria.

Direcciones: 0x080, 0x0A0, 0x000, 0x040, 0x0E0, 0x0A0, 0x000, 0x080, 0x190, 0x1A0, 0x000, 0x040, 0x1C0, 0x0A0, 0x080, 0x190

Resolver para Mapeo Directo, Mapeo Asociativo y Mapeo de N-vías

Asuma:

FIFO

N = 2

Hit = 2 ciclo de reloj

Miss = 5 ciclos de reloj

#bloques en memoria caché=128bytes/32bytes=4

Al tener 12 bits de direcciones tenemos que podemos tomar desde 0 a 4095

Tamaño del bloque de la caché=Tamaño del bloque de memoria principal =32 bytes

https://docs.google.com/spreadsheets/d/1-ZKctXE8FcgnPoluvbW9Wfn1O_jmAN0DEvBxAwPR2hc/edit?usp=sharing

ASISTENCIA DTI

asistencia-dti@pucp.edu.pe

Manual de Usuario

[◀ Lab5 - Parte Práctica H0622](#)[Ir a...](#)

