

Aluno: Dênis Varga Teixeira

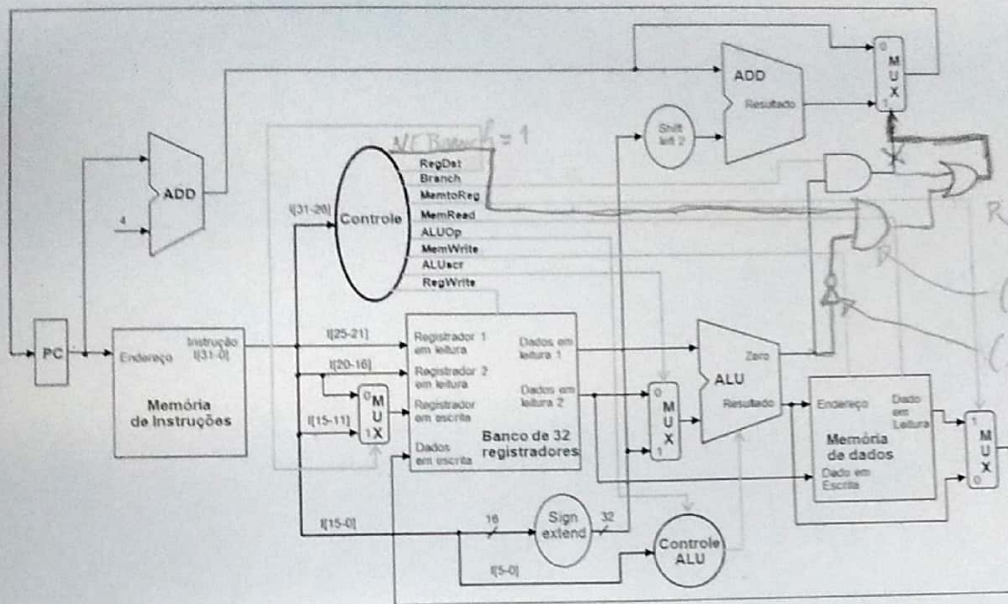
Matrícula: 201713225

1. (2.5) Explique e desenhe as modificações, se necessárias, no datapath do MIPS Monociclo e também forneça todos os valores dos sinais de controle para executar a instrução BNE (Branch Not Equal) que tem o seguinte formato e comportamento:

BNE \$s1, \$s2, LABEL (Tipo I)

Se \$s1 for diferente de \$s2 $\rightarrow PC = PC + 4 + ((IMED16)32 \ll 2)$

Senão $\rightarrow PC = PC + 4$



Controle	Valor
RegDst	X
Branch	0
NEBranch	1
MemtoReg	X
MemRead	0
AluOp	Sub
MemWrite	0
AluSrc	0
RegWrite	0

2. (4.5) Considere os dados apresentados na tabela abaixo para calcular o tempo de execução da aplicação A e B nos processadores descritos. A aplicação A executa 1.3 Bilhões de instruções e a aplicação B executa 7 milhões de instruções.

APP	Beq	Log/Arit	LW	SW	Beq Taken	Dep AritLog-AritLog	Dep Lw-AritLog
A	33%	28%	18%	21%	90%	70%	40%
B	5%	30%	40%	25%	10%	30%	5%

- P1) MIPS Pipeline 8 estágios sem forwarding (F1-F2-D-E1-E2-M1-M2-WB) (1.0) 0,7
- Cálculo do branch no quinto estágio de pipeline
 - Preditor de desvios dinâmico de 1 bit com taxa de acerto de 50%
 - Leitura no banco de registradores no terceiro estágio e escrita no oitavo
 - Frequência de 1.5GHz
- P2) MIPS Pipeline 8 estágios com forwarding somente de Instruções AritLog para AritLog (F1-F2-D-E1-E2-M1-M2-WB) (1.0) 0,9
- Cálculo do branch no quarto estágio de pipeline
 - Preditor de desvios estático Not Taken
 - Leitura no banco de registradores no terceiro estágio e escrita no oitavo
 - Término do cálculo de todas instruções aritméticas e lógicas no quinto estágio de pipeline
 - Frequência de 1GHz
- P3) MIPS Pipeline 8 estágios com forwarding completo (F1-F2-D-E1-E2-M1-M2-WB) (1.0) 0,5
- Cálculo do branch no terceiro estágio de pipeline
 - Preditor de desvios dinâmico bimodal com taxa de acerto de 90%
 - Cálculo do endereço de memória no quinto estágio de pipeline
 - Frequência de 200 MHz
- P4) MIPS Multiciclo com Frequência de 4GHz (0.5) 0

Ordene das aplicações nos processadores em forma crescente de tempo de execução e faça uma análise crítica/técnica que sustente esta ordenação. Nesta análise, devem ser consideradas as características das aplicações e dos processadores. (1.0) 0,3

3. (3,0) Considere que o branch do loop abaixo seja verdadeiro para $i=0$, $i=1$ e $i=2$ e falso para $i=3$
- ```

1 Loop: LW R2, 0(R1)
2 SUB R4, R2, R5
3 ADD R1, R1, R4
4 BEQ R1, R9, Loop
5 SLL R6, R8, R7
6 ADDI R9, R10, #8

```
- Demonstre a execução das instruções das iterações de  $i=0$  até  $i=3$  deste loop em um MIPS Pipeline 5 estágios (F-D-EX-MEM-WB) com um preditor de desvios estático NOT TAKEN e sem a técnica de forwarding. O cálculo do branch é realizado no terceiro estágio do pipeline. (1.5) 0,3
  - Demonstre a execução das instruções das iterações de  $i=0$  até  $i=3$  deste loop em um MIPS Pipeline 5 estágios (F-D-EX-MEM-WB) com um preditor de desvios dinâmico bimodal com a técnica de forwarding. O cálculo do branch é realizado no segundo estágio do pipeline. (A máquina de estados do preditor inicia no estado NOT TAKEN (01). Demonstre a máquina de estados do preditor de desvios para cada uma das previsões.) (1.5) 0,75