**III** Navegação do

1 2 3 4 5

Terminar revisão

6

questionário

## CIRCUÍTOS DIGITAIS

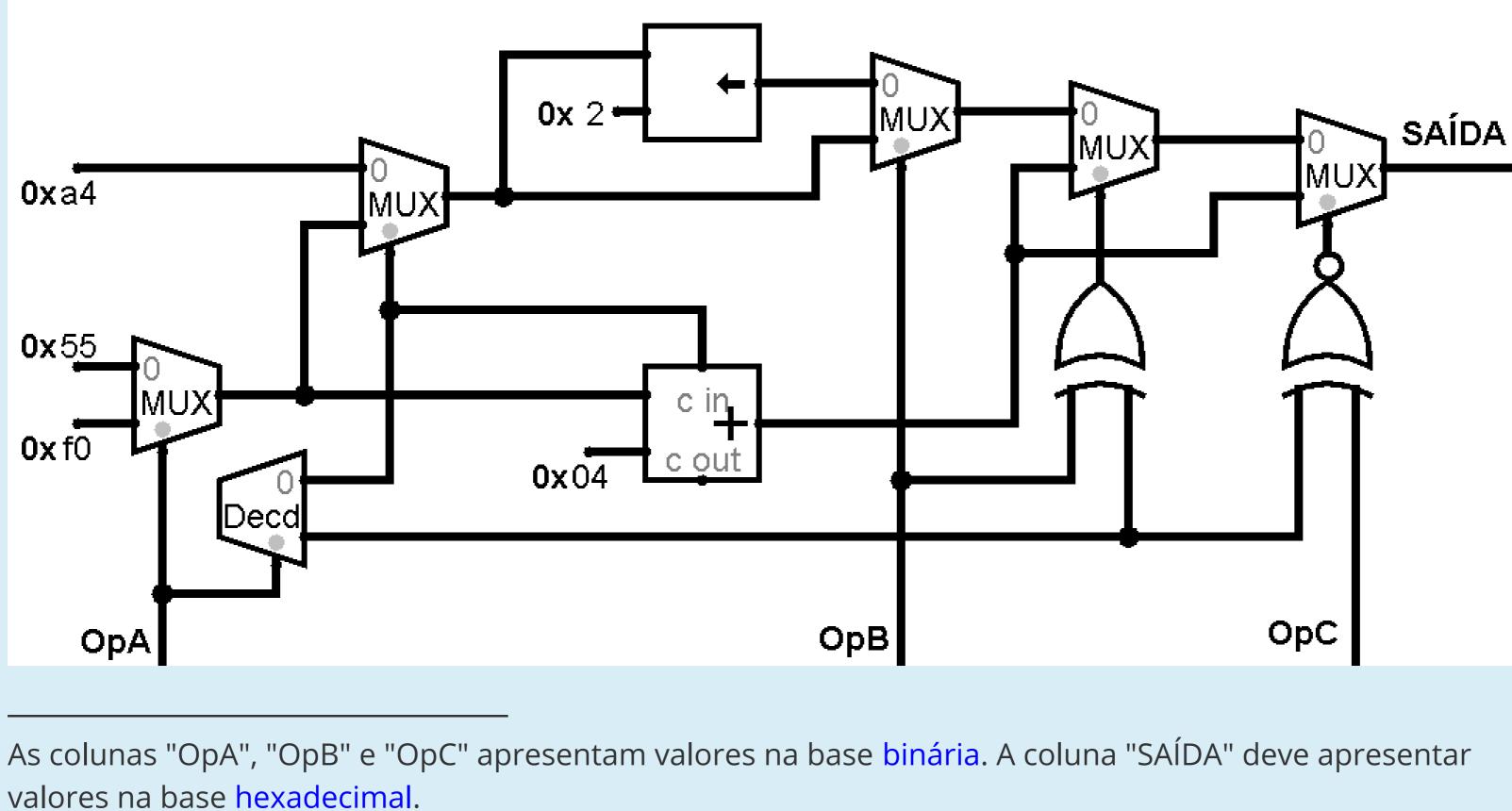
Painel / Presencial • UFSM / Ciência da Computação - Bacharelado / 2020/1. Semestre / / PROVAS VIRTUAIS 2020 / PROVA 2 - P2

Iniciado em segunda, 28 set 2020, 16:51 Estado Finalizada Concluída em segunda, 28 set 2020, 19:12 **Tempo** 2 horas 21 minutos empregado

Questão 1 Parcialmente correto Vale 2,00 ponto(s). Marcar Marcar

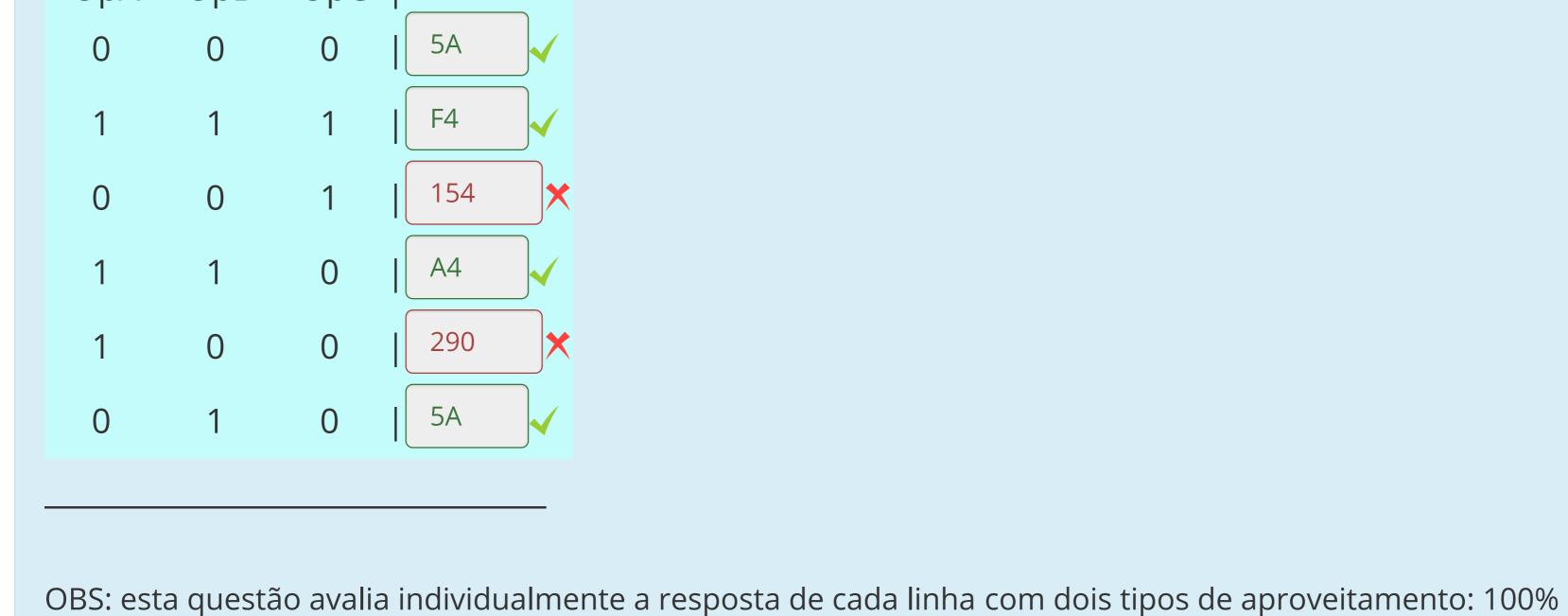
questão

Considere os circuitos de interconexão e aritméticos. Analisar o circuito para os valores de "SAÍDA" (hexadecimal) de acordo com as combinações das entradas apresentadas no esquemático abaixo e na tabela (c in = carry in).shift left



Preencha a tabela abaixo, inserindo nos campos da coluna "SAÍDA" apenas os algarismos referentes à interpretação do fluxo de dados do circuito desta questão. Não usar identificadores de base nas respostas. É

indiferente usar letras maiúsculas ou minúsculas. SAÍDA OpC OpB OpA



todas as linhas.

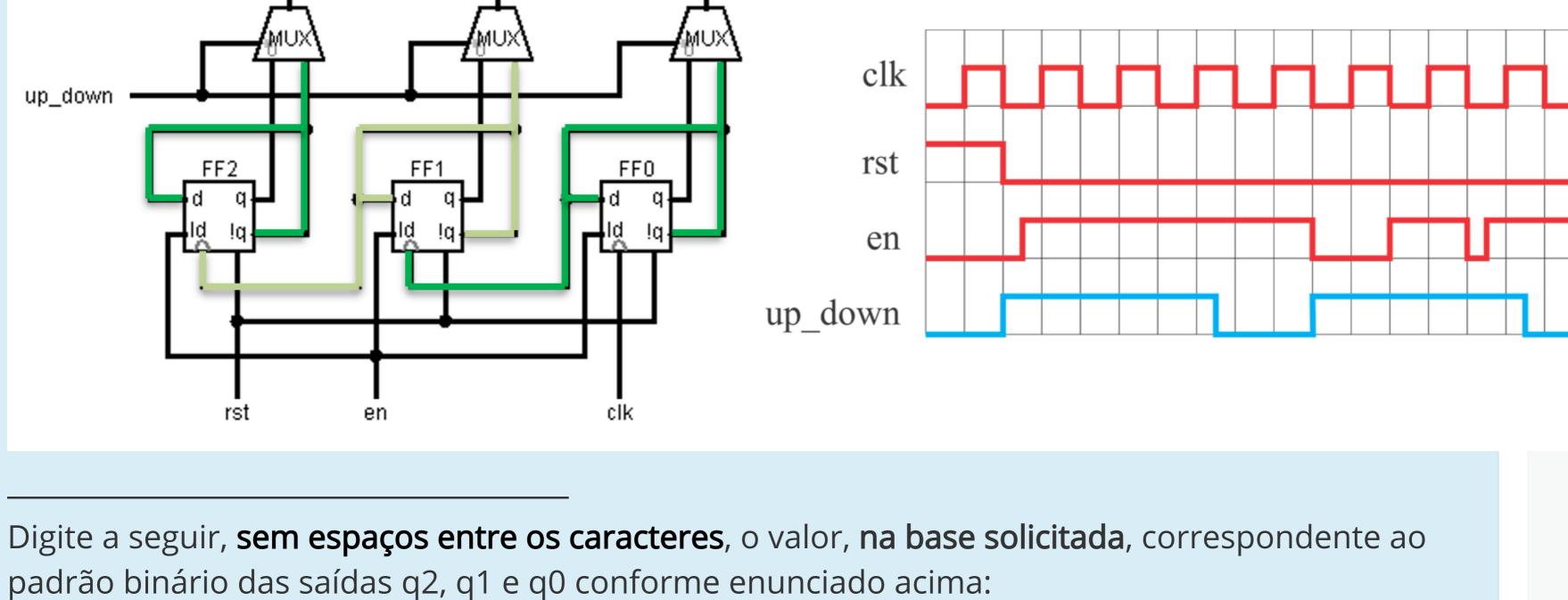
ou 0% e, atribuindo o índice de acerto para a questão de forma proporcional, considerando as respostas de

Questão 2 Correto Vale 2,00 ponto(s). **Marcar** questão

base especificada, das saídas q2, q1 e q0, imediatamente após o fim do conjunto de ondas. Os flip-flops possuem *reset* assíncrono e controle de escrita dado pela entrada "en".

Considere para esta questão: o circuito contador *up/down* de 3 bits, sendo "q2" o MSB e "q0" o

LSB e; a sequência de formas de onda apresentada. Indique, nos espaços reservados, o valor, na



OBS: esta questão avalia a resposta de forma **única** e **não** caractere-a-caractere, ou seja, a correção retornará

os campos.

a) (

Considere um circuito contendo flip-flops D com clock sensível à borda de subida e *reset* assíncrono ativo em alto e um latch D sensível ao nível baixo e, o diagrama de formas de onda. O

nível lógico inicial para a saída Q do latch está mostrado no diagrama. Imprima ou copie este

índice de acerto igual a 100% ou 0% para cada campo e, proporcionalmente na questão considerando todos

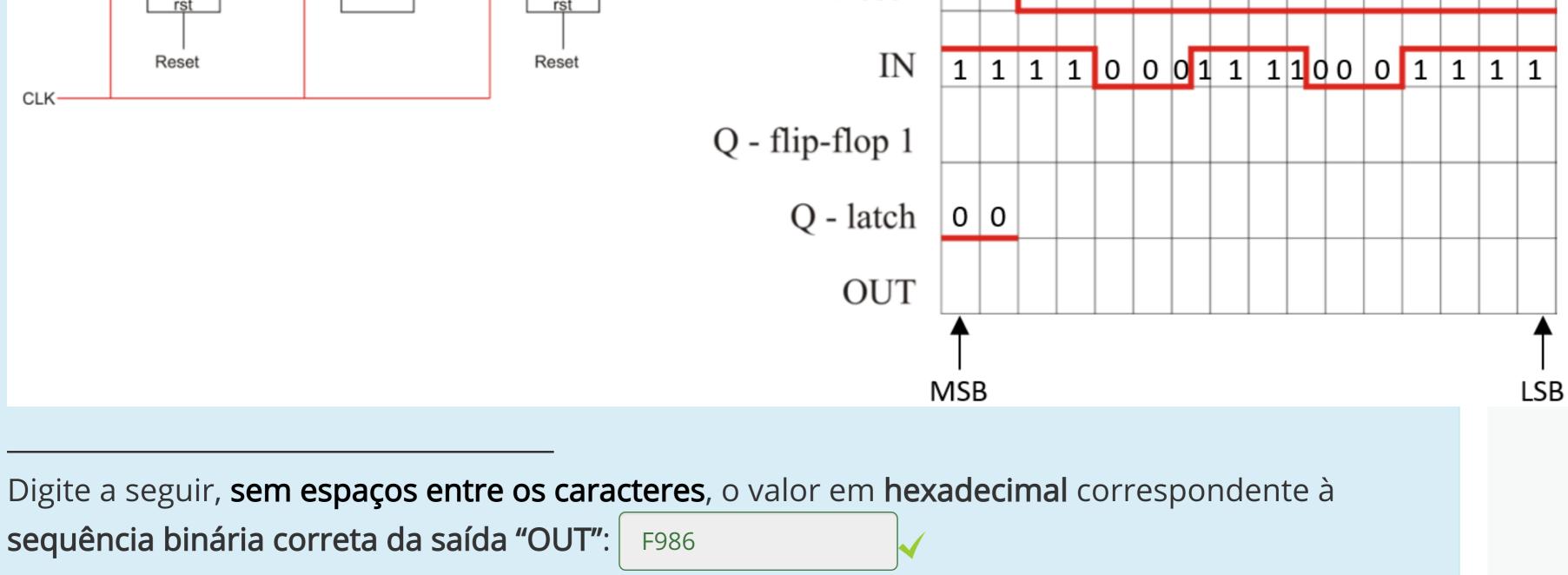
ponto(s). Marcar questão

Questão **3** 

Correto

Vale 2,00

diagrama e complete no espaço reservado o comportamento dinâmico da saída "OUT" de acordo com a variação das entradas mostrada no diagrama. À cada intervalo de tempo, atribua um bit igual a "0" ou igual a "1" para a saída "OUT", de acordo com o valor lógico calculado em função das entradas e do esquemático apresentado. flip-flop 1 CLK 0 1 0 1 0 1 0 1 0 1 0 1 0 1 D OUT 1 1 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 Reset



índice de acerto igual a 100% ou 0%.

Considere o diagrama de OK <= 0 transição de estados desta TR50 <= 0 questão. Este diagrama M50=1 and M1R=0 M1R=1 and M50=0

OBS: esta questão avalia a resposta de forma **única** e **não** caractere-a-caractere, ou seja, a correção retornará

**Marcar** questão

Questão 4

correto

Vale 2,00

ponto(s).

Parcialmente

tendo como entradas M50 (moeda de R\$ 0,50) e **M1R** (moeda de R\$ 1,00) e saídas **OK** (fim da operação) e TR50 (troco de R\$ 0,50). O reset do circuito é ativo em nível lógico 1 e os flip-flops são sensíveis à borda de subida do clock. OK.

**™**EA

S0

hexadecimal e informe o resultado no campo a seguir: ( 000

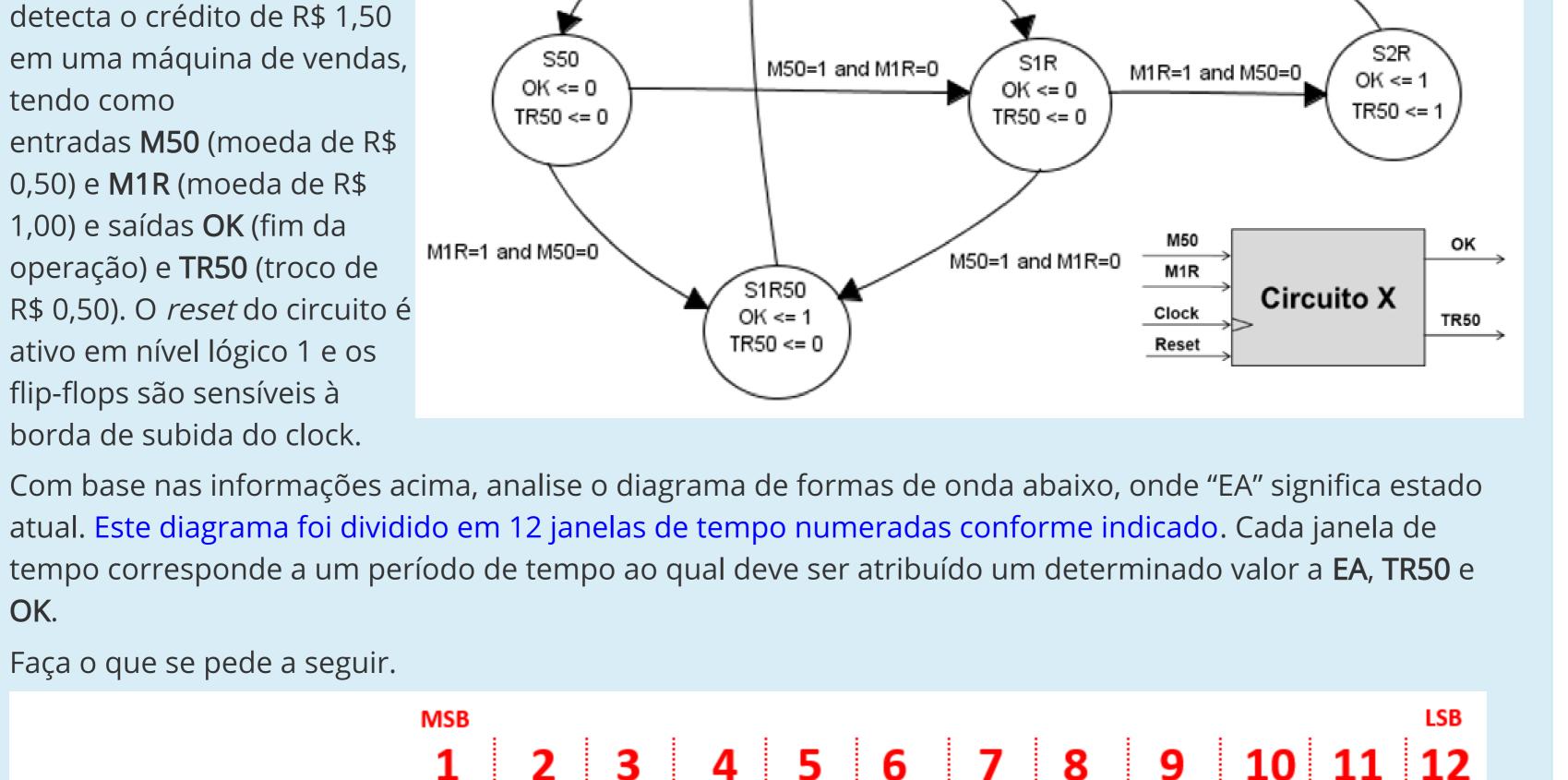
data out

data in

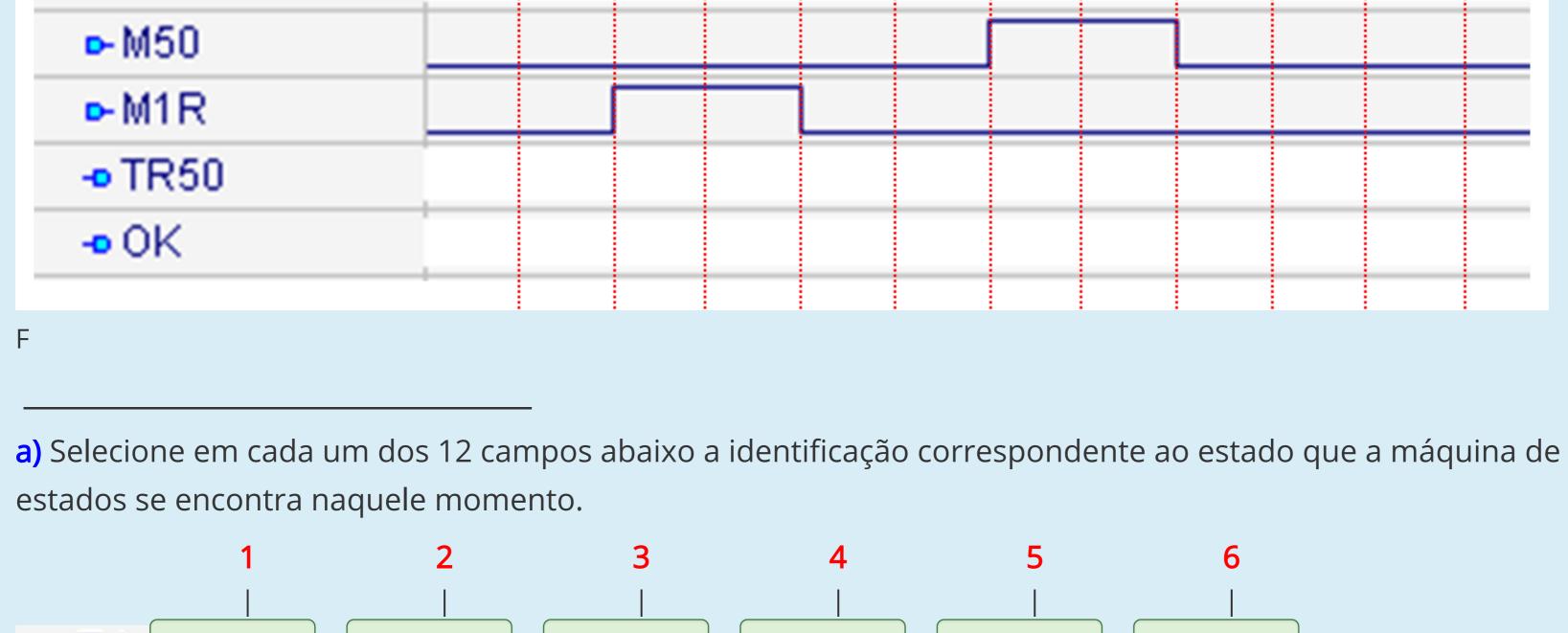
OBS: as respostas nos campos reservados devem estar na base decimal.

**S**0

representa um circuito que



reset clock **™**EA



S1R50 S1R50 S0 S0 S0 b) Analise o comportamento dinâmico da saída TR50 atribuindo um valor binário a cada intervalo de tempo especificado no diagrama de formas de onda. Converta o padrão binário encontrado para a base

S1R

10

S1R

11

S1R

12

hexadecimal e informe o resultado no campo a seguir: ( 018 OBS: Cada campo da letra "a" é avaliado individualmente. Já as respostas das letras "b" e "c" possuem dois

c) Analise o comportamento dinâmico da saída OK atribuindo um valor binário a cada intervalo de tempo

especificado no diagrama de formas de onda. Converta o padrão binário encontrado para a base

tipos de aproveitamento: 100% ou 0%. O valor de cada letra corresponde a 1/3 da questão.

Em relação à memória abaixo, cuja escrita é síncrona e a leitura é assíncrona e, considerando as entradas/saídas apresentadas, responda:

Questão **6** 

Completo

Não avaliada

Marcar

questão

address

Professor,

Memória

Questão **5** 

Correto

Vale 2,00

ponto(s).

questão

Marcar

Qual a capacidade de armazenamento em *bytes* considerando n=5 e m=32? capacidade =  $\checkmark_{10}$  bytes 128 Qual deve ser a largura do barramento de endereços *n* considerando que o barramento de dados *m* tenha largura igual a 8 bits e a capacidade de armazenamento total da memória seja igual a 1 KB? n = 10

O espaço abaixo é reservado para que você possa adicionar algum comentário que achar

pertinente

ATENÇÃO! O CAMPO ABAIXO NÃO SERÁ UTILIZADO PARA CORREÇÃO DE NENHUMA QUESTÃO DA

**PROVA** 

**}** 

considerei overflow. O número de bits quando se utiliza o shifter vai para 12, em alguns casos.

Na questão 1, não havia nada concreto afirmando que obrigatoriamente o circuito suporta somente 8 bits, então não

**Contato**: ⊠ *suportemoodle@nte.ufsm.br* | **\** *Telefone de contato*