



🎓 教育背景

中山大学 硕士 电路与系统

* 研究生一等奖学金

* 专业排名: 前 5%

Sep 2020 - Jun 2023

武汉科技大学 学士 电子信息工程

* 本科优秀毕业生

* 专业排名: 4/400+

Sep 2016 - Jun 2020

🚀 部分项目

- 针对 AI 应用高密度可配置的 SRAM 数字存算一体宏电路 科研项目-项目负责人 | Oct 2021 - 至今
- 128Kb 的 SRAM 存算宏电路, 创新的电路结构极大提高了存算单元的存储密度以及实现了超高的能效比, 电路的版图在 TSMC 40nm 工艺下实现。该项目以第一作者发表发明专利一篇, 以第一作者投递 IEEE Trans 论文一篇(正在评审)。
- 负责整体电路结构的提出和设计;
 - 部分定制单元如 Decoder, SRAM Cell 等的电路设计和版图绘制;
 - 数字部分电路的设计以及版图生成, 整体电路版图的整合;

- [低功耗智能语音交互 MCU](#) 实习项目 | Jul 2021 - Oct 2021
- 负责红外线 IR 发射和接收模块的设计;
 - 参与部分 AHB 总线的外设验证(UART, DMA, FIFO...);
 - 参与集成内存卡 SDIO IP 到系统以及验证 IP;

- [RISCV151 处理器设计和实现](#) 个人作品 | Jun 2021 - Jul 2021
- 一个 3 级流水线 RSIC-V CPU 完全支持 RV32I ISA。系统中集成 CNN 加速器和 DMA, 使用 AXI 总线进行数据交互。该设计在 Xilinx FPGA 中实现和测试, FPGA 的时钟频率最高可达 70Mhz, 运行矩阵乘法 benchmark, CPU 的平均 CPI 为 1.18。

- [基于 ARM-CORTEX 和 MFCC+CNN 算法的语音识别 SOC](#) 个人作品 | Mar 2021 - Jun 2021
- 算法部分提取语音信号的梅尔频率倒谱系数(MFCC)特征, 然后通过 CNN 网络来对特征进行分类; 硬件集成了 cortex-M3 核, 以及多个浮点加速运算单元, 如 MFCC 特征提取加速器, 浮点速运算单元等, 各个模块和外设用 AHB 总线连接; 系统在 FPGA 上实现测试, 软件使用 C 语言在 ARM 的 uVision 环境下开发, 实际上版测试识别准确率高达 90%。

🏢 实习经历

- 台积电(南京)设计中心-NJDC, Digital IP Department Intern Jul 2022 - Aug 2022
- 先进工艺(14nm 以下)数字标准单元库的文件(LEF)生成。
- 珠海普林芯驰 [SpaceTouch](#), 数字电路设计实习生 Jul 2021 - Sep 2021
- AHB 总线的外设验证和设计;
 - 神经网络加速器 NPU 的验证工作;

👤 技能

基础知识:

- > CMOS VLSI
- > Computer Architecture
- > 静态时序分析 STA
- > RTL2GDS 流程
- > 深度学习算法
- > DSP 数字信号处理

EDA 工具使用:

- > VCS/Iverilog&Verdi
- > Cadence Genus
- > Cadence Innovus
- > Cadence Virtuoso
- > Calibre DRC/LVS/PEX
- > Xilinx Vivado

编程和硬件建模语言:

- > Verilog
- > C/C++
- > Python
- > MATLAB
- > SPICE
- > Tcl & Skill

其他:

- > AHB & AXI Bus
- > Cortex-M3 IP 使用
- > Calibre SVRF
- > RISC-V
- > Git&Make
- > Linux