

```
library ieee;
use ieee.std_logic_1164.all;
entity pract1 is port (
    sel : in std_logic_vector(1 downto 0);
    clk,clr,d,t,s,r,j,k : in std_logic;
    disp: out std_logic_vector(5 downto 0)
);

attribute pin_numbers of pract1: entity is
    "d:3 t:4 s:5 r:6 j:7 k:8 sel(1):9 sel(0):10 " &
    "disp(5):23 disp(4):22 disp(3):21 disp(2):20 disp(1):19 disp(0):18";
end pract1;

architecture apract1 of pract1 is
    signal qd,qt,qsr,qjk,mux : std_logic;
begin

    --flip flop D
    process(clk,clr) begin
        if(clr = '1') then qd <= '0';
        elsif(rising_edge (clk)) then qd <= d;
        end if;
    end process;

    --flip flop T
    process(clk,clr) begin
        if(clr = '1') then qt <= '0';
        elsif(rising_edge (clk)) then qt <= t xor qt;
        end if;
    end process;

    --flip flop SR
    process(clk,clr) begin
        if(clr = '1') then qsr <= '0';
        elsif(rising_edge (clk)) then qsr <= s or (qsr and not r);
        end if;
    end process;

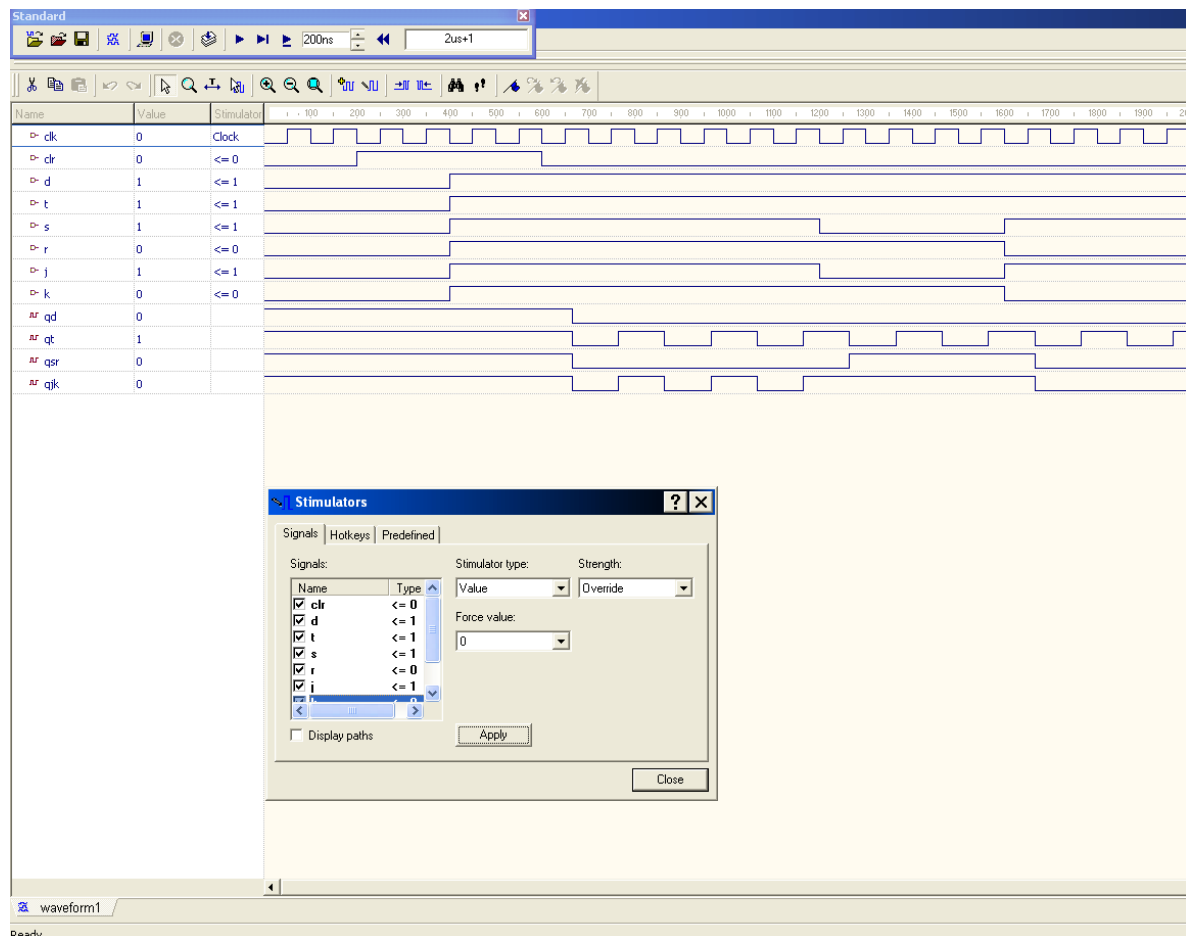
    --flip flop JK
    process(clk,clr) begin
        if(clr = '1') then qjk <= '0';
        elsif(rising_edge (clk)) then qjk <= (j and not qjk) or (qjk and not k);
        end if;
    end process;
```

```
--mux
```

```
process(qd,qt,qsr,qjk)begin
  case sel is
    when "00" => mux <= qd;
    when "01" => mux <= qt;
    when "10" => mux <= qsr;
    when "11" => mux <= qjk;
    when others => mux <= '0';
  end case;
end process;
```

```
--deco
```

```
process(mux) begin
  case mux is
    when '0' => disp <= "000000";
    when '1' => disp <= "100111";
    when others => disp <= "011000";
  end case;
end process;
end apract1;
```



CUESTIONARIO:

1. ¿Cuántos dispositivos PLD 22V10 son necesarios para el desarrollo de esta práctica? R = 1
2. ¿Cuántos dispositivos de la serie 74xx (TTL) ó 40xx (CMOS) hubieras necesitado para el desarrollo de esta práctica? R = 14-16
3. ¿Cuántos pines de entrada/salida del PLD 22V10 se usan en el diseño? R = 10 y 6
4. ¿Cuántos términos producto ocupan las ecuaciones para cada señal de salida y que porcentaje se usa en total del PLD 22V10? R = 16/121 o 13%
5. ¿Por qué aparecen las señales QJK, QT, QD Y QSR entre paréntesis en los pines de salida?
R = Porque son señales, se usan para funciones internas.
6. ¿Cuáles son las señales que funcionan de manera síncrona y cuáles de manera asíncrona?
R = (qsr) asíncrono, (qd) síncrono, (qjk y qt) síncrono/asíncrono.
7. ¿Qué puedes concluir de esta práctica?
R = Los elementos de memoria que se utilizan en los circuitos secuenciales de reloj se llaman flip - flops estos circuitos son celdas binarias capaces de almacenar un bit de información. Un flip - flop tiene dos salidas, una para valor normal y otra para el valor complementario del bit almacenado.