

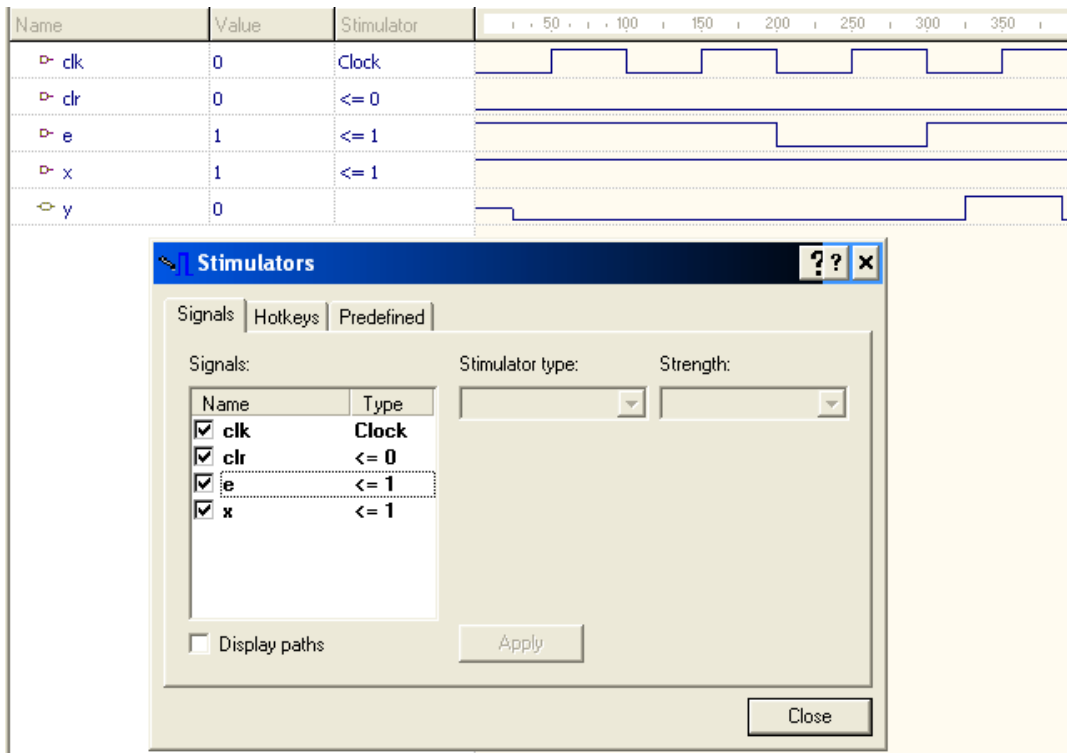
```
library ieee;

use ieee.std_logic_1164.all;

entity pract3 is port(
    clk, clr, e: in std_logic;
    y: out std_logic;
    dis: out std_logic_vector(6 downto 0)
);
attribute pin_numbers of pract3: entity is
    "clr:3 e:4 " &
    "dis(0):14 dis(1):15 dis(2):16 dis(3):17 dis(4):18 dis(5):19 dis(6):20 ";
end pract3;

architecture apract3 of pract3 is
    signal q1, q0: std_logic;
begin
    process(clk, clr) begin
        if(clr = '1') then
            q1 <= '0';
            q0 <= '0';
        elsif rising_edge(clk) then
            q0 <= (q0 and (not q1)) or (e and q1 and (not q0));
            q1 <= (e and (q0 xnor q1)) or (q0 and (not q1) and (not e));
        end if;
    end process;

    y <= e and q0 and q1;    process(y) begin
        if(y = '1') then dis <= "0110000";
        else dis <= "0001000";
        end if;
    end process;
end apract3;
```



CUESTIONARIO

1. ¿Cuántos dispositivos PLD 22V10 son necesarios para el desarrollo de esta práctica? R= 2
2. ¿Cuántos dispositivos de la serie 74xx (TTL) ó 40xx (CMOS) hubieras necesitado para el desarrollo de esta práctica? R= 25/30
3. ¿Cuántos pines de entrada/salida de los PLD 22V10 se usan en el diseño? R= 15 in y 14 out
4. ¿Cuántos términos producto ocupan las ecuaciones para cada señal de salida y qué porcentaje se usa en total de los PLD 22V10? R= 13/121, 10%
5. ¿Cuántos FF's se ocupan en el PLD para implementar la máquina Mealy del detector de secuencia? R= 8
6. ¿Cuántas terminales de salida se usan en PLD2? R= 7
7. ¿Por qué se habilita el módulo de 3 displays multiplexados, a pesar de no declarar las señales AN en el programa? R= Gracias a la configuración predeterminada
8. ¿Qué puedes concluir de esta práctica? R= Las maquinas de Mealy son una herramienta importante para detectar cuando una cadena o conjunto de bits es la aceptada por el autómata, en este caso, como no tiene un estado final, puede continuar con su tarea hasta que queramos.