



Universidad de Costa Rica
Escuela de Ingeniería Eléctrica
Microprocesadores
IE-0623

EIE

Escuela de
Ingeniería Eléctrica

III Ciclo 2020

Datos del Profesor:

- Rafael Esteban Badilla Alvarado
- 8413-9015
- rafael.badilla@ucr.ac.cr

Datos de la asistente:

- Mariela Hernández Chacón
- 8492-9881
- mariela.hernandezchacon@ucr.ac.cr

Descripción del curso:

Este es un curso de microprocesadores, arquitectura y programación. Se cubren conocimientos sobre arquitectura de microprocesadores, modelos de programación y programación en lenguaje ensamblador. Se utiliza un microcontrolador como referencia de implementación del modelo ISA para procesadores incrustados y se aprende el uso de herramientas de desarrollo como IDE, simuladores y sistemas de desarrollo.

Créditos: 3

Horas lectivas: 10 horas semanales

Modalidad: Virtual

Requisitos y Correquisitos: IE-321 Estructura de Computadoras Digitales I

Objetivo general: Que la persona estudiante adquiera conocimientos para el análisis y diseño de sistemas desarrollados con procesadores incrustados.

Objetivos específicos: Al finalizar el curso los estudiantes tendrán las habilidades y destrezas para:

- Conocer y entender el modelo ISA.
- Analizar la arquitectura de un microprocesador.
- Entender el modelo de programación de un microprocesador.
- Diseñar programas para aplicaciones con microprocesadores.
- Programar en lenguaje ensamblador.
- Utilizar simuladores de microprocesadores.
- Entender y analizar arquitecturas de microcontroladores.
- Aprender el uso de la herramienta de desarrollo Dragon 12 +
- Diseñar e implementar sistemas incrustados.

Metodología: Todo el curso se gestionará por medio de la plataforma *Mediación Virtual*. El curso se divide en capítulos, cada capítulo se subdivide en temas y los temas son expuestos mediante videos, ya sea de manera sincrónica o asincrónica. Los videos de las clases serán colocados de manera ordenada, con base en los temas de cada capítulo y apegados al cronograma del curso. Se utilizará la plataforma Zoom para las sesiones en línea.



Universidad de Costa Rica
Escuela de Ingeniería Eléctrica
Microprocesadores
IE-0623

EIE

Escuela de
Ingeniería Eléctrica

Contenidos

I Parte:

Arquitectura de procesadores y modelo ISA del 9S12

1. Procesadores incrustados
 - 1.1. Introducción
 - 1.2. Modelo de la Arquitectura ISA
 - 1.2.1. Operaciones
 - 1.2.2. Operandos
 - 1.2.3. Almacenamiento
 - 1.2.4. Modos de direccionamiento
 - 1.2.5. Manejo de Interrupciones y excepciones
 - 1.2.6. Modelos ISA
 - 1.2.6.1. ISA de aplicación específica
 - 1.2.6.2. ISA de Propósito General
 - 1.2.6.3. ISA Parallel Instruction Level
 - 1.3. Diseño interno del procesador
 - 1.3.1. Arquitecturas de Harvard y Vonn Newman
 - 1.3.2. La CPU
 - 1.3.3. La memoria
 - 1.3.4. Procesamiento de I/O
2. Desarrollo de aplicaciones
 - 2.1. Microcomputadores, microprocesadores, microcontroladores, SoC
 - 2.2. Selección de un microcontrolador
 - 2.3. Proceso de desarrollo
 - 2.4. Procesadores incrustados Freescale de NXP
 - 2.4.1. Familias de Microcontroladores
 - 2.4.2. Familia HC12/S12
 - 2.4.3. Recursos de desarrollo
3. Modelo ISA del 9S12. Parte I
 - 3.1. Modelo de programación
 - 3.2. Registro de Banderas
 - 3.3. Organización de Memoria
 - 3.4. Formato de las instrucciones en ensamblador
 - 3.5. Tipos de Instrucciones
 - 3.6. Instrucciones de movimiento y manipulación de datos
 - 3.7. Operaciones lógicas y de bit
 - 3.8. Instrucciones de pruebas de datos
 - 3.9. Ciclo de Ejecución de Instrucciones



Universidad de Costa Rica
Escuela de Ingeniería Eléctrica
Microprocesadores
IE-0623

EIE

Escuela de
Ingeniería Eléctrica

-
4. Modelo ISA del 9S12. Parte II
 - 4.1. Modos de direccionamiento
 - 4.1.1. Direccionamiento Inherente
 - 4.1.2. Direccionamiento Inmediato
 - 4.1.3. Direccionamiento Directo y Extendido
 - 4.1.4. Direccionamiento Indexado
 - 4.1.5. Direccionamiento relativo
 - 4.2. Estructuras de Programación (Secuencial, Iterativa, Selección y Modular)
 - 4.3. Instrucciones de salto y ramificación
 - 4.3.1. Instrucciones de Salto Incondicional
 - 4.3.2. Instrucciones de Salto Condicional
 - 4.3.3. Instrucciones de Salto Condicional Largo
 - 4.3.4. Casos especiales BRSET y BRCLR
 5. Diseño de Programas y herramientas de desarrollo
 - 5.1. Diseño de programas: Diagramas de Flujo. Ejemplos
 - 5.2. Tipos de Lenguajes de Programación
 - 5.3. Ensamblaje de Programas
 - 5.3.1. Archivo de Listado .LST
 - 5.3.2. Archivo Objeto .S19
 - 5.4. Directivas de Ensamblador
 - 5.5. Estructuras de datos en ensamblador
 - 5.6. IDE Assembler
 - 5.7. El Simulador SimHCS12
 - 5.8. Ejemplo Ordene3
 - 5.9. Tarjeta Dragon 12+
 - 5.10. Debug 12 de Freescale
 6. Modelo ISA del 9S12. Parte III.
 - 6.1. Números binarios con y sin signo
 - 6.1.1. Números sin signo en base 2
 - 6.1.2. Números con signo en base 2
 - 6.1.3. Representación de números con signo en complemento de base
 - 6.1.4. Distinción de números con y sin signo
 - 6.2. Operaciones Aritméticas con signo
 - 6.3. Instrucciones Aritméticas
 - 6.4. Conversión Binario a BCD
 7. Estructura de Programación Modular: Subrutinas
 - 7.1. La pila: Almacenamiento temporal de datos
 - 7.2. Instrucciones de salto y retorno de subrutina
 - 7.3. Paso de parámetros a Subrutinas



Universidad de Costa Rica
Escuela de Ingeniería Eléctrica
Microprocesadores
IE-0623

EIE

Escuela de
Ingeniería Eléctrica

- 7.3.1. Por registros internos de la CPU
- 7.3.2. Por direccionamiento directo a memoria
- 7.3.3. Por direccionamiento indirecto a memoria
- 7.3.4. Por Pila
- 7.3.5. Implícitamente
- 7.4. Instrucciones LEA
- 7.5. Subrutinas del Debug 12

II Parte:

Periféricos del 9S12

- 8. Estructuras de Entrada/Salida: Los puertos paralelos.
 - 8.1. E/S mapeada a memoria y por instrucción (acceso directo)
 - 8.2. Registros de Datos, Control y Estatus
 - 8.3. Capacidades de periféricos del S12
 - 8.4. GPIO y PIM (Port Integration Module) del S12
 - 8.5. Módulo GPIO en Puertos Periféricos
 - 8.6. Módulo GPIO en Puertos Core
 - 8.7. Funciones adicionales y uso de GPIO en modo polling
 - 8.8. Ejemplo de GPIO por polling con la Dragon 12+
- 9. Sistema de Reloj y Excepciones
 - 9.1. Sistema de Reloj
 - 9.2. Excepciones del sistema
 - 9.2.1. Prioridad de las excepciones de Reset y No Mascarables
 - 9.2.2. Interrupciones: Proceso de Atención
 - 9.2.2.1. Interrupciones No Mascarables
 - 9.2.2.2. Interrupciones Mascarables
 - 9.2.2.3. Tabla de Vectores de Excepciones
 - 9.2.2.4. Relocalización de vectores de interrupción del Debug12
 - 9.2.2.5. Prioridad de Interrupciones mascarables
 - 9.2.2.6. Interrupción Externa Mascarable
 - 9.2.2.7. Interrupción de Tiempo Real (RTI)
 - 9.2.3. Excepciones de Restablecimiento (Reset)
 - 9.2.3.1. Clock Monitor Reset
 - 9.2.3.2. COP Reset.
 - 9.2.4. GPIO con Sincronización
 - 9.2.4.1. Estructuras de I/O condicional con Strobes.
 - 9.2.4.2. Estructuras de I/O condicional con Handshaking
 - 9.2.4.3. Key Wakeups
 - 9.3. Manejo de teclados matriciales



Universidad de Costa Rica
Escuela de Ingeniería Eléctrica
Microprocesadores
IE-0623

EIE

Escuela de
Ingeniería Eléctrica

-
10. El módulo de Timer
 - 10.1. Módulo Timer
 - 10.2. Contador de Tiempo
 - 10.3. Salida por comparación (Output Compare)
 - 10.4. El caso especial del Canal 7
 - 10.5. Captura de Entrada
 - 10.6. Acumulador de Pulsos
 - 10.7. Manejo de Pantallas
 - 10.7.1. Pantallas Multiplexadas
 - 10.7.2. Pantallas autocontenidas
 11. Módulo de Conversión Analógica Digital
 - 11.1. Operación de los Convertidores A/D
 - 11.2. Tipos de Convertidores A/D
 - 11.3. Convertidores A/D de 9S12
 - 11.4. Registros de los ATD
 - 11.5. Ejemplo de conversión A/D
 - 11.6. Disparo externo de ATD
 - 11.7. Puerto ATD como entradas digitales
 12. Comunicación Serial Asincrónica. Interfaz SCI
 - 12.1. Conceptos de la Comunicación Serial
 - 12.2. La Interfaz de Comunicación Serie (SCI)
 - 12.3. Configuración de la Interfaz SCI
 - 12.4. Operación de la Interfaz SCI
 13. Comunicación serial sincrónica
 - 13.1. Principio de operación de la comunicación sincrónica
 - 13.2. La interfaz Serial Port Interface (SPI)
 - 13.2.1. Interfaz de hardware SPI
 - 13.2.2. La interfaz SPI del 9S12
 - 13.2.3. Configuración de la Interfaz SPI del S12
 - 13.2.4. Configuración del formato de transferencia
 - 13.2.5. Operación en Modo Bidireccional
 - 13.2.6. El LTC1661
 - 13.2.7. Generador diente de sierra
 - 13.3. La Interfaz IIC
 - 13.3.1. Interfaz de hardware de Inter Bus
 - 13.3.2. Protocolo de Inter Bus
 - 13.3.3. Configuración de la Interfaz IIC del 9S12
 - 13.3.4. El RTC DS1307



Universidad de Costa Rica
Escuela de Ingeniería Eléctrica
Microprocesadores
IE-0623

EIE

Escuela de
Ingeniería Eléctrica

Evaluación:

- Tareas: 30%
- Quices: 05%
- Examen: 30%
- Proyecto Final: 35%

Bibliografía:

1. The HCS12/9S12: An Introduction to Software and Hardware Interfacing. Han-Way Huang. Cengage Learning. Segunda Edición. 2010.
2. Embedded Systems Handbook. Richard Zurawski. Industrial Information Technology Series
3. Embedded Microcomputer Systems . Real Time Interfacing Jonathan W. Valvano International Edition
4. Embedded Systems Design, Steve Heath, Ed Newnes, 2005
5. Hennessy, J. L., Patterson, D.A., "Computer Architecture: A Quantitative Approach", 5ª Ed., Morgan-Kaufmann, 2012
6. Almy, Tom. Designing with Microcontrollers- The 68HCS12. Editado por Tom Almy. Edición 2011.
7. Pack, Daniel. Barret, Steven. Microcontroller Theory and Applications. Pearson Prentice Hall. Segunda edición. 2008.
8. Barret, Steven. Pack, Daniel. Embedded Systems. Design And Applications with 68HC12 and HCS12. Pearson Prentice Hall. Primera Edición. 2005.
9. Especificaciones 9S12 Motorola.
10. Dragon 12+. User Manual. Wytec
11. Delgado, Geovanny. Material del curso IE623. Escuela de Ingeniería Eléctrica. UCR. 2019



Universidad de Costa Rica
Escuela de Ingeniería Eléctrica
Microprocesadores
IE-0623

EIE

Escuela de
Ingeniería Eléctrica

Cronograma

Semana	Fecha	Actividad	Videos asociados	Duración total	Asignación de evaluaciones	Entrega de evaluaciones
1	04/01/2020	Sesión inicial				
	05/01/2020	Temas 1.1 a 1.2	1, 2	0:49:17		
	06/01/2020	Tema 1.3	3, 4	0:41:18		
	07/01/2020	Temas 2.1 a 2.4	5	0:42:34		
	08/01/2020	Temas 3.1 a 3.3	6	0:35:33		
Semanal				2:48:42		
2	11/01/2020	Temas 3.4 a 3.9	7	0:34:27		
	12/01/2020	Tema 4.1	8	0:27:38		
	13/01/2020	Temas 4.2 a 4.3	9	0:22:18	Tarea 1 (Temas 1, 2, 3, 4)	
	14/01/2020	Temas 5.1 a 5.5	10, 11	0:53:15		
	15/01/2020	Temas 5.6 a 5.10	13, 14	1:24:30		
Semanal				3:42:08		
3	18/01/2020	Temas 6.1 a 6.3	15	0:51:00		
	19/01/2020	Temas 6.3 a 6.4	15, 16	0:33:22	Tarea 2 (Temas 5, 6)	
	20/01/2020	Temas 7.1 a 7.4	17	0:42:39		Tarea 1
	21/01/2020	Tema 7.5	18	0:42:14	Tarea 3 (Tema 7)	
	22/01/2020	Temas 8.1 a 8.8	19	1:05:45		
Semanal				3:55:00		
4	25/01/2020					
	26/01/2020	Temas 9.1 a 9.2.2.6	20	1:13:29		Tarea 2
	27/01/2020	Tema 9.2.2.7	21	0:26:40		
	28/01/2020	Temas 9.2.3 a 9.3	22	1:01:21		
	29/01/2020	Temas 10.1 a 10.4	24	0:47:21	Tarea 4 (Teclados matriciales)	Tarea 3
Semanal				3:28:51		
5	01/02/2020					
	02/02/2020	Temas 10.5 a 10.6	25	0:30:37		
	03/02/2020	Tema 10.7	26	1:29:14		
	04/02/2020	Temas 11.1 a 11.7	28	1:28:56	Tarea 5 (Pantallas multiplexadas)	
	05/02/2020					Tarea 4
Semanal				3:28:47		
6	08/02/2020	Temas 12.1 a 12.4	29	1:31:09	Proyecto Final	
	09/02/2020	Temas 13.1 a 13.2.5	30	0:40:29		
	10/02/2020	Temas 13.2.6 a 13.2.7	31	0:25:52	Tarea 6 (Comunicaciones asincrónicas)	
	11/02/2020	Temas 13.3.1 a 13.3.3	32	0:48:46		
	12/02/2020	Tema 13.3.4	33	0:57:52	Tarea 7 (Comunicaciones sincrónicas)	Tarea 5
Semanal				2:52:59		
7	15/02/2020					
	16/02/2020					
	17/02/2020					
	18/02/2020					
	19/02/2020					Tarea 6
Semanal						
8	22/02/2020					
	23/02/2020					
	24/02/2020					
	25/02/2020					
	26/02/2020					Tarea 7
Semanal						
Semana de evaluación	01/03/2021					Proyecto Final
	02/03/2021					
	03/03/2021					
	04/03/2021					
	05/03/2021				Examen Final	Examen Final