

Diseño de la Capa PHY de la interfaz PCIe

Belinda Brown, Brandon Esquivel, Michelle Gutiérrez

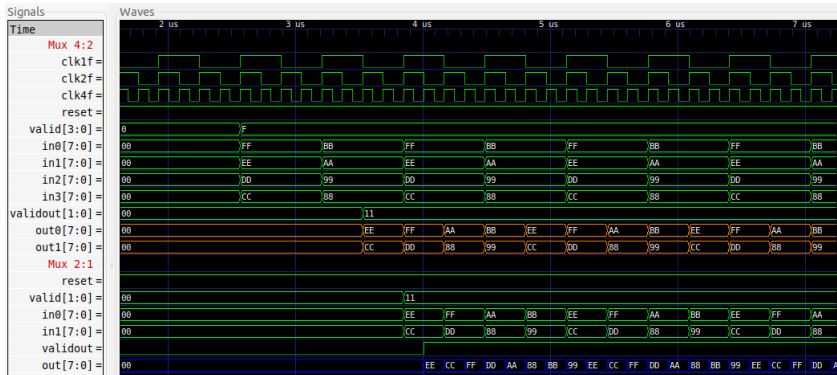
Escuela de Ingeniería Eléctrica. Universidad de Costa Rica

Junio 10, 2020

Avance 1: Aspectos Importantes

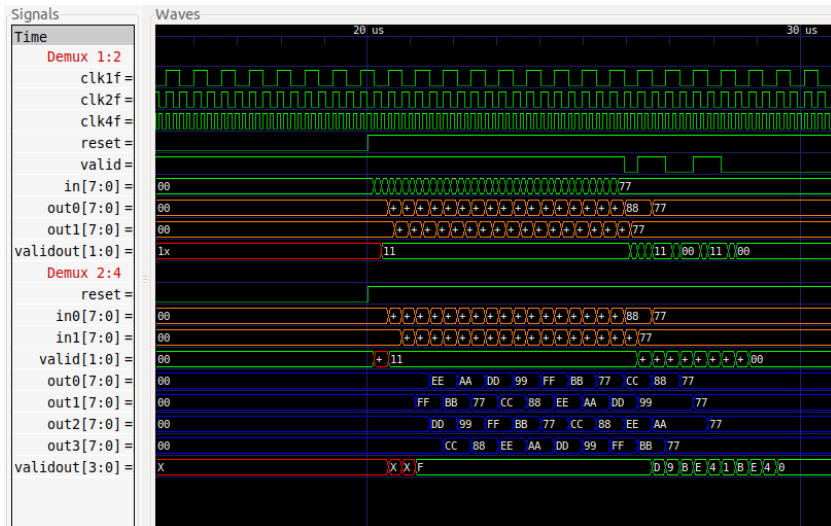
- ▶ Cambio de diseño en módulos de valid en el bit 0 de las señales a señal de valid separado
- ▶ Diseño de módulos de clocks, flip-flops y checkers por aparte para poder disponer de los mismos para diferentes módulos
- ▶ Complicaciones con el reset en ciertos módulos, ya que no se estaba dejando en 0 el tiempo suficiente
- ▶ Complicaciones en el funcionamiento del demux, era necesario probarlo con diferentes estímulos
- ▶ Al incorporar los clocks en el módulo demux se dieron problemas con su funcionamiento

Resultados importantes Avance 1



Etapa de Multiplexación

Resultados importantes Avance 1

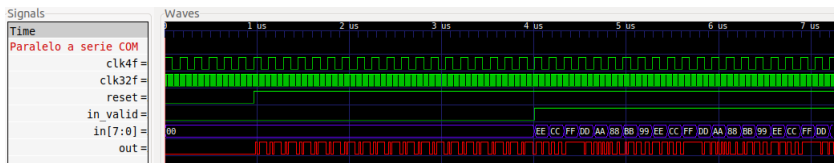


Etapas de Demultiplexación

Avance 2: Aspectos importantes

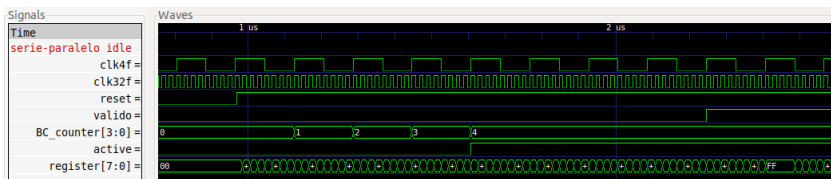
- ▶ Se arreglaron detalles pendientes de los módulos anteriores
- ▶ Para los módulos paralelo-serie se estaba creando un buffer de forma innecesaria, se detectó al ver un retraso en el comportamiento y se verificó con el módulo sintetizado
- ▶ Se resolvieron bastantes problemas revisando el trabajo de cada uno de los demás compañeros y discutiendo los problemas en equipo

Resultados importantes Avance 2



Uno de los módulos de paralelo a serial (COM)

Resultados importantes Avance 2

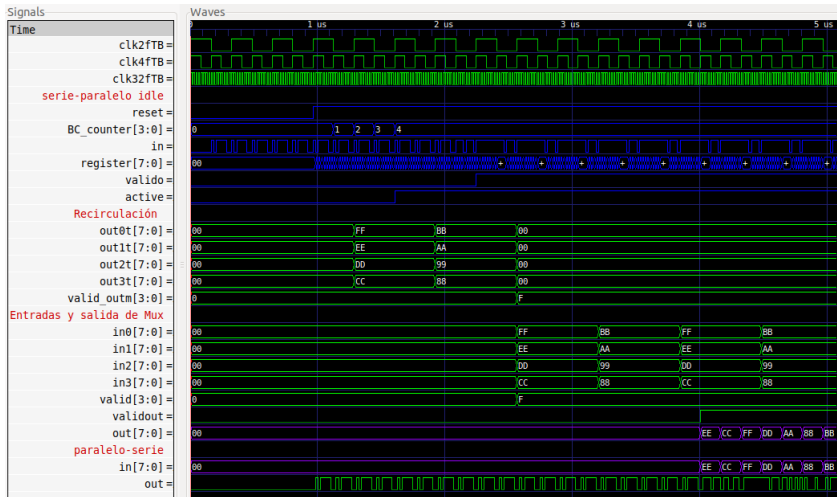


Uno de los módulos de serie a paralelo (idle)

Aspectos importantes Avance 3

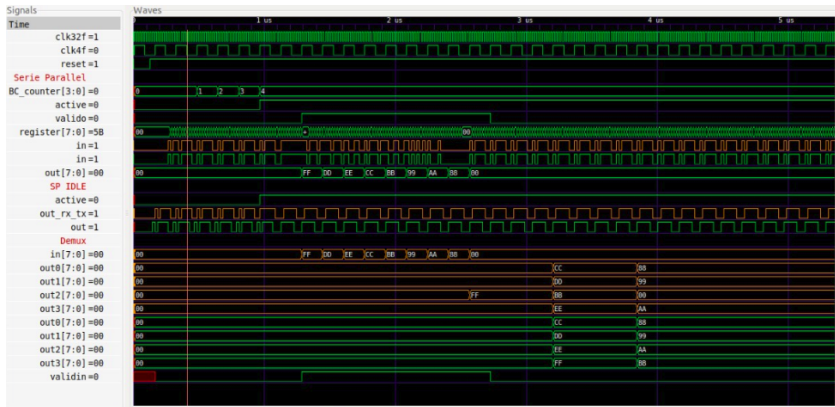
- ▶ Correcciones pendientes de módulos. Optimización.
- ▶ Perspectiva más clara acerca de la relación existente entre todos los componentes del proyecto.
- ▶ Módulos Tx y Rx: probadores diferenciados, clks.
- ▶ Múltiples pruebas y cambios para las capas Tx y Rx. Pruebas individuales.
- ▶ Única complicación con PHY: Probador

Resultados importantes Avance 3



Capa phy_tx

Resultados importantes Avance 3



Capa phy_rx

Conclusiones

- ▶ Se cambió el diseño original de la etapa de demultiplexación (al inicio el demux 1:4 se construyó a partir de tres demux 1:2), la versión final cuenta con un demux 1:2 y otro demux 2:4.
- ▶ Se encontraron dificultades para manejar la sincronización de los diferentes módulos, especialmente en los sintetizados donde se encuentran complicaciones con los reset.
- ▶ Mantener una misma nomenclatura en el proyecto de manera global, dado que se trabaja en en asignaciones individuales a conectar con el fin de construir las capas superiores de forma efectiva.
- ▶ Apegarse al formato de instrucciones de señales, entiéndase dentro de las asignaciones bloqueantes y no bloqueantes y retardos () no sintetizables
- ▶ Se recomienda un estudio profundo de lógica de probadores.