



**EA772 – Circuitos Lógicos**  
**2º Semestre de 2025 - Soluções**

**Lista de Exercícios 6**

- 1) Projete um Reconhecedor de Sequência 1001 com Máquina de Mealy, com a seguinte atribuição de códigos aos estados: A = 00, B = 11, C = 01 e D = 10.
- considere apenas Flip-Flops do tipo D
  - considere apenas Flip-Flops do tipo JK

**Resposta:**

A tabela verdade obtida é a seguinte:

x	Estado Atual		Estado Atual		Estado Futuro		FF D		FF 1 JK		FF 0 JK	
	Atual	Futuro	$Q_1$	$Q_0$	$Q_1^*$	$Q_0^*$	$D_1$	$D_0$	$J_1$	$K_1$	$J_0$	$K_0$
0	A	A	0	0	0	0	0	0	0	X	0	X
1	A	B	0	0	1	1	1	1	1	X	1	X
0	B	C	1	1	0	1	0	1	X	1	X	0
1	B	B	1	1	1	1	1	1	X	0	X	0
0	C	D	0	1	1	0	1	0	1	X	X	1
1	C	B	0	1	1	1	1	1	1	X	X	0
0	D	A	1	0	0	0	0	0	X	1	0	X
1	D	B	1	0	1	1	1	1	X	0	1	X

y é 1 apenas quando estiver no estado D e x = 1, caso contrário y = 0.

a)  $D_1 = x + Q'_1 Q_0 ; D_0 = x + Q_1 Q_0 ; y = x Q_1 Q'_0$

b)  $J_1 = x + Q_0 ; K_1 = x' ; J_0 = x ; K_0 = Q'_1 x'$

2) Repita o exercício anterior para o Reconhecedor de Sequência 1001, mas considerando agora uma Máquina de Moore. Use a codificação de estados que achar mais conveniente.

**Resposta:**

Foi escolhida a seguinte codificação de estados (outras codificações eram possíveis):

A = 000, B = 001, C = 011, D = 100, E = 110

x	Estado		Estado Atual			Est. Fut.			FF			D			FF 2 JK		FF 1 JK		FF 0 JK	
	Atual	Futuro	Q <sub>2</sub>	Q <sub>1</sub>	Q <sub>0</sub>	Q <sub>2</sub> *	Q <sub>1</sub> *	Q <sub>0</sub> *	D <sub>2</sub>	D <sub>1</sub>	D <sub>0</sub>	J <sub>2</sub>	K <sub>2</sub>	J <sub>1</sub>	K <sub>1</sub>	J <sub>0</sub>	K <sub>0</sub>			
0	A	A	0	0	0	0	0	0	0	0	0	0	x	0	x	0	x			
1	A	B	0	0	0	0	0	1	0	0	1	0	x	0	x	1	x			
0	B	C	0	0	1	0	1	1	0	1	1	0	x	1	x	x	0			
1	B	B	0	0	1	0	0	1	0	0	1	0	x	0	x	x	0			
0	C	D	0	1	1	1	0	0	1	0	0	1	x	x	1	x	1			
1	C	B	0	1	1	0	0	1	0	0	1	0	x	x	1	x	0			
0	D	A	1	0	0	0	0	0	0	0	0	x	1	0	x	0	x			
1	D	E	1	0	0	1	1	0	1	1	0	x	0	1	x	0	x			
0	E	C	1	1	0	0	1	1	0	1	1	x	1	x	0	1	x			
1	E	B	1	1	0	0	0	1	0	0	1	x	1	x	1	1	x			

y = 1 quando estiver no estado E, caso contrário é y = 0.

a) Considerando estados não usados como estados *don't care*, temos:

$D_2 = Q'_2 Q_1 x' + Q_2 Q'_1 x ; D_1 = Q'_1 Q_0 x' + Q_1 Q'_0 x' + Q_2 Q'_1 x ; D_0 = Q'_2 x + Q'_1 Q_0 + Q_1 Q'_0 ;$

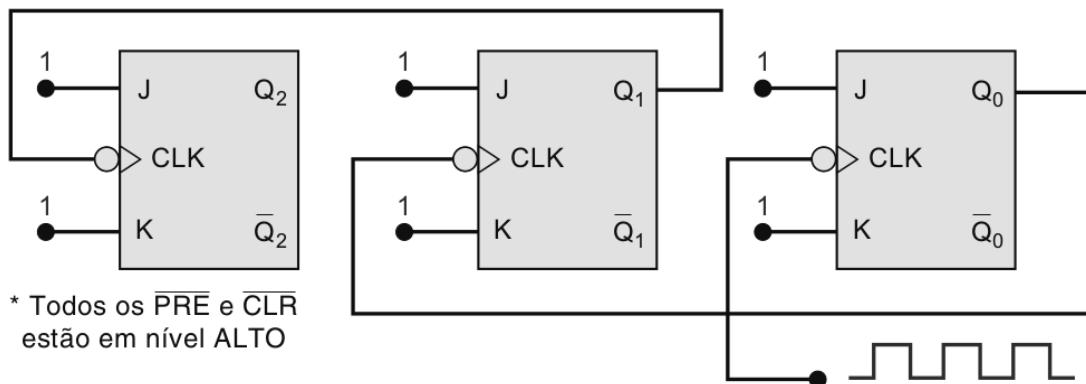
$$y = Q_2 Q_1 Q'_0$$

b) Considerando estados não usados como estados *don't care*, temos:

$$J_2 = Q_1 x ; \quad K_2 = x' + Q_1 ; \quad J_1 = Q_0 x' + Q_2 x ; \quad K_1 = Q'_2 + x ; \quad J_0 = Q'_2 x ; \quad K_0 = Q_1 + Q'_2 x ;$$

$$y = Q_2 Q_1 Q'_0$$

3) Veja o circuito do contador mostrado a seguir e responda [Problema 5.30]:



(a) Se o contador começar em 000, qual será o valor da contagem após 11 pulsos de clock? E após 100 pulsos? E após 232 pulsos?

(b) Se o contador começar em 100, qual será o valor da contagem após 11 pulsos? E após 100 pulsos? E após 232 pulsos?

(c) Conecte um quarto FF J-K ( $X_3$ ) a esse contador e desenhe o diagrama de transição de estados para esse contador de 4 bits. Se a frequência de clock de entrada for de 208 MHz, como será a forma de onda em  $X_3$ ?

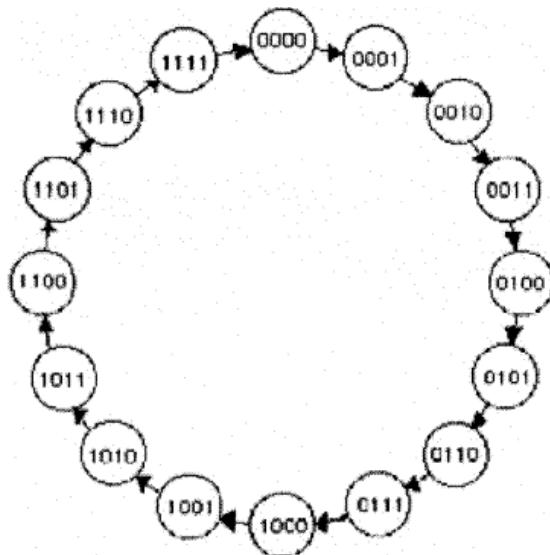
### Resposta:

Este é um contador que irá reiniciar a cada 8 pulsos (é um contador de módulo 8).

(a) A contagem após 11 pulsos é 3 (011); Após 100 pulsos é 4 (100); Após 232 pulsos é 0 (000).

(b) A contagem após 13 pulsos é 7 (111); Após 100 pulsos é 0 (000); Após 232 pulsos é 4 (100).

(c) O diagrama de estados para o contador de módulo 16 é

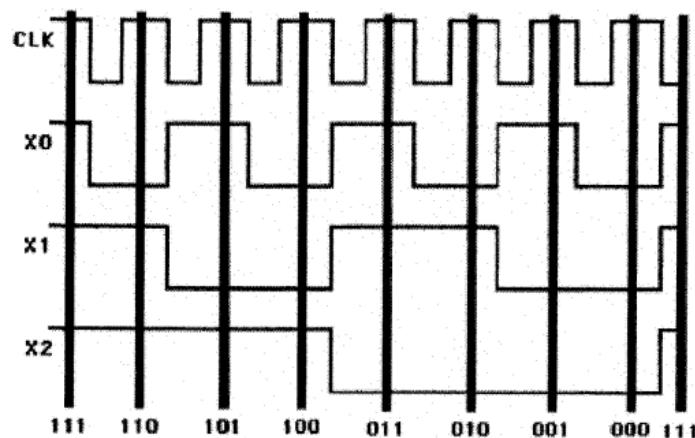


Se a frequência de entrada é 208 MHz, a forma de onda na saída de  $X_3$  será uma onda quadrada com frequência de 13 MHz (208 MHz/16).

Cada FF tem como consequência ter sua saída com frequência pela metade da de sua entrada. Como são 4 FF's, a entrada inicial a 208MHz terá sua frequência dividida por  $2^4$ .

4) Veja o contador binário mostrado na figura da questão 12. Modifique-o conectando  $Q_0$  na entrada CLK do FF 1, e  $Q_1$  na entrada CLK do FF 2. Comece com todos os FFs no estado 1 e desenhe as diversas formas de onda de saída ( $Q_0$ ,  $Q_1$ ,  $Q_2$ ) para 16 pulsos de entrada. Em seguida, relate a sequência de estados dos FFs. Esse contador é denominado contador decrescente. Por quê? [Problema 5.31]

**Resposta:**



5) Com base no circuito contador, responda [Problema 5.33]:

**(a)** Quantos FFs são necessários para construir um contador binário que conte de 0 a 4095?

**(b)** Determine a frequência na saída do último FF desse contador para uma frequência de clock de entrada de 1 MHz.

**(c)** Qual é o módulo do contador?

**(d)** Se o contador começar em zero, que valor de contagem ele apresentará após 8217 pulsos?

**Resposta:**

**(a)** São necessários  $N=12$  Flip-Flops ( $2^N-1 = 4095$ ).

**(b)** Com  $N = 12$  FFs, o contador terá módulo  $2^N = 4096$ . Assim, a divisão da frequência no último FF será  $1/4096$  em relação ao clock. Dessa forma, a frequência de saída é  $1 \text{ MHz}/4096 = 244 \text{ Hz}$ .

**(c)** Com  $N = 12$  FFs, o contador terá módulo  $2^N = 4096$ .

**(d)** A cada 4096 pulsos, o contador volta ao zero. Depois de  $(2 \times 4096 = 8192)$  pulsos, ele estará novamente em zero. Assim, depois de 8217 pulsos o contador estará em 25 (que é  $1024 + 1024 + 25 = 8217$ ).

**6)** Um contador binário recebe pulsos de um sinal de clock de 512 kHz. A frequência de saída do último FF é 8 kHz. [Problema 5.34]

**(a)** Determine o módulo do contador.

**(b)** Determine a faixa de contagem.

**Resposta:**

**(a)** O módulo do contador é  $512 \text{ kHz}/8 \text{ kHz} = 64$ .

**(b)** Se o módulo é 64, então a faixa de contagem é de 0 a 63.

**7)** Um circuito fotodetector é usado para gerar um pulso a cada vez que um cliente entra em um determinado estabelecimento. Os pulsos são aplicados em um contador de 8 bits. O contador é usado para determinar quantos clientes entraram na loja. Depois de fechar a loja, o proprietário observa a contagem  $00100001_2 = 33_{10}$ . Ele sabe que esse valor não está correto, porque entraram muito mais que nove pessoas na loja. Considerando que o circuito do contador funciona corretamente, qual seria o motivo da discrepância? Qual o verdadeiro número de clientes que entraram na loja? [Problema 5.35]

**Resposta:**

O contador voltou a zero (00000000) depois de  $2^8 = 256$  clientes.

Entraram então, pelo menos 289 clientes para que o contador voltasse a (00100001).

\*Exercícios extraídos do livro Tocci 11<sup>a</sup> edição, Capítulo 7

**8)** Considere que um contador binário de seis bits inicie no estado 000000. Qual será sua contagem após 1564 pulsos de entrada? [Problema 7.3]

**Resposta:**

O módulo desse contador é 64. Temos que  $1564/64 = 24,437$ . Portanto, o contador completará 24 ciclos completos  $64 \times 24 = 1536$  e parará 28 pulsos depois (011100).

**9)** Um contador ondulante de 8 bits tem sinal de clock de 51,2 kHz aplicado. [Problema 7.4]

(a) Qual é o número de módulo desse contador?

(b) Qual será a frequência na saída do MSB?

(c) Qual será o ciclo de trabalho do sinal MSB?

(d) Suponha que o contador inicie em 0. Qual será a contagem em hexadecimal após 208 pulsos de entrada ?

**Resposta:**

(a)  $2^8 = 256$ . Logo seu módulo é 256.

(b) 200 Hz.

(c) Ciclo de trabalho é a porcentagem de tempo que o sinal fica ligado (em nível ALTO). Nesse caso será de 50% pois é uma onda quadrada comum.

(d)  $208-64*3 = 16_{10} = 10_{16} = 00010000_2$ .

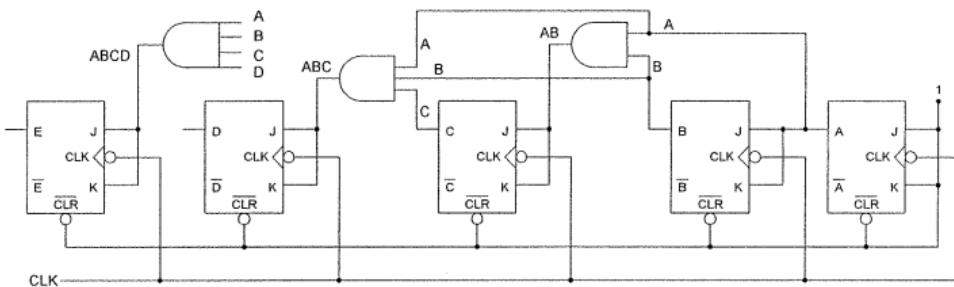
**10)** Responda: [Problema 7.7]

(a) Desenhe o diagrama do circuito para um contador síncrono de módulo 32.

(b) Determine  $f_{máx}$  para esse contador se cada FF tiver um  $t_{pd} = 20$  ns e cada porta, um  $t_{pd} = 10$  ns.

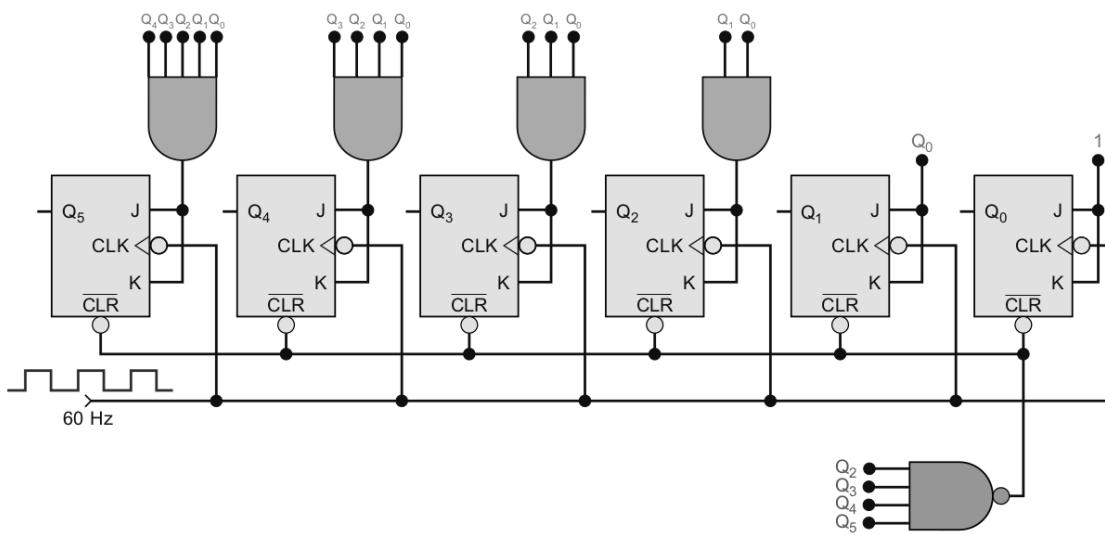
**Resposta:**

(a)



(b)  $f_{\max} = 1/(30 \text{ ns}) = 33 \text{ MHz}$

11) Mude as entradas da porta NAND na figura abaixo, de modo que o contador divida a frequência por 50. [Problema 7.11]

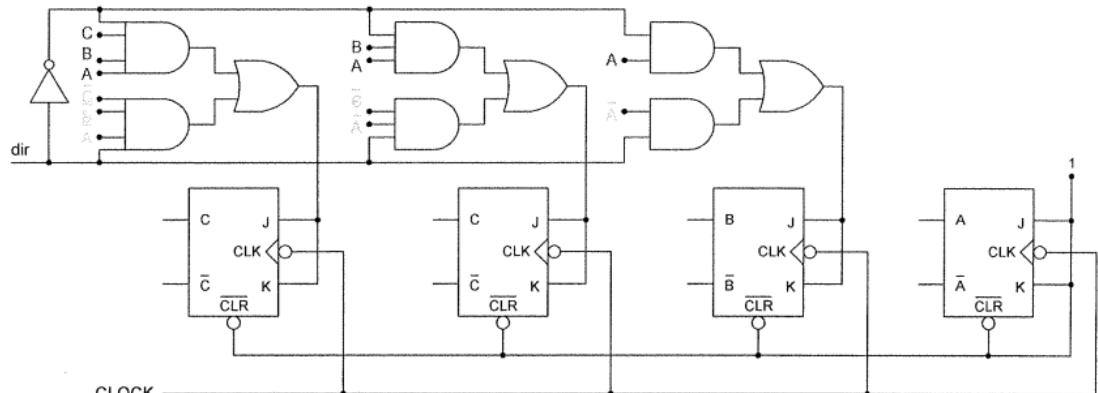


**Resposta:**

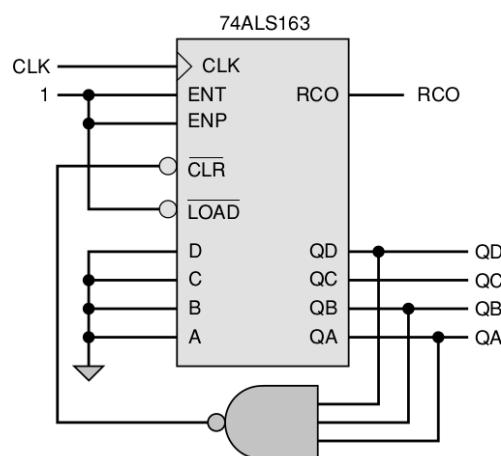
O contador deve ter módulo 50 (110010). Deve-se substituir a porta NAND de 4 entradas por uma NAND de 3 entradas, que recebe  $Q_5$ ,  $Q_4$  e  $Q_1$ .

12) Desenhe um contador crescente/decrescente síncrono de módulo 16. O sentido da contagem é controlado por  $dir$  ( $dir = 0$  para contagem crescente). [Problema 7.14]:

**Resposta:**



13) Consulte o circuito do CI contador da [Problema 7.21]



(a) Desenhe o diagrama de transição de estados para as saídas QD QC QB QA do contador.

(b) Determine o módulo do contador.

(c) Qual é a relação da frequência de saída do MSB com a frequência de entrada CLK?

(d) Qual é o ciclo de trabalho da forma de onda da saída do MSB?

**Resposta:**

(a) 0000, 0001, 0010, 0011, 0100, 0101, 0110, 0111, 1000, 1001, 1010, 1011, repete.

Para entender o ciclo veja primeiro a lógica que resulta em CLEAR, ou seja, a lógica que fará reiniciar a contagem. Para isso  $QA = QB = QD = 1$ . Assim, o último número a ser contado será o 1011.

Observe que não há conexão de QC para a lógica que resulta em clear.

- (b) O módulo do contador é 12 ( $= 2^4 - 4$ ).
- (c) A frequência em QD é 1/12 da frequência do CLK.
- (d) A porcentagem de tempo que o sinal fica ligado (em nível ALTO).  $4/12 = 1/3 = 0,333 = 33,3\%$ .

**14)** Projete um circuito divisor de frequência que produza as três seguintes frequências de sinal de entrada: 1,5 MHz, 150 kHz e 100 kHz. Use os contadores 74HC162 e 74HC163 e todas as portas necessárias. A frequência de entrada é 12 MHz.  
[Problema 7.33]

**Resposta:**

Usaremos as seguintes relações:

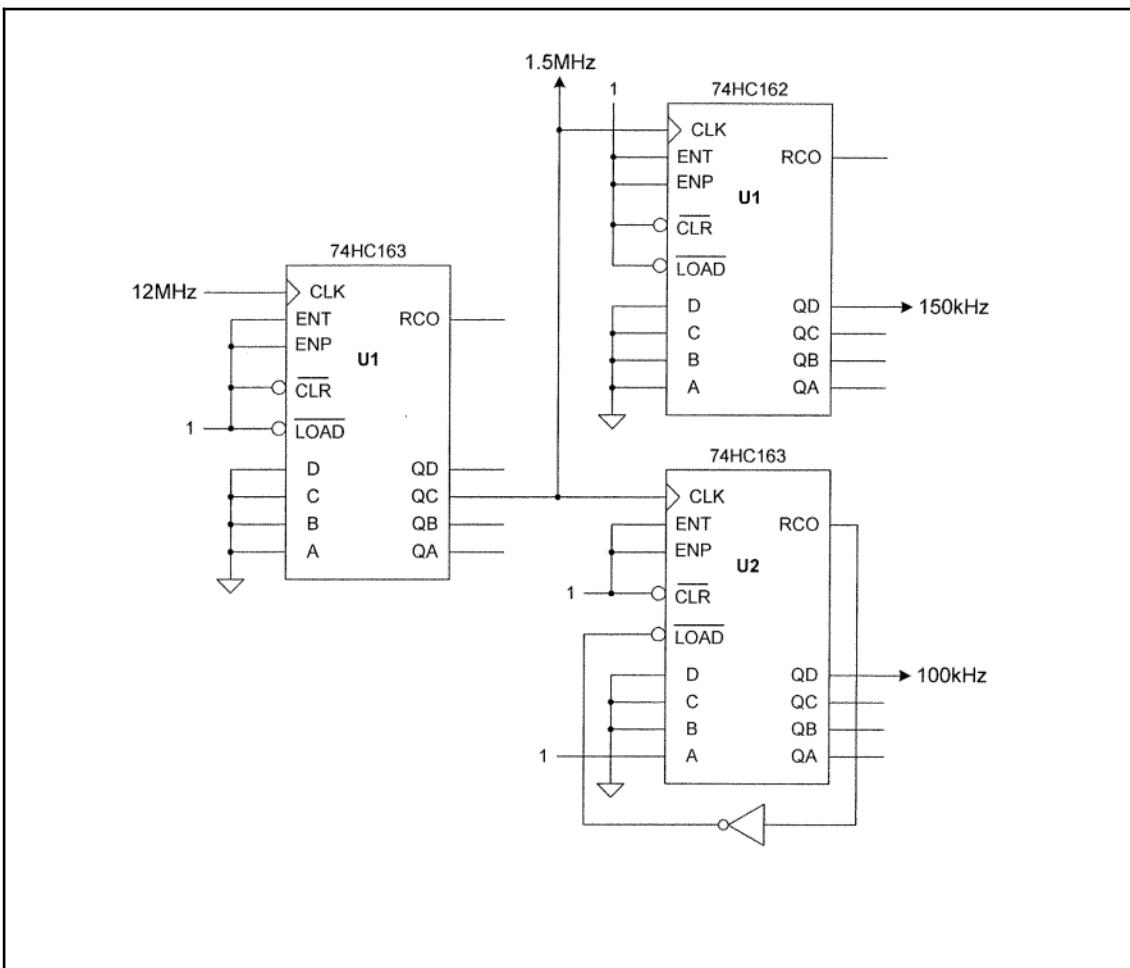
$$12 \text{ MHz} / 8 = 1,5 \text{ MHz}$$

$$1,5 \text{ MHz} / 10 = 150 \text{ kHz}$$

$$1,5 \text{ MHz} / 15 = 100 \text{ kHz}$$

74HC162 é um contador de módulo 10.

74HC163 é um contador de módulo 16.

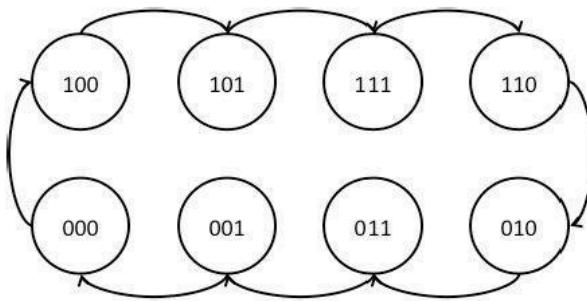


**15)** Construa um contador síncrono decrescente, de 7 a 0 (7, 6, 5, 4, 3, 2, 1, 0, 7, 6, 5, ...), usando o código de Gray. Utilize o Flip-Flops JK. Apresente:

- (a) diagrama de estados
- (b) tabela de transição dos estados do contador e excitação das entradas JK
- (c) simplificação das funções e
- (d) desenho do circuito final do contador.

**Resposta:**

(a)  
Diagrama de Estados:



(b)  
Tabela Característica do Flip Flop J-K:

$Q(t)$	$J(t)$	$K(t)$	$Q(t+1)$
0	0	0	0
0	0	1	0
0	1	0	1
0	1	1	1
1	0	0	1
1	0	1	0
1	1	0	1
1	1	1	0

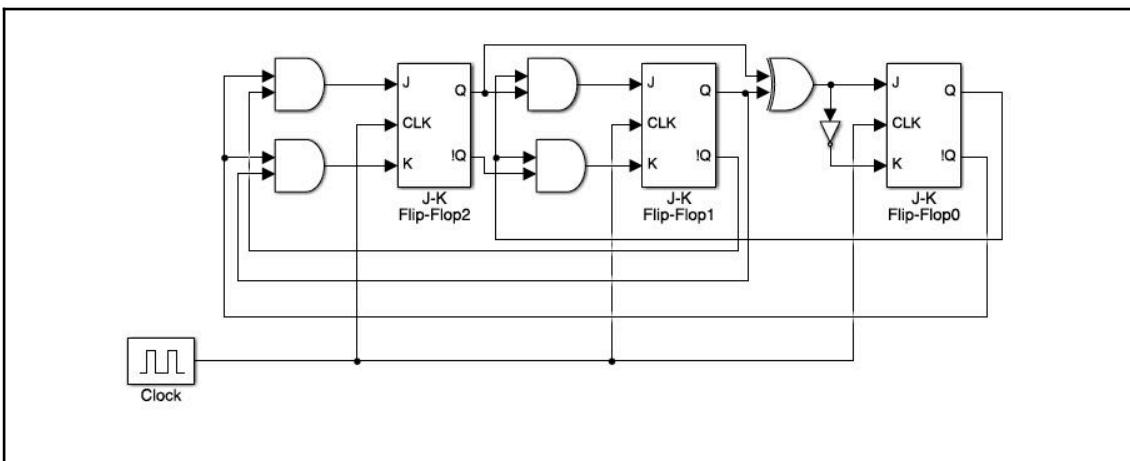
(c)

Tabela de Transição e Excitação das Entradas JK:

$Q_2$	$Q_1$	$Q_0$	$Q_2^*$	$Q_1^*$	$Q_0^*$	$J_2$	$K_2$	$J_1$	$K_1$	$J_0$	$K_0$
0	0	0	0	0	1	0	X	0	X	1	X
0	0	1	0	1	1	0	X	1	X	X	0
0	1	0	1	1	0	1	X	X	0	0	X
0	1	1	0	1	0	0	X	X	0	X	1
1	0	0	0	0	0	X	1	0	X	0	X
1	0	1	1	0	0	X	0	0	X	X	1
1	1	0	1	1	1	X	0	X	0	1	X
1	1	1	1	0	1	X	0	X	1	X	0

$$\begin{aligned} J_2 &= Q_1 Q_0' \\ J_1 &= Q_2' Q_0 \\ J_0 &= (Q_2 \oplus Q_1)' \end{aligned} \quad \begin{aligned} K_2 &= Q_1' Q_0' \\ K_1 &= Q_2 Q_0 \\ K_0 &= Q_2 \oplus Q_1 \end{aligned}$$

(d)



**16)** Faça a multiplicação dos dois números binários 1110111 (multiplicando) e 1010101 (multiplicador) usando tanto o método manual quanto o método de hardware. No método de hardware, indique qual é o conteúdo dos registradores C || A || Q em cada passo da multiplicação.

**Resposta:**

(i) Método manual:

$$\begin{array}{r}
 1110111 \quad (119)_{x10} \\
 1010101 \quad (85)_{x10} \\
 \hline
 1110111 \\
 0000000+ \\
 1110111++ \\
 0000000+++ \\
 1110111++++ \\
 0000000+++++ \\
 \hline
 1110111+++++ \\
 \hline
 10011110000011 \quad (10115)_{x10}
 \end{array}$$

(ii) Método de hardware:

1110111	
1010101	
<u>000000</u>	C    A    Q = 0    000000    1010101 Qlsb = 1 >>>>
<u>1110111</u>	
1110111	C    A    Q = 0    1110111    1010101 Shift Resultado >>>
01110111	C    A    Q = 0    01110111    1101010 Qlsb = 0, Shift Resultado >>>>>

<u>001110111</u>	C    A    Q = 0    0011101    1110101
1110111 +	Qlsb = 1 >>>>
001010011	C    A    Q = 1    0010100    1110101
	Shift Resultado >>>>
1001010011	C    A    Q = 0    1001010    0111010
	Qlsb = 0, Shift Resultado >>>>
<u>01001010011</u>	C    A    Q = 0    0100101    0011101
1110111 +	Qlsb = 1 >>>>
00111000011	C    A    Q = 1    0011100    0011101
	Shift Resultado >>>>
100111000011	C    A    Q = 0    1001110    0001110
	Qlsb = 0, Shift Resultado >>>>
<u>0100111000011</u>	C    A    Q = 0    0100111    0000111
1110111 +	Qlsb = 1 >>>>
0011110000011	C    A    Q = 1    0011110    0000111
	Shift Resultado >>>>
<b>10011110000011</b>	<b>C    A    Q = 0    1001111    0000011</b>

**17)** Explique qual a diferença entre uma memória RAM e uma memória ROM.

**Resposta:**

RAM (random access memory): Memória volátil de leitura e escrita. Usada para armazenar dados por um curto intervalo de tempo. Por ser volátil, a memória RAM não mantém os dados armazenados quando desenergizada.

ROM (read only memory): memória não-volátil que permite, durante a operação do sistema, apenas a leitura. De modo geral, ela mantém os dados salvos mesmo após perder a energia dentro de seu circuito, isto é, mesmo que desligada, os seus dados permanecem armazenados.

Diferença: Memórias RAM são usadas para escrita e leitura, geralmente utilizada para dados serem armazenados em um curto período de tempo. Enquanto que as memórias ROM são geralmente utilizadas apenas para leitura, e servem como um armazenamento permanente de dados.

- 18) Quantos bits são necessários para representar o endereço de uma memória 16K x 40? Qual a quantidade total em bits que podem ser armazenados nessa memória?

**Resposta:**

Para a memória de 16K x 20, são necessários 14 bits para representar os endereços de memória, já que  $2^{14} = 16384$

A quantidade total de bits armazenados é  $16K \times 40$  ou  $2^{14} \times 40 = 655360$  bits

- 19) Faça o projeto (**Tabela da Verdade e Diagrama Esquemático**) de uma ULA de um bit com duas entradas de seleção de operação  $S_1, S_0$ , que implementa as seguintes quatro funções com duas entradas de dados  $A$  e  $B$  (além do *Vem\_1* e do *Vai\_1*):

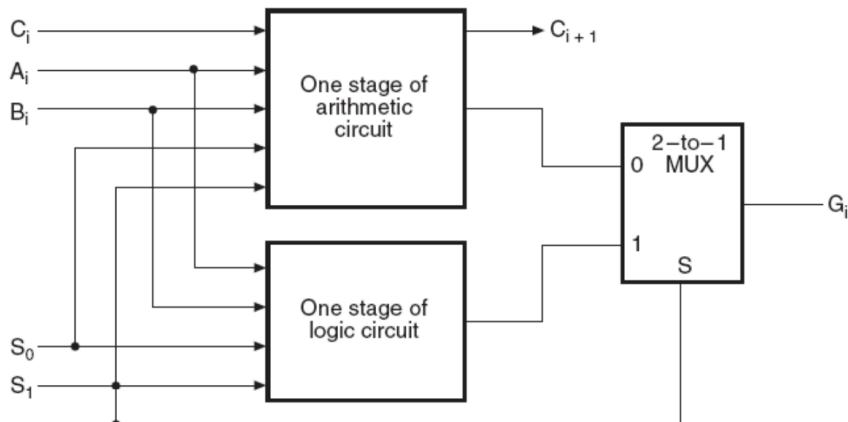
$S_1$	$S_0$	<i>Operação da ALU</i>
0	0	$F_i = A \text{ or } B$
0	1	$F_i = A \text{ and } B$
1	0	$F_i = A \text{ menos } B$
1	1	$F_i = A \text{ mais } B$

**Resposta:**

$S_1$	$S_0$	<i>Vem_1</i>	<i>A</i>	<i>B</i>	$F_i$	<i>Vai_1</i>
0	0	X	0	0	0	0
0	0	X	0	1	1	0
0	0	X	1	0	1	0
0	0	X	1	1	1	0
0	1	X	0	0	0	0
0	1	X	0	1	0	0
0	1	X	1	0	0	0
0	1	X	1	1	1	0
1	0	1	0	1	1	0

1	0	1		0	0	0	1
1	0	1		1	1	0	1
1	0	1		1	0	1	1
1	1	0		0	0	0	0
1	1	0		0	1	1	0
1	1	0		1	0	1	0
1	1	0		1	1	0	1
1	1	1		0	0	1	0
1	1	1		0	1	0	1
1	1	1		1	0	0	1
1	1	1		1	1	1	1

Usar somador completo para operações aritméticas.



20) Especifique a Palavra de Controle de 17 bits que devem ser aplicadas no Processador do Datapath estudado para implementar as seguintes micro-operações:

- a)  $R7 \leftarrow R4 + R2$
- b)  $R5 \leftarrow \text{Data in}$
- c)  $R4 \leftarrow s1 R3 - 1$  (obs: é necessário realizar duas micro-operações, que representarão essa em sua totalidade)

d)  $R6 \leftarrow R4 + (\text{Constant in})' + 1$

**Resposta:**

- a) 111 100 010 0 00010 0 1
- b) 101 XXX XXX X XXXXX 1 1
- c) 011 XXX 011 0 11000 0 1  
100 011 XXX 0 00110 0 1
- d) 110 100 XXX 1 00101 0 1

21) Dadas as seguintes Palavras de Controle de 17 bits para o Datapath estudado, determine

(i) a micro-operação que é executada

(ii) a mudança no conteúdo do registrador para cada palavra de controle (assuma que os registradores são registradores de 8 bits e que, antes da execução da palavra de controle, eles contêm o valor de seu número (ex., registrador R5 contém 05 em hexadecimal)).

Assuma ainda que a Constant tem valor 11 e Data in tem valor 12, ambos em hexadecimal.

- a) 101 100 110 0 01100 0 1
- b) 001 011 100 0 00101 0 1
- c) 101 001 111 0 11000 0 1

**Resposta:**

- a) (i)  $R5 \leftarrow R4 \oplus R6$  (R5 recebe R4 XOR R6)  
(ii)  $R5 \leftarrow 02$  ( $0000\ 0100 \wedge 0000\ 0110 = 0000\ 0010$ )
- b) (i)  $R1 \leftarrow R3 + R4 + 1$  (R1 recebe R3 - R4)  
(ii)  $R1 \leftarrow (0000\ 0011 + 1111\ 1011 = 1111\ 1110)$
- b) (i)  $R5 \leftarrow sI R7$  (R5 recebe R7 deslocado para a esquerda)

(ii)  $R6 \leftarrow (0000\ 0111 \gg\ 0000\ 1110)$