

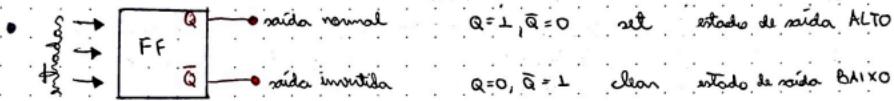
flip-flops e dispositivos correlatos

→ ate agora, os circuitos eram combinacionais, pois as saídas dependiam apenas das entradas imediatas.

- agora, temos os elementos de memória → as saídas externas dos circuitos não dependem tanto das entradas externas quanto das informações armazenadas nos elementos de memória.

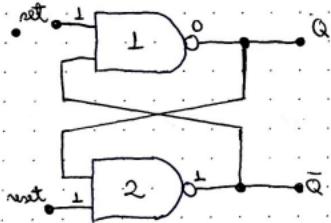
→ flip-flop → elemento de memória composto por um conjunto de portas-lógicas

- realimentação → estratégia usada para criar um elemento de memória



- a maioria das entradas dos FFs precisa ser apenas momentaneamente alta (pulsada) para provocar a mudança de estado na saída do FF → saída permanece no novo estado,
característica de memória.

→ latch com portas NAND



$$\bullet \text{set} = \text{reset} = 1 \Rightarrow Q = 0 \text{ e } \bar{Q} = 1$$

- as duas portas lógicas estão se completando, pq. que uma depende da outra na hora de definir as informações das entradas.

$$\bullet \text{set} = 1 \text{ e } \text{reset} = 0 \Rightarrow Q = 0 \text{ e } \bar{Q} = 1$$

- como a entrada reset muda de 1 para 0, nesse instante temos $Q = 0$ e $\bar{Q} = 1$. Mas, se antes de pulsar temos $Q = 1$, com o pulso de reset de 1 para 0, $Q = 0 \Rightarrow \bar{Q} = 1$

- limpar/zerar o latch → um pulso em nível baixo na entrada RESET sempre deixa $Q = 0$

- SET RESET econômica

$$\begin{array}{cc} 1 & 1 \end{array} \xrightarrow{\text{estado de repouso}} Q = 1, \text{ sempre! permanecem iguais}$$

$$\begin{array}{cc} 0 & 1 \end{array} \xrightarrow{Q = 1, \text{ sempre! permanecem mesmo se SET volta para 1}}$$

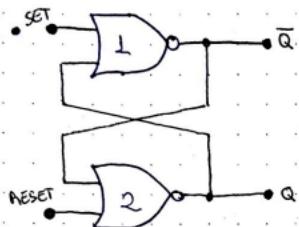
$$\begin{array}{cc} 1 & 0 \end{array} \xrightarrow{Q = 0, \text{ sempre! permanecem mesmo se RESET volta para 1}}$$

$$\begin{array}{cc} 0 & 0 \end{array} \xrightarrow{Q = Q = 1, \text{ impossível e inválida}}$$

- observação → também podemos tirar



→ representação alternativa flip-flops



- configuração parecida com a NAND, mas troca Q com \bar{Q}
- novamente, as duas portas lógicas estão interligadas, então uma depende da outra para o funcionamento correto do circuito
- saídas ativas em nível alto

• SET RESET econômica

1	1	$Q = \bar{Q} = 0$ → que é <u>inválido</u>
0	1	$\bar{Q} = 1 \neq Q = 0$, permanece <u>nível</u> após o reset retornar para 0
1	0	$\bar{Q} = 0 \neq Q = 1$, permanece <u>nível</u> após o set retornar para 0
0	0	<u>Estado de repouso</u> → $Q = \bar{Q}$ permanecem iguais

→ Estado de flip-flop quando energizado

- quando o circuito é energizado, não é possível prever o estado inicial da saída de flip-flop se as entradas SET e RESET estiverem inativas
- para NAND, $S = R = 1$
para NOR, $S = R = 0$

→ pulsos digitais

- quando um sinal passa de um estado normal inativo para o estado ativo e volta para o inativo, mas o seu efeito no circuito permanece
- pulso positivo → executa a função planejada em nível alto
- pulso negativo → executa a função planejada em nível baixo

→ sinais de clock e flip-flop com clock

- sistemas síncronos → momentos exatos em que uma saída pode mudar são definidos por um sinal específico é clock
- clock → train de pulsos retangular, sendo que as mudanças apenas acontecem nas transições no sinal de clock
 - transição positiva → borda de subida
 - transição negativa → borda de descida
- entradas de controle → não terão efeito sobre a saída Q até que uma transição ativa do clock ocorra, ou seja, o efeito dessas entradas só é sincronizado com o sinal aplicado na entrada CLK

→ flip-flop S-R com clock

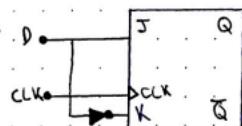
-  \rightarrow FF pode mudar de estado apenas quando o sinal aplicado na entrada de clock transita de 0 para 1
- $Q_0 \rightarrow$ nível da saída Q antes da borda de subida do clock
- $\uparrow \rightarrow$ indica que uma borda de subida é necessária na entrada CLK
- os níveis lógicos nas entradas S e R só não tem efeito no flip-flop, exceto nos instantes de ocorrência das bordas de subida
- entrada de disparo \rightarrow entrada CLK que faz com que o FF mude de estado lógico

→ flip-flop J-K com clock

- diferença para o circuito S-R \rightarrow quando $J=K=1$, não temos uma saída ambígua
- \hookrightarrow quando $J=K=1$, o estado do circuito muda para o seu oposto!

→ flip-flop D com clock

- possui apenas uma entrada de controle sincrona D, representa a palavra data (dado)
- a saída Q irá para o mesmo estado lógico presente na entrada D quando acionar uma borda de subida



- útil para transmitir os dados simultaneamente

→ Entradas assíncronas

- entradas de redefinição \rightarrow podem ser usadas para sobrepor todas as outras entradas, de modo a colocar o FF em um determinado estado.
- $\overline{\text{PRESET}} = \overline{\text{CLEAR}} = 1 \rightarrow$ desativadas, logo, o circuito responde às outras entradas
- $\overline{\text{PRESET}} = 0 \rightarrow$ saída $Q = 1$
- $\overline{\text{CLEAR}} = 0 \rightarrow$ saída $Q = 0$