

席时棣

✉ brucexi99@outlook.com · 国内手机在海外无法使用, 请谅解 · in bruce-shidi-xi

🎓 教育背景

英属哥伦比亚大学 UBC, 温哥华, 加拿大

2021 – 至今

在读硕士研究生 电子与计算机工程

- 相关课程: 深度学习, 强化学习, 机器学习硬件加速器, 计算机架构, 数字及微机系统设计, VLSI, IC 测试和可靠性

帝国理工学院 Imperial College London, 伦敦, 英国

2018 – 2021

学士 材料科学与工程

- 获得一等荣誉学位
- 连续三年 (2018-2021) 学年成绩年级前十

🏢 实习经历

摩托罗拉系统 Motorola Solutions 温哥华

2022 年 5 月 – 12 月

设计验证实习生

- 进行多项监控摄像头测试, 验证产品的电子, 机械, 光学性能以及参数
- 开发了基于 Python 的软件进行测试自动化和数据分析, 提高测试效率高达 90%
- 使用 FFmpeg 进行视频文件的分析与处理
- 使用 Git、Confluence 和 Jira 与团队合作, 优化工作流程效率

📁 项目经历

基于多智能体深度强化学习的 VLSI 布线

2023 年 5 月 – 10 月

- 使用 Python 开发了一机器学习框架, 以并行方式解决 VLSI 全局布线问题, 该框架将布线建模成寻路问题, 并使用结合了深度神经网络 (由 PyTorch 实现的 MLP 和 GNN) 的多智能体强化学习来解决
- 通过网格搜索的方法对机器学习算法及模型的超参数进行微调, 解决模型训练瓶颈
- 该机器学习框架克服了传统的布线排序问题, 完全消除布线阻塞, 并且在线长方面比 A* 基线优化 2.6%

微机系统设计

2023 年 1 月 – 4 月

- 使用 Verilog 设计了一个微机系统的关键模块, 包括 4 路组相联缓存以及其控制器和 DRAM 控制器。该缓存将一个基准测试程序的运行时间减少了 43%
- 整个系统 (包括一个课程提供的软核) 在 Altera FPGA 上实现
- 使用 C 语言开发软件和固件, 通过 SPI、IIC 和 CAN 协议与硬件 (Flash, EEPROM 和 ADC/DAC) 交互
- 利用硬件中的定时器中断, 使用 C 语言设计了一款贪吃蛇游戏, 可在该微机系统上运行并通过 VGA 实现与玩家的交互

VLSI 物理设计

2022 年 9 月 – 12 月

- 使用 Cadence Virtuoso 设计了一个 3 输入与非门的物理布局, 该布局无 DRC 错误, 并优化了时序和面积
- 使用 Cadence Encounter RTL Compiler 综合了一个 RTL 状态机
- 使用 Cadence Innovus 对合成后的网表进行了布局和布线
- 在布局和布线后使用 Cadence Virtuoso 对电路进行了仿真

CPU 设计和 Assembly 编程

2022 年 6 月 – 9 月

- 使用 Verilog 设计了一个 16 位 RISC CPU, 集成了状态机、数据通路、RAM 和 I/O 接口等关键模块, 并在 Altera FPGA 上实现
- 该 CPU 支持 13 种不同指令, 包括 ALU 操作、内存访问和分支机制
- 使用 Assembly 语言在 FPGA 自带的 ARM 核上实现了简易的抢占式多任务处理

⚙️ 技能

- 硬件: Verilog, FPGA, Quartus, ModelSim, Cadence
- 软件: Python > C > ARM Assembly = C++, Linux
- 开发工具: Git, GitHub, Jira, Confluence