

席时棣

✉ brucexi99@outlook.com · in bruce-shidi-xi

🎓 教育背景

英属哥伦比亚大学 UBC, 加拿大, 温哥华

2021 – 2025

在读硕士研究生 电子与计算机工程

- 相关课程：数字及微机系统设计，计算机架构，VLSI，SerDes 高速接口，机器学习硬件加速器，深度学习

帝国理工学院 Imperial College London, 英国, 伦敦

2018 – 2021

学士 材料科学与工程，一等荣誉学位，连续三年（2018-2021）学年成绩年级前十

💼 实习经历

摩托罗拉系统 Motorola Solutions 温哥华

2022 年 5 月 – 12 月

设计验证实习生

- 按照标准工作流程对监控摄像头进行电气和光学测试，分析结果，使用 Confluence 和 Jira 汇报结果并追踪问题。
- 自学 Python 编程以开发测试自动化和数据分析的软件，利用面向对象编程创建模块化、可重用的脚本。通过成功减少重复的手动任务，通过自动化测试提高了团队效率达 90%，展示了优秀的问题解决和调试能力。
- 与电气和固件团队合作，识别并解决硬件和软件问题，展示了团队合作和沟通能力。

📁 项目经历

AMBA AXI Stream header 嵌入模块

2024 年 2 月 – 3 月

- 使用 Verilog 设计了一个 RTL 模块，将 header 嵌入网络数据包。该模块的数据传输遵循 AXI Stream 协议，从两个主机接口分别接受数据 packet 和 header packet，根据 keep 信号移除两个 packet 中的无效字节 (packing)，将剩下的有效字节合并 (merging) 后发送给一个从机接口，并输出相应的 keep 和 last 信号。
- 该设计对面积进行优化，不使用 FIFO 和状态机。使用流水线对数据以及握手信号进行打拍，并装配 skid buffer 处理反压，消除气泡，优化吞吐量。
- 该模块采用 SystemVerilog 随机激励验证，确保数据正确，无丢失，无重复。

微机系统设计

2023 年 1 月 – 4 月

- 为能在 Altera FPGA 上以 45 MHz 频率运行的微型计算机系统开发关键组件。在 FPGA 上使用 SRAM 实现了一个 8 路组相联缓存，并使用 Verilog 部分设计了包含 Tree PLRU 替换策略的缓存控制器。还使用 Verilog 部分设计了 DRAM 控制器。
- 编写嵌入式 C 驱动程序，控制软摩托罗拉 68000 微处理器，通过 SPI 协议与 Flash 通信以及通过 IIC 协议与 EEPROM 和 ADC/DAC PCB 通信。
- 利用硬件中的定时器中断，使用 C 语言设计了一款贪吃蛇游戏，可在该微机系统上运行并通过 VGA 实现与玩家的交互。

CPU 设计和 Assembly 编程

2022 年 6 月 – 9 月

- 使用 Verilog 设计了一个 16 位 RISC CPU，集成了状态机、数据通路、RAM 和 I/O 接口等关键模块，并在 Altera FPGA 上实现。
- 该 CPU 支持 13 种不同指令，包括算数运算、内存访问和分支机制。
- 使用 ARM Assembly 语言在 FPGA 自带的 ARM 核上实现了简易的抢占式多任务处理。

FPGA SoC 开发

2022 年 1 月 – 4 月

- 使用 Quartus IP 和 Verilog 在 Altera FPGA 上开发了一个运行频率为 50 MHz 的系统芯片 (SoC)，集成了 Nios II 软处理器、片上 RAM、VGA 核心、用于主机 PC 通信的 JTAG UART 核心和自定义 IP。利用 Avalon 内存映射接口进行模块通信。
- 设计并实现了自定义 IP，包括计数器、状态机和 Avalon 接口。
- 使用 ModelSim 对单个 IP 和整个系统进行了仿真以验证功能。• 编写了嵌入式 C 软件，通过内存映射地址与系统模块进行交互，实现与 IP 的数据读写操作，并在 CPU 上执行算术运算。

⚙️ 技能

- Verilog, SystemVerilog, FPGA, Python, C, ARM Assembly, Linux