

# 席时棣

✉ brucexi99@outlook.com · in bruce-shidi-xi

## 🎓 教育背景

英属哥伦比亚大学 UBC, 加拿大, 温哥华

2021 – 至今

在读硕士研究生 电子与计算机工程

- 相关课程：数字及微机系统设计，计算机架构，VLSI，SerDes 高速接口，机器学习硬件加速器，深度学习

帝国理工学院 Imperial College London, 英国, 伦敦

2018 – 2021

学士 材料科学与工程，一等荣誉学位，连续三年（2018-2021）学年成绩年级前十

## 💼 实习经历

摩托罗拉系统 Motorola Solutions 温哥华

2022 年 5 月 – 12 月

设计验证实习生

- 进行多项监控摄像头测试，验证产品的电子，机械，光学性能以及参数
- 对现有的测试流程提出反思和创新，自学 Python 编程，编写软件进行测试自动化和数据分析。减少组内的重复性人工劳动，提高工作效率。部分测试的自动化高达 90%
- 使用 Git、Confluence 和 Jira 与团队合作，优化工作流程效率

## 📁 项目经历

AMBA AXI Stream header 嵌入模块

2024 年 2 月 – 3 月

- 使用 Verilog 设计了一个 RTL 模块，将 header 嵌入网络数据包。该模块的数据传输遵循 AXI Stream 协议，从两个主机接口分别接受数据 packet 和 header packet，根据 keep 信号移除两个 packet 中的无效字节 (packing)，将剩下的有效字节合并 (merging) 后发送给一个从机接口，并输出相应的 keep 和 last 信号
- 该设计对面积进行优化，不使用 FIFO 和状态机。使用流水线对数据以及握手信号进行打拍，并装配 skid buffer 处理反压，消除气泡，优化吞吐量
- 该模块采用 SystemVerilog 随机激励验证，确保数据正确，无丢失，无重复

计算机架构模拟器

2023 年 9 月 – 12 月

- 使用 tiling 和 loop reordering 优化了 C 语言矩阵乘法计算。通过改变内存访问模式使缓存命中率提高了 8 倍
- 使用 C++ 在 ChampSim 模拟器上实现了 4 种缓存替换算法，与 2 种分支预测算法

微机系统设计

2023 年 1 月 – 4 月

- 使用 Verilog 设计了一个微机系统的关键模块，包括 4 路组相联缓存以及其控制器和 DRAM 控制器。该缓存将一个基准测试程序的运行时间减少了 43%
- 整个系统（包括一个课程提供的软核）在 Altera FPGA 上实现
- 使用 C 语言开发软件和固件，通过 SPI、IIC 和 CAN 协议与硬件（Flash，EEPROM 和 ADC/DAC）交互
- 利用硬件中的定时器中断，使用 C 语言设计了一款贪吃蛇游戏，可在该微机系统上运行并通过 VGA 实现与玩家的交互

CPU 设计和 Assembly 编程

2022 年 6 月 – 9 月

- 使用 Verilog 设计了一个 16 位 RISC CPU，集成了状态机、数据通路、RAM 和 I/O 接口等关键模块，并在 Altera FPGA 上实现
- 该 CPU 支持 13 种不同指令，包括算数运算、内存访问和分支机制
- 使用 ARM Assembly 语言在 FPGA 自带的 ARM 核上实现了简易的抢占式多任务处理

FPGA SoC 开发

2022 年 1 月 – 4 月

- 使用 Quartus 在 Altera FPGA 上开发了一个完整的 SoC，包括 Nios II 软 CPU，片上 RAM，自定义 IP 核，各模块使用 Avalon 内存映射接口进行数据传输
- 使用 Verilog 设计并综合自定义 IP 核，功能涵盖图像数据处理，VGA 输出，算数运算加速等
- 编写 C 语言软件在系统上运行，控制 VGA 显示的图像

## ⚙️ 技能

- Verilog, SystemVerilog, FPGA, Python, C, ARM Assembly, Linux