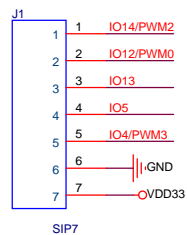
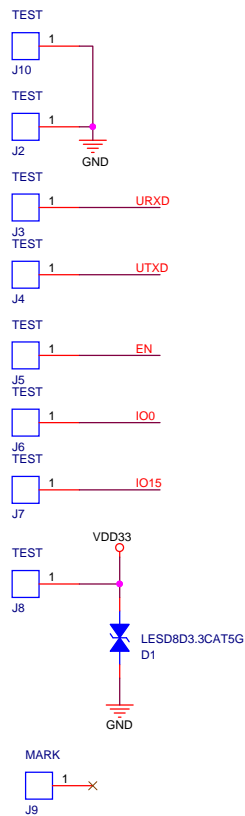


- 更改记录（V0.0-V1.0）
- 1 删除继电器自锁电路（U5,R6,R8,C22,C23,C24）
  - 2 新增EN，IO0，IO15，VCC3.3,GND五个测试点
  - 3 EN带RC延时（R13=10K,C10=0.1UF）
  - 4 调整IO控制,并做智能灯兼容设计：增加8PIN2.0MM排针J1
  - 5 为了 优化射频性能，降低成本，L1,C4,C5换成0201封装

- 更改记录（V1.0-V2.0）
- 1 新增ESD器件D1
  - 2 删除IO2,用IO5替换IO2的位置，新增IO16替换IO5的位置

- 更改记录（V2.0-V2.1）
- 1 删除IO16,外形和引脚定义兼容TYWE2L

信息智能 CONFIDENCE INTELLIGENCE			
CISS01-W8			
A3	<Doc>		V2.1
Monday, June 21, 2021		1	1



The values of C4, L1 and C5 vary with the actual PCB board.

The values of C1 and C2 vary with the selection of the crystal.

The value of R4 varies with the actual PCB board.

