

UNIVERSIDAD NACIONAL DE TUCUMÁN
FACULTAD DE CIENCIAS EXACTAS Y
TECNOLOGÍA



Integrantes:

- Ayala Cari, Bruno Fernando
- Ciccio, Ernesto José
- Diaz, Leonardo Leandro

Docente: Jorge Scandaliaris

Materia: Análisis y diseño de circuitos integrados digitales

Año: 2023

Introducción

En el siguiente informe se procede a plasmar reportes, observaciones y conclusiones a modo de realizar una comparativa entre las distintas implementaciones de multiplicadores ya que cada uno está sujeto a un balance diferente entre velocidad y cantidad lógica.

Descripción y Reportes de Implementaciones

Multiplicador Combinacional 16x16

Originalmente se hizo el flujo con periodo del reloj de 20ns, pero se aumentó el periodo hasta 100 ns para los combinacionales para ver si de esa forma se podía corregir el WARNING de fanout (no se corrigió).

❖ Área:

=== mult_comb_16x16 ===

Number of wires:	1370
Number of wire bits:	1431
Number of public wires:	3
Number of public wire bits:	64
Number of memories:	0
Number of memory bits:	0
Number of processes:	0
Number of cells:	1399

Chip area for module "mult_comb_16x16": **13435.385600 [um2]**

❖ Velocidad:

===== Typical Corner =====

Startpoint: mcand[10] (input port clocked by clk)
 Endpoint: product[30] (output port clocked by clk)
 Path Group: clk
 Path Type: max

Fanout	Cap	Slew	Delay	Time	Description
		0.00	100.00	100.00	clock clk (rise edge)
		0.00		100.00	clock network delay (ideal)
		-0.25		99.75	clock uncertainty
		0.00		99.75	clock reconvergence pessimism
		-20.00		79.75	output external delay
				79.75	data required time
				79.75	data required time
				-26.75	data arrival time
				53.00	slack (MET)

El retardo es de 26,75 ns

❖ Potencia:

===== Typical Corner =====

Group	Internal Power	Switching Power	Leakage Power	Total Power (Watts)	
Sequential	0.00e+00	0.00e+00	0.00e+00	0.00e+00	0.0%
Combinational	1.02e-04	1.16e-04	5.14e-09	2.18e-04	100.0%
Macro	0.00e+00	0.00e+00	0.00e+00	0.00e+00	0.0%
Pad	0.00e+00	0.00e+00	0.00e+00	0.00e+00	0.0%
Total	1.02e-04	1.16e-04	5.14e-09	2.18e-04	100.0%
		46.9%	53.1%	0.0%	

Multiplicador combinacional 32x32

❖ Área:

1-synthesis.AREA_0.stat.rpt
61. Printing statistics.

=== mult_comb_32x32 ===

Number of wires:	5703
Number of wire bits:	5828
Number of public wires:	3
Number of public wire bits:	128
Number of memories:	0
Number of memory bits:	0
Number of processes:	0
Number of cells:	5764

Chip area for module 'mult_comb_32x32': **55353.088000 [um2]**

❖ Potencia:

2-syn_sta.power.rpt

report_power

=====

Typical Corner

=====

Group	Internal Power	Switching Power	Leakage Power	Total Power (Watts)	
Sequential	0.00e+00	0.00e+00	0.00e+00	0.00e+00	0.0%
Combinational	6.87e-04	8.21e-04	2.10e-08	1.51e-03	100.0%
Macro	0.00e+00	0.00e+00	0.00e+00	0.00e+00	0.0%
Pad	0.00e+00	0.00e+00	0.00e+00	0.00e+00	0.0%
Total	6.87e-04	8.21e-04	2.10e-08	1.51e-03	100.0%
		45.6%	54.4%	0.0%	

Observación: Antes de hacer el flujo con 100 [ns], se lo realizó con 20 [nS] y con 50 [nS]. Se observó en los reportes de potencia que a menor ciclo de reloj (mayor frecuencia), la potencia consumida aumenta.

❖ **Velocidad:**

2-syn_sta.summary.rpt
report_checks -unconstrained

=====
=====TypicalCorner=====

Startpoint: mplier[25] (input port clocked by clk)
Endpoint: product[63] (output port clocked by clk)
Path Group: clk
Path Type: max

0.00	100.00	100.00	clock clk (rise edge)
	0.00	100.00	clock network delay (ideal)
	-0.25	99.75	clock uncertainty
	0.00	99.75	clock reconvergence pessimism
	-20.00	79.75	output external delay
		79.75	data required time

79.75 data required time
-29.40 data arrival time

50.35 slack (MET)

El retardo es de 29.4 [nS].

Multiplicador Secuencial 16x16

Resultados arrojados :

❖ Área:

=== mult_seq_16x16 ===

Number of wires:	223
Number of wire bits:	284
Number of public wires:	14
Number of public wire bits:	75
Number of memories:	0
Number of memory bits:	0
Number of processes:	0
Number of cells:	250

Chip area for module '\mult_seq_16x16': 2667.558400 [um2]

❖ Potencia:

report_power

=====

Typical Corner

Group	Internal Power	Switching Power	Leakage Power	Total Power (Watts)	
Sequential	1.37e-04	1.19e-04	3.38e-10	2.57e-04	43.2%
Combinational	2.11e-04	1.27e-04	6.48e-10	3.38e-04	56.8%
Macro	0.00e+00	0.00e+00	0.00e+00	0.00e+00	0.0%
Pad	0.00e+00	0.00e+00	0.00e+00	0.00e+00	0.0%
Total	3.48e-04	2.46e-04	9.86e-10	5.94e-04	100.0%
		58.6%	41.4%	0.0%	

❖ **Velocidad:** 20ns (periodo del reloj) * 16 ciclos = 320 ns

Multiplicador Secuencial 32x32

Resultados arrojados :

❖ **Área:**

=== mult_seq_32x32 ===

Number of wires:	459
Number of wire bits:	584
Number of public wires:	15
Number of public wire bits:	140
Number of memories:	0
Number of memory bits:	0
Number of processes:	0
Number of cells:	518

Chip area for module '\mult_seq_32x32': 5258.793600 [um2]

❖ **Potencia:**

report_power

=====

Typical Corner

Group	Internal Power	Switching Power	Leakage Power	Total Power (Watts)	
Sequential	2.52e-04	2.29e-04	6.16e-10	4.81e-04	41.5%
Combinational	4.35e-04	2.42e-04	1.34e-09	6.77e-04	58.5%
Macro	0.00e+00	0.00e+00	0.00e+00	0.00e+00	0.0%
Pad	0.00e+00	0.00e+00	0.00e+00	0.00e+00	0.0%
Total	6.88e-04	4.71e-04	1.96e-09	1.16e-03	100.0%
		59.4%	40.6%	0.0%	

- ❖ **Velocidad:** $20\text{ns (periodo del reloj)} * 32 \text{ ciclos} = 640 \text{ ns}$

Comparativa Multiplicador combinacional 32x32 VS **Multiplicador secuencial 32x32**

- El multiplicador combinacional de 55353.088 um^2 tiene mayor área que el secuencial que es de 5258.793600 um^2 .
- El multiplicador combinacional consume una potencia de $1.51\text{e-}03 \text{ W}$ por lo que tiene mayor potencia que el secuencial $5.94\text{e-}04 \text{ W}$.
- El multiplicador combinacional es más rápido ya que tarda $29,4 \text{ ns}$ mientras que el secuencial 320 ns .

Comparativa Multiplicador combinacional 16x16 vs **Multiplicador secuencial 16x16**

- El multiplicador combinacional de $13435.385600 \text{ um}^2$ tiene mayor área que el secuencial 2667.558400 um^2 .
- El multiplicador secuencial posee una potencia de $5.94\text{e-}04 \text{ W}$ y consume mayor potencia que el combinacional $2.18\text{e-}04 \text{ W}$.
- El multiplicador combinacional es más rápido ya que tarda $26,75 \text{ ns}$ mientras que el secuencial 640 ns .

Conclusión

En este estudio comparativo entre un multiplicador combinacional y uno secuencial, se han evaluado tres aspectos fundamentales: **área, velocidad y potencia**. Los resultados revelan diferencias significativas entre ambas implementaciones.

- En términos de **área**, el multiplicador combinacional demostró ser menos eficiente, ocupando más recursos en comparación con el multiplicador secuencial. Este factor puede ser esencial en aplicaciones donde la optimización del espacio en el chip es prioritaria.

- En cuanto a la **velocidad**, el combinacional es mejor. Es coherente, ya que realiza todas las multiplicaciones y sumas en paralelo.
- En el caso de **potencia**. El multiplicador secuencial mostró una ventaja en términos de consumo de potencia respecto del multiplicador combinacional. La elección entre ambos modelos dependerá de las prioridades específicas del sistema.

NOTA:

- En todos los Runs, en el reporte “manufacturability.rpt”, en el resumen del LvS, dice “Design is LVS clean.” lo cual significa que tanto el verilog inicial como el layout final son equivalentes.

PARA TENER EN CUENTA:

Warning :

El flujo fue exitoso, pero hubo advertencias de las cuales, la más significativa fue:

“ There are max fanout violations in the design at the typical corner.”

La "violación del fanout" se refiere a una situación en la que el número de salidas conectadas a una única salida de un dispositivo electrónico excede el límite especificado por el fabricante. El "fanout" se refiere al número máximo de salidas (o cargas) que una salida de un dispositivo puede manejar de manera confiable.

Tanto para el combinacional32x32, combinacional16x16 y secuencial32x32, el flujo arrojó un warning de fanout.

```
[SUCCESS]: Flow complete.
[INFO]: Note that the following warnings have been generated:
[WARNING]: 1 warnings found by linter
[WARNING]: Current core area is too small for the power grid settings chosen. The power grid will be scaled down.
[WARNING]: Module skyl130_fd_sc_hd__tapvpwrvgn1 blackboxed during sta
[WARNING]: Module skyl130_fd_sc_hd__fill_1 blackboxed during sta
[WARNING]: Module skyl130_fd_sc_hd__fill_2 blackboxed during sta
[WARNING]: Module skyl130_ef_sc_hd__decap_12 blackboxed during sta
[WARNING]: VSRC_LOC_FILES is not defined. The IR drop analysis will run, but the values may be inaccurate.
```

Para el secuencial 16x16 no se dio el warning de “violacion del fanout”.

```
[SUCCESS]: Flow complete.  
[INFO]: Note that the following warnings have been generated:  
[WARNING]: Module skyl130_fd_sc_hd__tapvpwrvrgnd_1 blackboxed during sta  
[WARNING]: Module skyl130_fd_sc_hd__fill_1 blackboxed during sta  
[WARNING]: Module skyl130_fd_sc_hd__fill_2 blackboxed during sta  
[WARNING]: Module skyl130_ef_sc_hd__decap_12 blackboxed during sta  
[WARNING]: VSRC_LOC_FILES is not defined. The IR drop analysis will run, but the values may be inaccurate.  
[WARNING]: There are max fanout violations in the design at the typical corner. Please refer to 'designs/mult_comb_32x3  
2/runs/first_run/reports/signoff/31-rcx_sta.checks.rpt'.
```