



Introdução à Informática

Arquitetura de Computadores:

Arte de selecionar e conectar componentes de hardware, firmware e software para criar computadores que cumpram certas especificações funcionais relacionadas a custo e performance.

Introdução à Informática

Arquitetura de Computadores:

- Implementação lógica: Como e onde é implementada a micro-arquitetura como equações lógicas.
- Design do circuito: Onde blocos críticos, equações lógicas e portas se localizam no nível de transistores.
- Montagem física: Onde os circuitos são montados, os barramentos são impressos e portas para placas, conectores e cabos são arrumados e roteados.



Introdução à Informática

Arquitetura de Computadores:

Elementos combinados para uma arquitetura de um computador.

Aplicativo

Sistema

Software

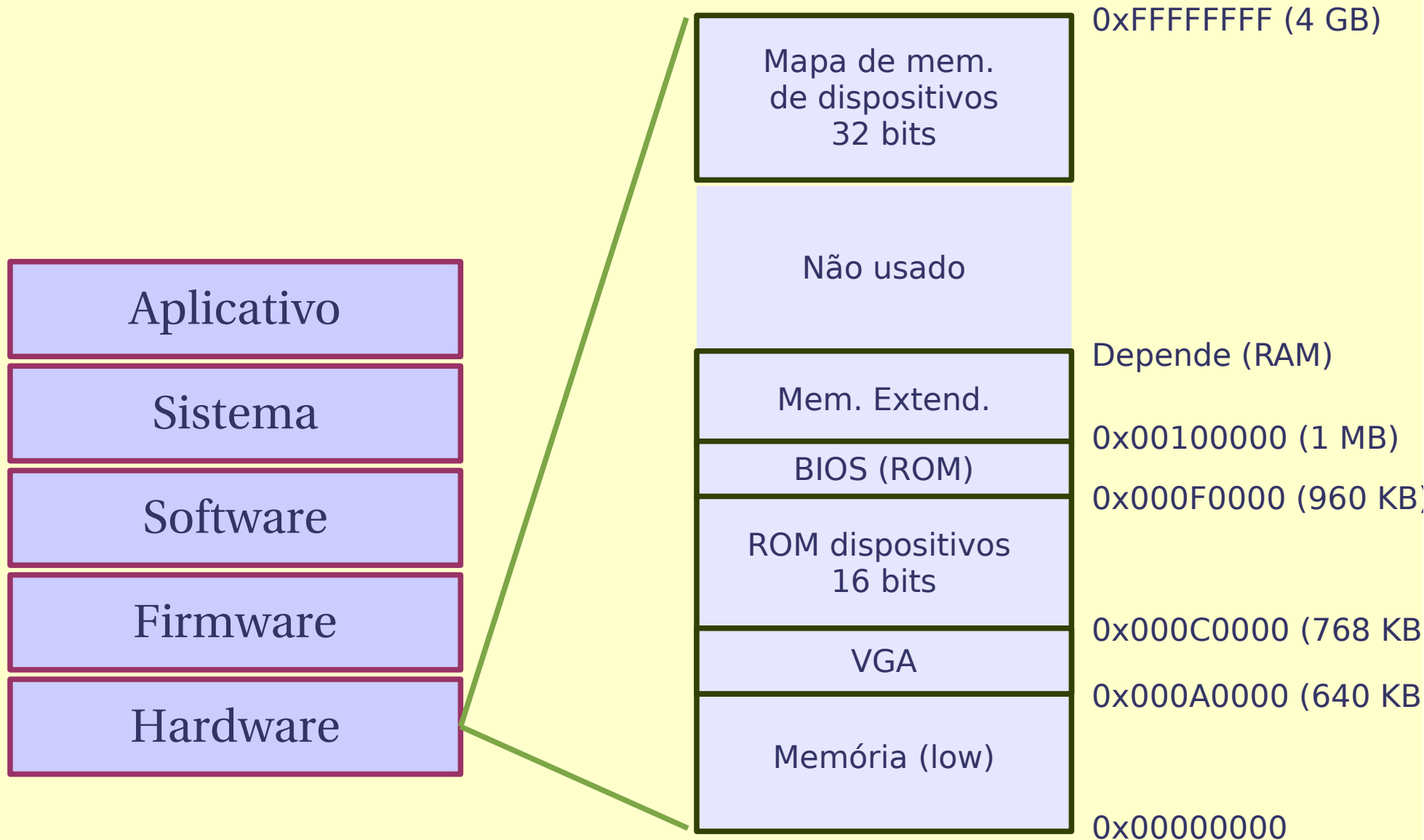
Firmware

Hardware



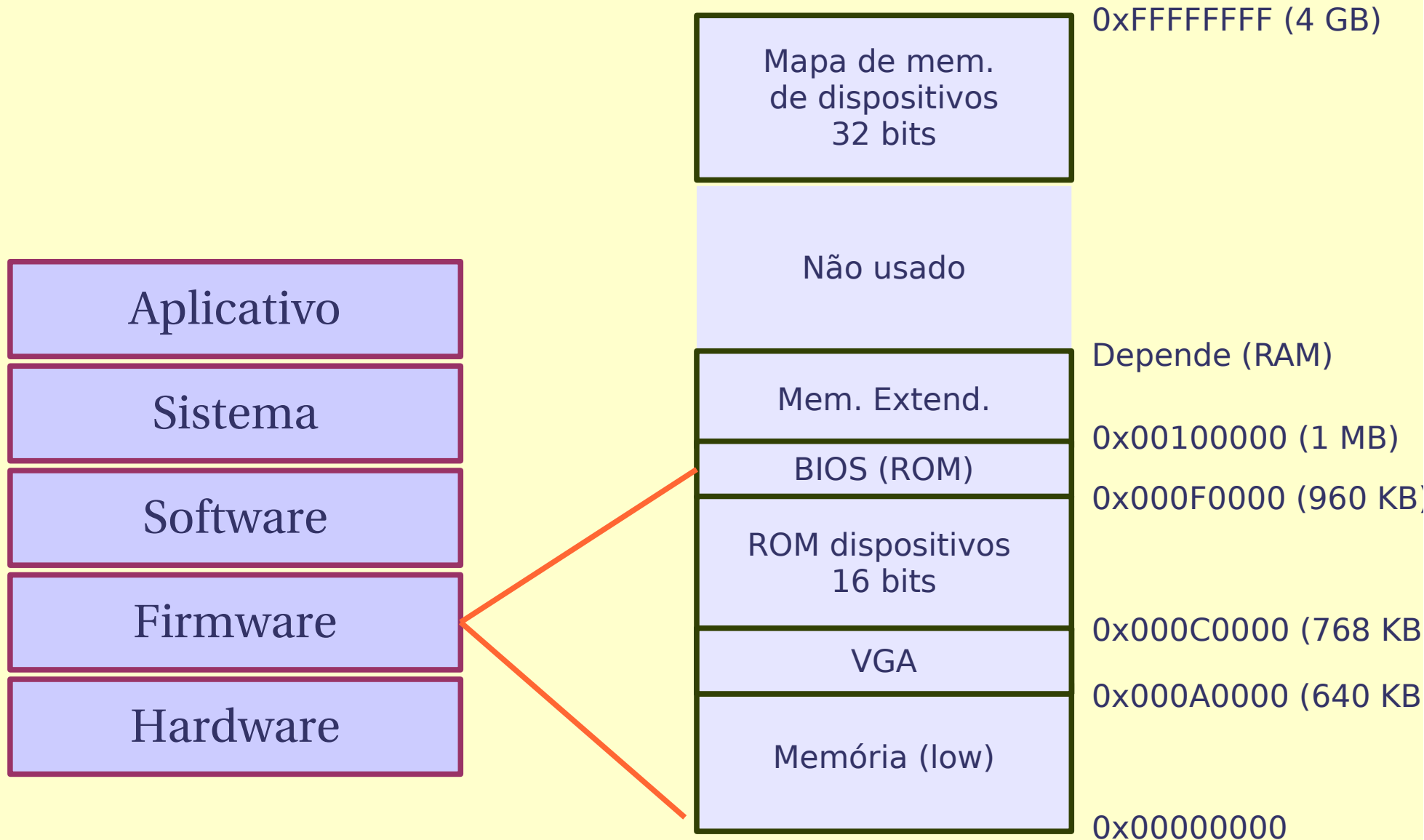
Introdução à Informática

Arquitetura de Computadores:



Introdução à Informática

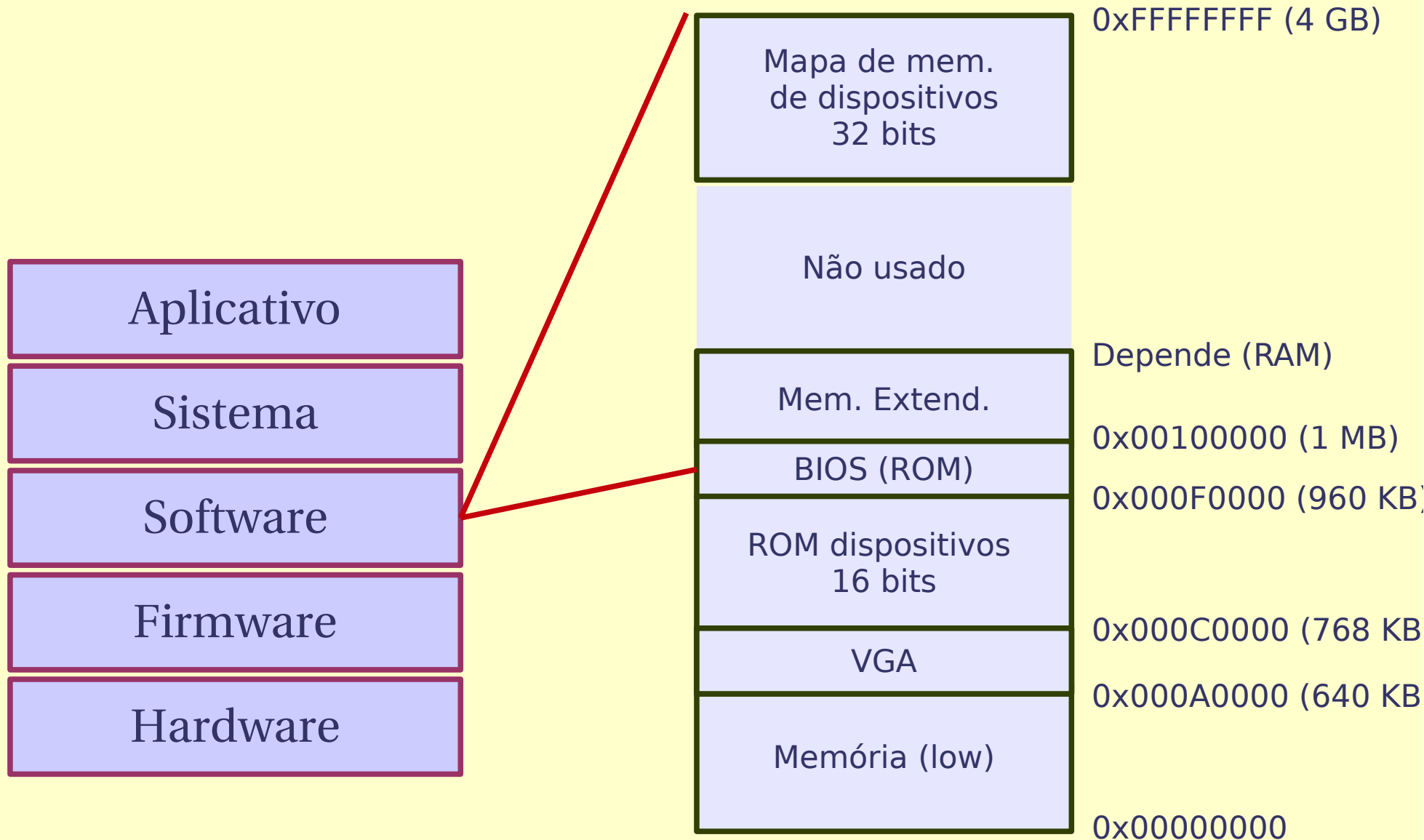
Arquitetura de Computadores:





Introdução à Informática

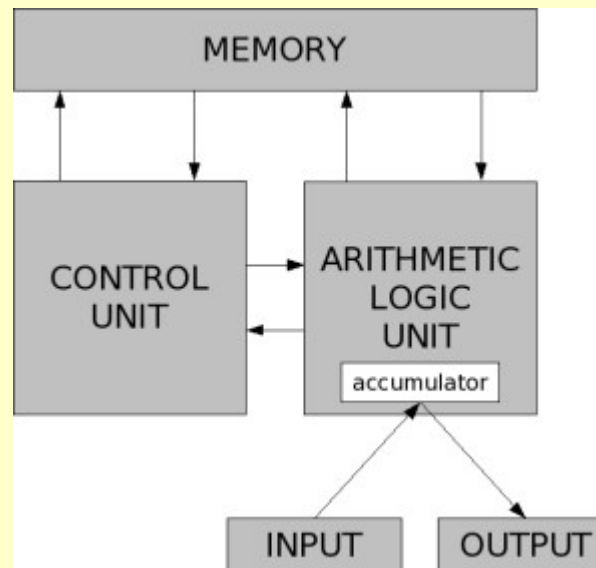
Arquitetura de Computadores:



Introdução à Informática

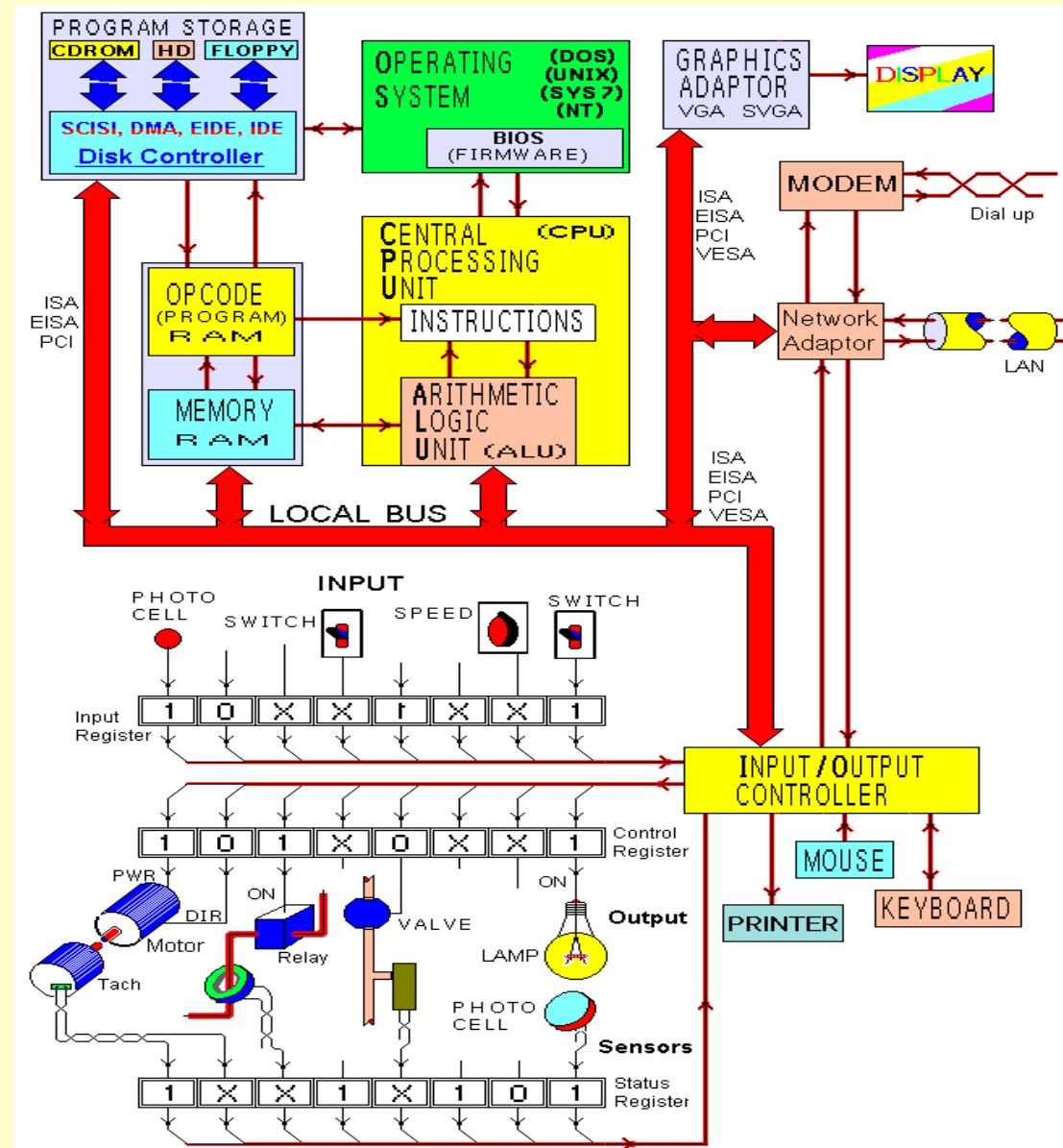
Arquitetura de Computadores:

Arquitetura de von Neumann



Introdução à Informática

Arquitetura de Computadores: esquema básico.





Introdução à Informática

Arquitetura de Computadores:

Microprocessador

Registradores e Barramento

Clock

Unidade de ponto flutuante (FPU)

Memória Virtual

Memória Cache

Introdução à Informática

Arquitetura de Computadores: Registradores (8086)

	F	8 7	0	
AX	AH		AL	Accumulator
BX	BH		BL	Base
CX	CH		CL	Counter
DX	DH		DL	Data
SP				Stack Pointer
BP				Base Pointer
SI				Source Index
DI				Destination Index
IP				Instruction Pointer
FLAGS				Flags
CS				Code Segment
DS				Data Segment
SS				Stack Segment
ES				Extra Segment

Introdução à Informática

Arquitetura de Computadores: Reg. de dados

	F	8 7	0	
AX	AH		AL	Accumulator
BX	BH		BL	Base
CX	CH		CL	Counter
DX	DH		DL	Data

8 registradores de dados de 8 bits.

4 registradores de dados de 16 bits.



Introdução à Informática

Arquitetura de Computadores: Reg. de endereço

SP e BP são endereços de pilhas (topo e base)

SP		Stack Pointer
BP		Base Pointer
SI		Source Index
DI		Destination Index

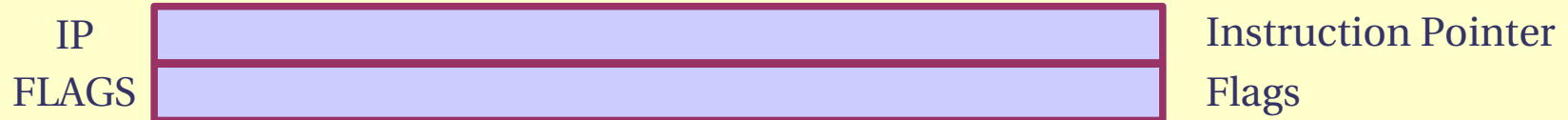
SI e DI são usados para endereços de 'String' mas podem conter outros tipos de endereços de dados.



Introdução à Informática

Arquitetura de Computadores:

IP é o apontador de instrução e o campo de 'flags' é usado para marcadores.





Introdução à Informática

Arquitetura de Computadores:

O processador 8086 pode acessar até 4 segmentos de 64 Kbytes de cada vez.

CS: contém o endereço inicial do segmento de código atual

DS: contém o endereço base do segmento de dados atual

SS: contém o endereço da pilha atual

ES: contém o endereço global dos dados

CS		Code Segment
DS		Data Segment
SS		Stack Segment
ES		Extra Segment



Introdução à Informática

Arquitetura de Computadores: (80386)

	1F	10 0F	08 07	00	
EAX			AH	AL	Accumulator
EBX			BH	BL	Base
ECX			CH	CL	Counter
EDX			DH	DL	Data
ESP					Stack Pointer
EBP					Base Pointer
ESI					Source Index
EDI					Destination Index
EIP					Instruction Pointer
EF					Flags
	CS				Code Segment
	SS				Stack Segment
	DS				Data Segment
	ES				Data Segment
	FS				Data Segment
	GS				Data Segment

Introdução à Informática

Arquitetura de Computadores: (Pentium)

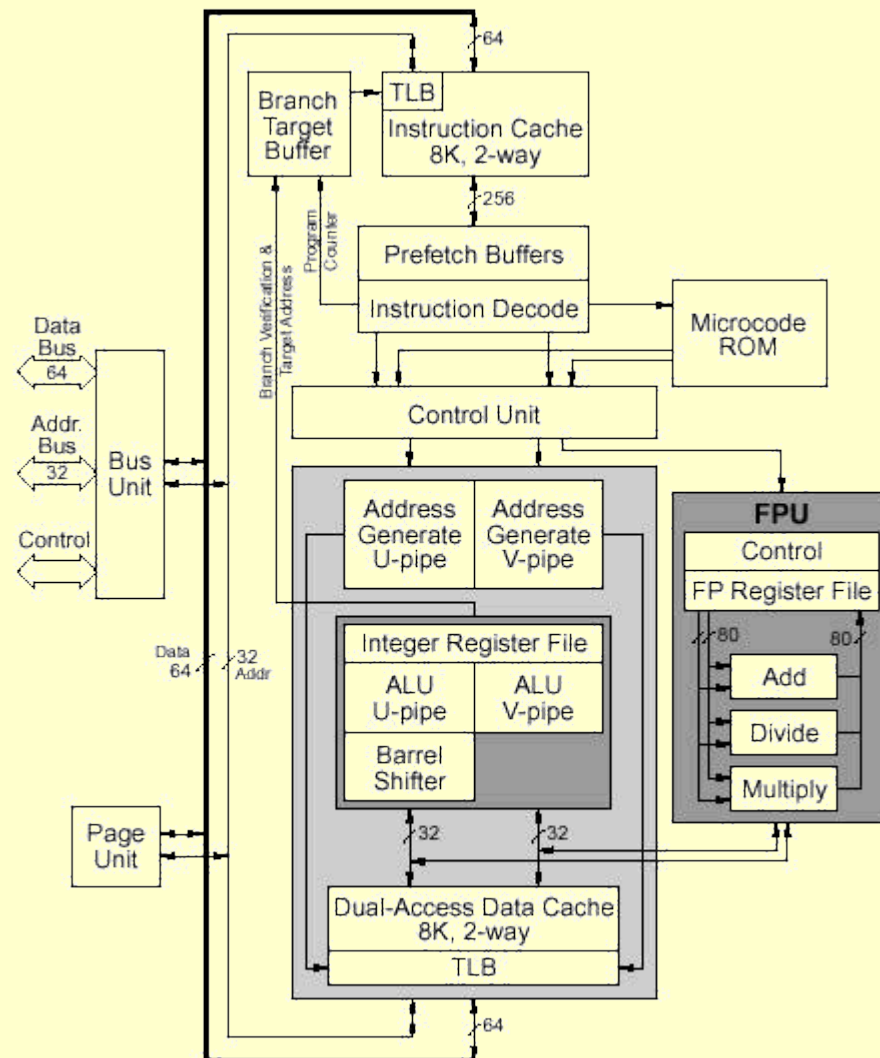
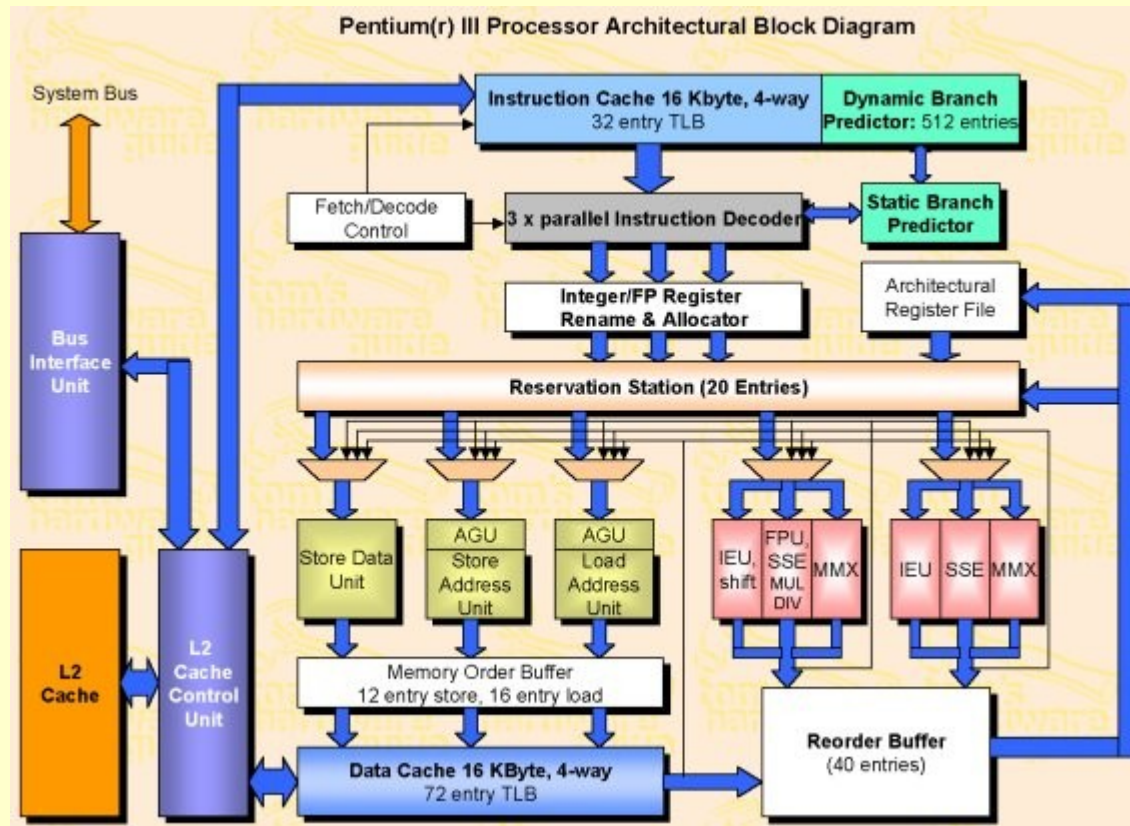


Figure 1. Pentium block diagram.

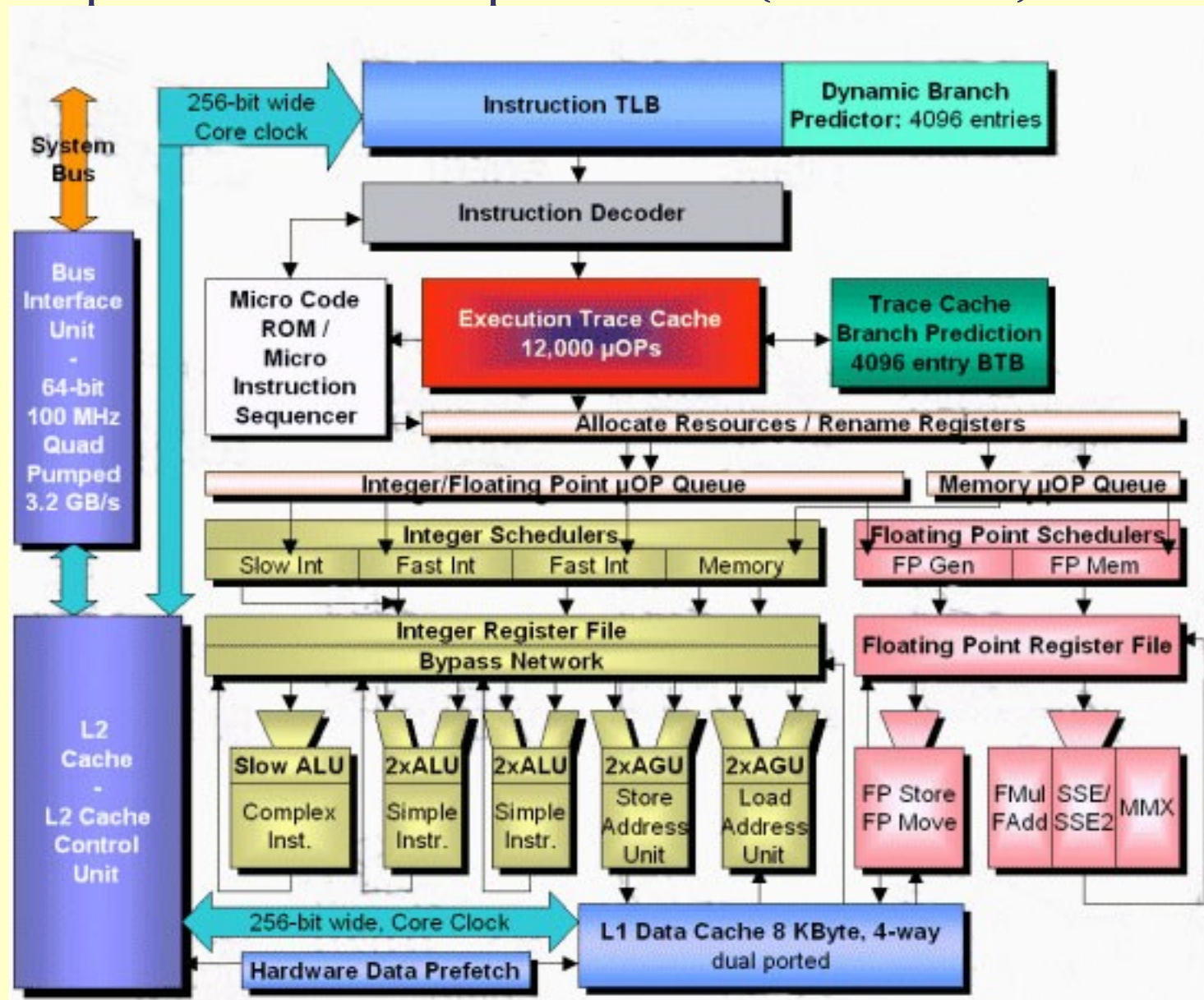
Introdução à Informática

Arquitetura de Computadores: (Pentium 3)



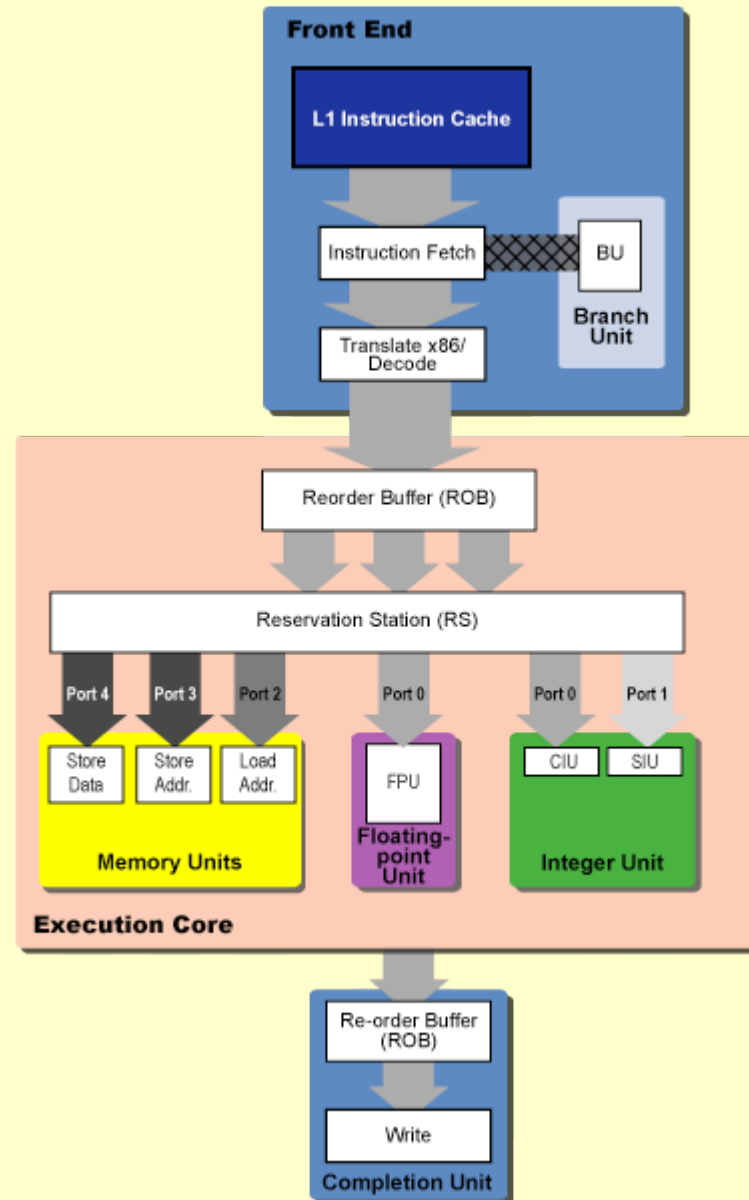
Introdução à Informática

Arquitetura de Computadores: (Pentium 4)



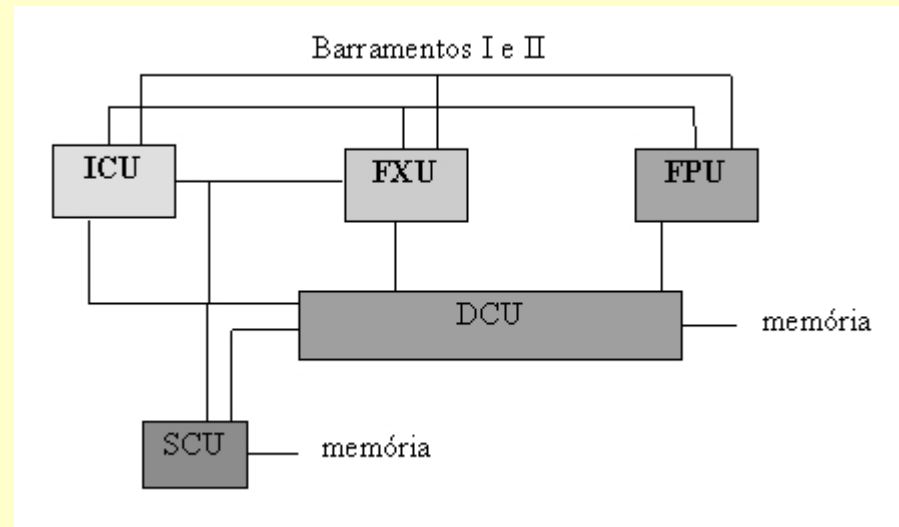
Introdução à Informática

Arquitetura de Computadores: (Pentium Pro)



Introdução à Informática

Arquitetura de Computadores: (RISC 6000)



O processador RS/6000 possui cinco unidades:

- * ICU: unidade de memória cache de instruções;
- * FXU: unidade de ponto fixo;
- * FPU: unidade de ponto flutuante;
- * DCU: memória cache de dados;
- * SCU: unidade de controle de memória.

Introdução à Informática

Arquitetura de Computadores: (RISC 6000)

As funções de cada um dos quatro estágios do processador são as seguintes:

- **Busca:** quatro instruções são trazidas da memória cache para a janela (denominada buffer pela IBM) pela unidade ICU;
- **Despacho:** se apropriado, instruções para as unidades FXU e FPU são despachadas pelo processador de desvios. Além dessa função, a unidade ICU pode gerar o endereço alvo de uma instrução de desvio e executar uma outra instrução de desvio;
- **Decodificação:** as unidades FXU e FPU decodificam as instruções despachadas pela ICU;
- **Execução:** as instruções decodificadas são executadas pela FXU e pela FPU.

Introdução à Informática

Arquitetura de Computadores: (RISC 6000)

Reg. do processador de ponto fixo

r0-r31: Registradores de propósito geral: principal conjunto de registradores de 32 bits usado pelo sistema.

xer: Registrador de exceção de ponto fixo: este registrador de 32 bits indica o estado da operação de ponto fixo, por exemplo, que um overflow ou carry ocorreu.

mq: Registrador de quociente de multiplicação: fornece uma extensão de registrador de 32 bits para armazenar os resultados de operação de multiplicação ou de divisão.

dar: Registrador de endereço de dados: contém o endereço de 32 bits que ocasiona um armazenamento de dados ou uma exceção de alinhamento.

dsisr: Registrador de status de interrupção de armazenamento de dados: define a causa da interrupção cujo endereço endereço foi colocado no registrador dar.

Processador de Ponto Fixo	
r0 → r31	
xer	mq
dar	dsisr

Processador de Ponto Flutuante	
fr0 → fr31	
fpscr	

Processador de Desvios	
msr	ctr
cr	lr
srr0	srr1

Registradores Especiais	
sr0 → sr15	
eim0	eim1
eis0	eis1
sdr0	sdr1
rtcu	rtcl
tid	dec
iar	

Introdução à Informática

Arquitetura de Computadores: (RISC 6000)

Reg. de ponto flutuante

fr0-fr31: Registradores de ponto flutuante: 32 registradores de ponto flutuante de 64 bits cada.

fpscr: Registrador de controle e status de ponto flutuante: controla o manuseio de exceções de ponto flutuante e dos resultados.

Processador de Ponto Fixo	
r0 → r31	
xer	mq
dar	dsisr

Processador de Ponto Flutuante	
fr0 → fr31	
fpscr	

Processador de Desvios	
msr	ctr
cr	lr
srr0	srr1

Registradores Especiais	
sr0 → sr15	
eim0	eim1
eis0	eis1
sdr0	sdr1
rtcu	rtcl
tid	dec
iar	

Introdução à Informática

Arquitetura de Computadores: (RISC 6000)

Reg. do processador de desvios

msr: Registrador de estado de máquina: define o estado do processador (se as interrupções externas estão desabilitadas, se o processador de ponto flutuante está livre ou se um endereço incorreto foi selecionado).

cr: Registrador de condição: um registrador de 32 bits que reflete o resultado de certas operações e fornece um mecanismo para teste e desvio.

lr: Registrador de ligação: um registrador de 32 bits que contém o destino para instruções de desvio condicional ou o endereço de retorno de subrotina.

ctr: Registrador contador: um registrador de 32 bits que é automaticamente decrementado com instruções de desvio e de contagem.

srr0: Registrador 0 de salvamento/recuperação de status: registrador de 32 bits que salva o estado da máquina em interrupções e recupera o estado da máquina no retorno de uma instrução de interrupção.

srr0: contém o endereço que ocasionou a interrupção.

srr1: Registrador 1 de salvamento/recuperação de status: como srr0, entretanto srr1 contém informações específicas sobre a causa da interrupção.

Processador de Ponto Fixo	
r0 → r31	
xer	mq
dar	dsisr

Processador de Ponto Flutuante	
fr0 → fr31	
fpscr	

Processador de Desvios	
msr	ctr
cr	lr
srr0	srr1

Registradores Especiais	
sr0 → sr15	
eim0	eim1
eis0	eis1
sdr0	sdr1
rtcu	rtc1
tid	dec
iar	

Introdução à Informática

Arquitetura de Computadores: (RISC 6000)

Registradores especiais

dec: Registrador de decremento: um contador que fornece o mecanismo para uma interrupção externa.

eim0, eim1: Máscara de interrupção externa, baixa e alta, e de 32 bits.

eis0, eis1: Sumário de interrupção externa, baixo e alto, de 32 bits.

iar: Registrador de endereço de instruções (contador de programa).

rtcu: Registrador upper de relógio de tempo real: tempo de 32bits em segundos.

rtcl: Registrador lower de relógio de tempo real: os 32 bits mais baixos do tempo em nanosegundos.

sr0-sr15: Registradores de segmento: 16, registradores de 32 bits usados para transformar endereços.

sdr0: Registrador 0 de descrição de armazenamento: um ponteiro para os bits de ordem mais alta do endereço.

sdr1: Registrador 1 de descrição de armazenamento: contém os bits de ordem mais alta do endereço para o hardware transformar endereços.

tid: Registrador de ID de transações: um ID de transações de 32 bits do processo executante.

Processador de Ponto Fixo	
r0 → r31	
xer	mq
dar	dsisr

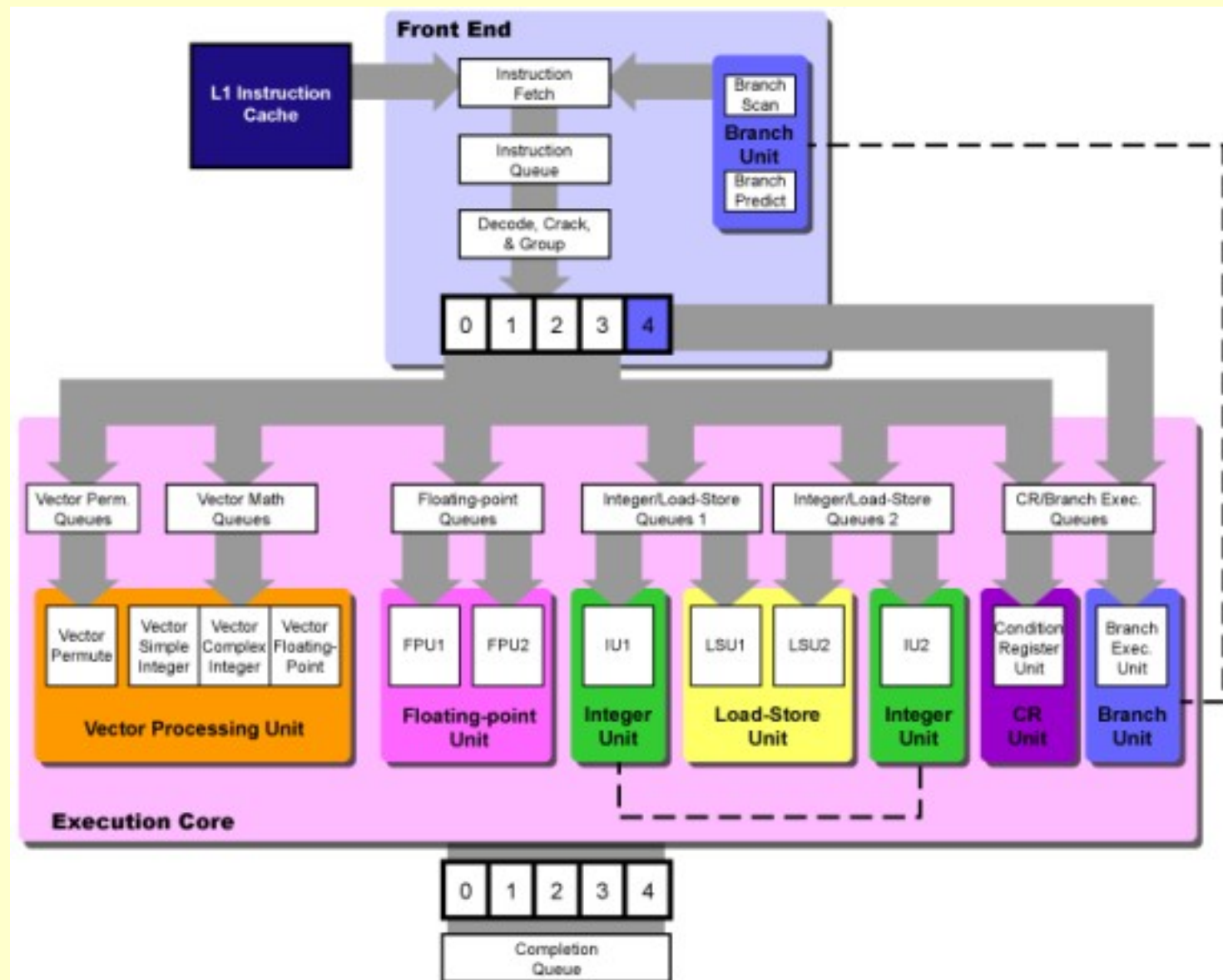
Processador de Ponto Flutuante	
fr0 → fr31	
fpscr	

Processador de Desvios	
msr	ctr
cr	lr
srr0	srr1

Registradores Especiais	
sr0 → sr15	
eim0	eim1
eis0	eis1
sdr0	sdr1
rtcu	rtcl
tid	dec
iar	

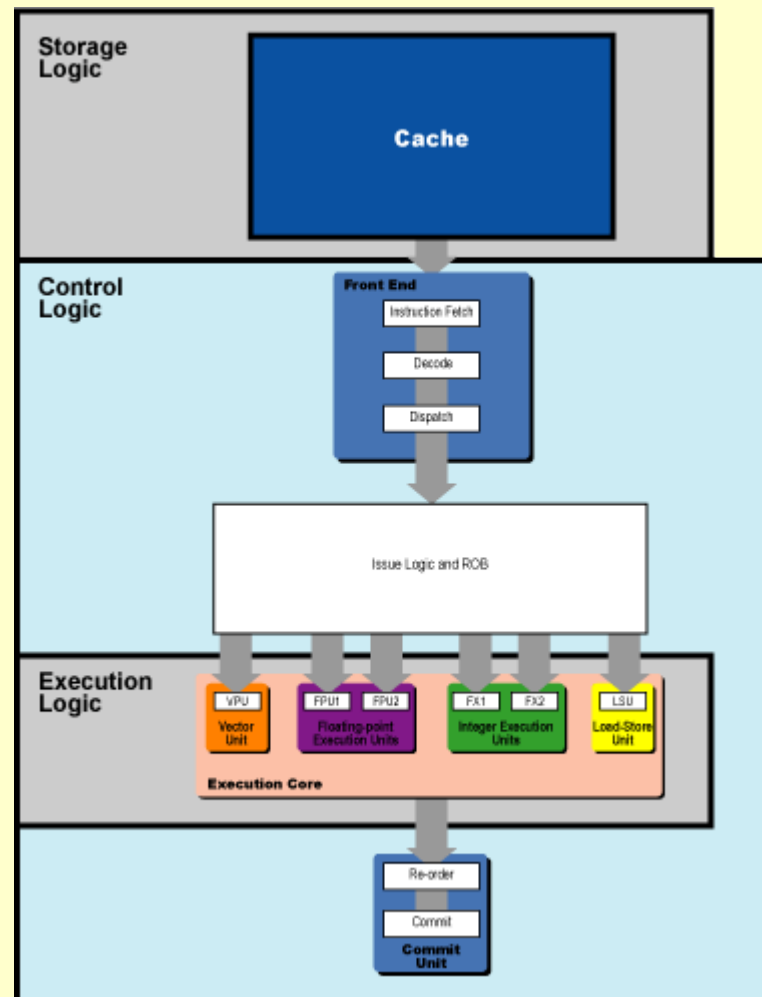
Introdução à Informática

Arquitetura de Computadores: (RISC)



Introdução à Informática

Arquitetura de Computadores: (PPC)





Introdução à Informática

Arquitetura de Computadores: (ARM)

- RISC
- 32 bits
- Alta performance
- Baixo consumo



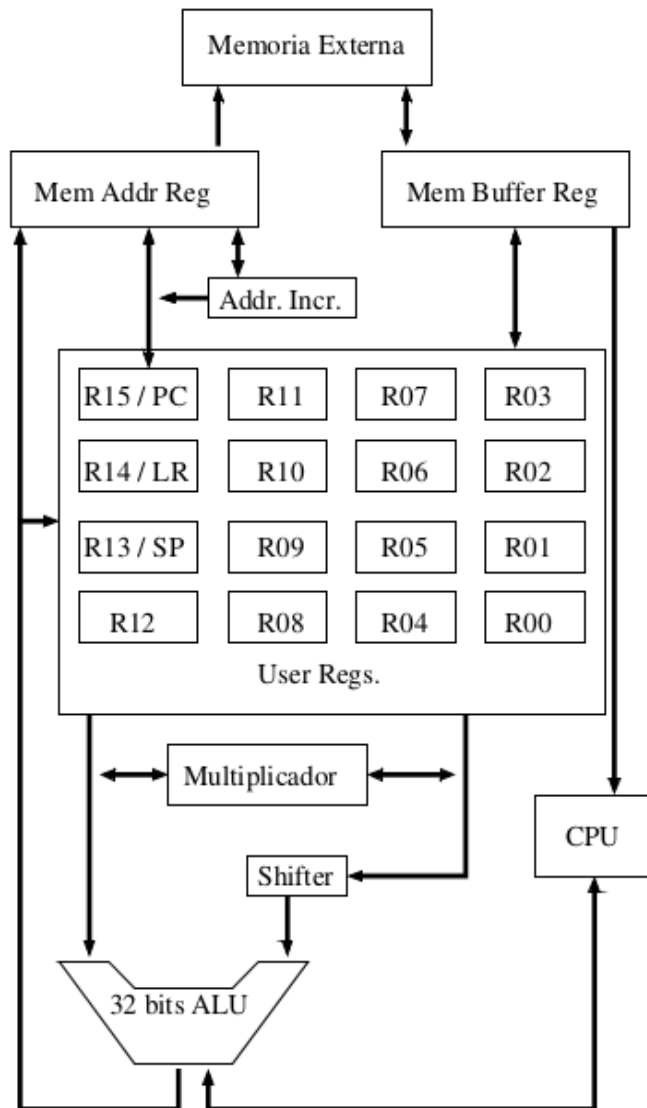
Introdução à Informática

Arquitetura de Computadores: (ARM)

- Equipamentos móveis
- Smartphones
- Tablets
- Mini computers (Raspberry Pi, Cubieboard, Beaglebone etc.)

Introdução à Informática

Arquitetura de Computadores: (ARM)

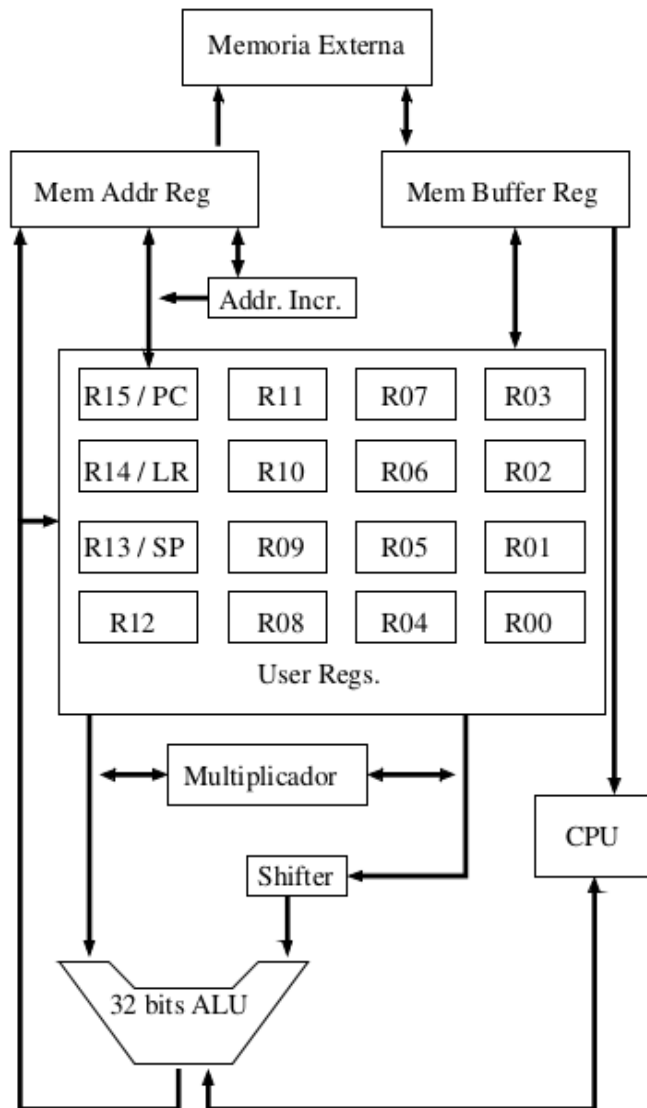


31 registradores de 32 bits (16 acessíveis em qualquer estado)

Conjunto eficiente de instruções com referências condicionais na própria instrução

Introdução à Informática

Arquitetura de Computadores: (ARM)



Modos:

User (usr): Estado de execução normal

FIQ (fiq): Fast interrupt (transf. rápida de dados)

IRQ (irq): Manipulação de interrupções

Supervisor (svc): Modo protegido para o SO

Abort (abt): Implementa mem. virtual ou mem. protease

Undefined (und): Emulação de hardware de coprocessamento via software.

System (sys): Roda SO em modo privilegiado.