

Universidade Federal de Santa Catarina
INE5607 – Organização e Arquitetura de Computadores
Prova 3 – Turmas 02238A/02238B – Semestre 2015/1

Eu, (nome completo do(a) aluno(a)) _____, matrícula _____, declaro que as respostas nesta prova são de minha própria autoria e que não consultei materiais externos ou outras pessoas durante a prova.

Assinado: _____

Instruções adicionais:

- As respostas devem ser escritas na folha de respostas e não neste documento.
- Todas as folhas devem ser devolvidas ao final da prova.
- Rascunhos devem ser feitos apenas na folha de respostas e não nas mesas ou neste documento.
- Questões envolvendo contas somente serão consideradas com suas apresentações.

[1 p] Questão 1. Em sua empresa, a máquina servidora responsável pela aplicação de Simulação de Pipoqueira terá que ser trocada. Sabendo que a máquina possui um processador com uma cache L1 de dados de 32 KB com mapeamento direto, **informe quais os tipos de falhas de cache que seriam afetados e como eles seriam afetados** (aumentariam ou diminuiriam) com as seguintes propostas de processadores com diferentes caches:

- 1.1. Processador com cache L1 de dados de 32 KB totalmente associativa
- 1.2. Processador com cache L1 de dados de 16 KB com mapeamento direto
- 1.3. Processador com cache L1 de dados de 32 KB com mapeamento direto e mecanismo de *prefetch*
- 1.4. Processador com cache L1 de dados de 64 KB com mapeamento direto
- 1.1. *Reduz falhas de conflito*
- 1.2. *Aumenta falhas de capacidade*
- 1.3. *Reduz falhas compulsórias*
- 1.4. *Reduz falhas de capacidade*

[1 p] Questão 2. Considere um ambiente com 4 MB de memória primária compartilhada por aplicações que enxergam 16 MB de memória virtual. Sabendo que cada página ocupa 8 KB de memória e que cada entrada na tabela de páginas possui 1 byte de controle (validade e afins), **informe o tamanho da tabela de páginas** (em bits ou bytes).

$$4 \text{ MB} = 2^{22}; 16 \text{ MB} = 2^{24}; 8 \text{ KB} = 2^{13}$$

$$16 \text{ MB} / 8 \text{ KB} = 2 \text{ K } (2^{11}) \text{ páginas virtuais (entradas na tabela de páginas)}$$

$$4 \text{ MB} / 8 \text{ KB} = 512 (2^9) \text{ páginas físicas (9 bits para endereçar uma página física)}$$

$$\text{Tamanho da tabela de páginas} = 2048 \text{ entradas} * (8 \text{ bits de controle} + 9 \text{ bits de endereço}) = 34816 \text{ bits ou } 4352 \text{ bytes}$$

[2 p] **Questão 3.** Sabendo que um programa tem **10% de instruções de acesso à memória**, calcule quanto o **CPI** do processador será influenciado pelo acesso à memória para **(i) busca de instruções e (ii) busca de dados para as duas configurações de cache** abaixo. (Quatro respostas são esperadas, uma para cada combinação).

Configuração A	Taxa de acerto	Tempo de acerto		Configuração B	Taxa de acerto	Tempo de acerto
Cache L1 de instruções e cache L1 de dados	90%	2 ciclos		Cache L1 de instruções e cache L1 de dados	80%	1 ciclo
Cache L2	80%	20 ciclos		Cache L2	90%	30 ciclos
Memória principal	100%	100 ciclos		Memória principal	100%	80 ciclos

A) Instruções = $2 + 0,1 \cdot (20 + 0,2 \cdot 100) = 2 + 0,1 \cdot (20 + 20) = 2 + 4 = 6$

A) Dados = A) Instruções $\cdot 0,1 = 0,6$

B) Instruções = $1 + 0,2 \cdot (30 + 0,1 \cdot 80) = 1 + 0,2 \cdot (30 + 8) = 1 + 7,6 = 8,6$

B) Dados = B) Instruções $\cdot 0,1 = 0,86$

[3 p] **Questão 4.** Uma pessoa amiga sua se encontra envolvida em um projeto de processador. Essa pessoa lhe informa que é planejada uma arquitetura com endereços de 20 bits e uma cache L1 com 4 blocos de 16 bytes cada. Porém, você fica sabendo que ela está com dificuldades em visualizar **todas as possibilidades de organização para essa cache** e decide ajudá-la. Para **cada organização possível para essa cache**, informe:

- 4.1. O tipo de mapeamento usado;
 - 4.2. O tamanho da tag; e
 - 4.3. O espaço ocupado pela organização de cache em bits (considerando 1 bit de validade por bloco).
- $16 = 2^4$; $4 = 2^2$; $2 = 2^1$; $1 = 2^0$

Mapeamento direto:

Tag = $20 - 2 - 4 = 14$ bits.

Espaço = $4 \cdot (1 + 14 + 128) = 4 \cdot 143 = 572$ bits

Mapeamento 2-associativo:

Tag = $20 - 1 - 4 = 15$ bits.

Espaço = $4 \cdot (1 + 15 + 128) = 4 \cdot 144 = 576$ bits

Mapeamento totalmente associativo:

Tag = $20 - 0 - 4 = 16$ bits.

Espaço = $4 \cdot (1 + 16 + 128) = 4 \cdot 145 = 580$ bits

[2 p] **Questão 5.** O mecanismo de memória virtual usa uma tabela de páginas para supervisionar o mapeamento de páginas virtuais para páginas físicas. Levando em conta (i) as **sequências de endereços virtuais requisitados por instruções do tipo lw e sw apresentadas abaixo (em binário)** e (ii) **o estado da tabela de páginas** apresentada abaixo (seguindo o mesmo padrão usado em aula), apresente:

5.1. O **número de faltas de páginas para cada sequência de acesso**; e

5.2. O **estado final da tabela de páginas**. Para isso, considere que se uma página precisa ser trazida da memória secundária para a memória primária, o próximo endereço de página físico disponível após a página de maior número deve ser usado. Por exemplo, se entre todas as entradas na tabela de páginas, o endereço físico 20 for o maior de todos, o próximo endereço a ser usado deve ser o 21 e assim por diante.

Sequência de endereços 1: 01101000, 01111100, 11011100, 00000000, 00100100, 11101100, 11100000

Sequência de endereços 2: 01011000, 00011000, 00000100, 10101000, 11001000, 00110000, 00111100

Tabela de páginas

Validade	Endereço físico ou disco
1	14
0	Disco
0	Disco
1	7
0	Disco
1	3
1	28
0	Disco

Sequência 1:

011 01000: 3 -> hit

011 11100: 3 -> hit

110 11100: 6 -> hit

000 00000: 0 -> hit

001 00100: 1 -> miss (coloca na página física 29)

111 01100: 7 -> miss (coloca na página física 30)

111 00000: 7 -> hit

Total: 2 page faults.

Sequência 2:

010 11000: 2 -> miss (coloca na página física 29)

000 11000: 0 -> hit

000 00100: 0 -> hit

101 01000: 5 -> hit

110 01000: 6 -> hit

001 10000: 1 -> miss (coloca na página física 30)

001 11100: 1 -> hit

Total: 2 page faults.

[1 p] **Questão 6.** Você é responsável pela avaliação de um Código de Correção de Erros de Hamming (detecta e corrige erro em 1 bit) para a memória de um satélite. Tendo em vista a distribuição de bits de paridade e etapas vistas em aula, **informe para cada uma das palavras abaixo se algum erro foi detectado e qual bit foi invertido.**

	1	2	3	4	5	6	7	8	9	10	11	12
Palavra 1	0	1	1	1	0	0	1	0	1	1	0	1
Palavra 2	1	1	0	0	0	0	1	1	0	1	1	0

	1	2	3	4	5	6	7	8	9	10	11	12	
Palavra 1	0	1	1	1	0	0	1	0	1	1	0	1	
P1	0		1		0		1		1		0		1!
P2		1	1			0	1			1	0		0
P4				1	0	0	1					1	1!
P8								0	1	1	0	1	1!

Foi detectado um erro na posição 1101 = 13! Deve haver mais de um bit invertido!

	1	2	3	4	5	6	7	8	9	10	11	12	
Palavra 2	1	1	0	0	0	0	1	1	0	1	1	0	
P1	1		0		0		1		0		1		1!
P2		1	0			0	1			1	1		0
P4				0	0	0	1					0	1!
P8								1	0	1	1	0	1!

Foi detectado um erro na posição 1101 = 13! Deve haver mais de um bit invertido!

[1 p] **Questão extra.** Calcule o **tempo de leitura médio** para um disco ocioso com setores de 256 bytes, tempo de busca médio de 5 ms, 6000 RPM, taxa de transferência de 256000 B/s e atraso de controle de 0,1 ms.

Tempo de leitura médio =

5 ms +

60/6000 -> 0,01 s -> 10 ms +

256/256000 -> 0,001 s -> 1 ms +

0,1 ms

= 16,1 ms

[1 p] **Questão extra.** Tendo base nas técnicas de monitoramento discutidas em aula, **informe qual seria a técnica mais indicada** para um sistema de tempo real com taxa pré-determinada de transferência de dados.

Polling.