

**Universidade Federal de Santa Catarina**  
**INE5607 – Organização e Arquitetura de Computadores**  
**Prova 3 – Turmas 02238A/02238B – Semestre 2015/1**

Eu, (nome completo do(a) aluno(a)) \_\_\_\_\_, matrícula \_\_\_\_\_, declaro que as respostas nesta prova são de minha própria autoria e que não consultei materiais externos ou outras pessoas durante a prova.

Assinado: \_\_\_\_\_

Instruções adicionais:

- As respostas devem ser escritas na folha de respostas e não neste documento.
- Todas as folhas devem ser devolvidas ao final da prova.
- Rascunhos devem ser feitos apenas na folha de respostas e não nas mesas ou neste documento.
- Questões envolvendo contas somente serão consideradas com suas apresentações.

[1 p] **Questão 1.** Em sua empresa, a máquina servidora responsável pela aplicação de Simulação de Pipoqueira terá que ser trocada. Sabendo que a máquina possui um processador com uma cache L1 de dados de 32 KB com mapeamento direto, **informe quais os tipos de falhas de cache que seriam afetados e como eles seriam afetados** (aumentariam ou diminuiriam) com as seguintes propostas de processadores com diferentes caches:

- 1.1. Processador com cache L1 de dados de 32 KB totalmente associativa
- 1.2. Processador com cache L1 de dados de 16 KB com mapeamento direto
- 1.3. Processador com cache L1 de dados de 32 KB com mapeamento direto e mecanismo de *prefetch*
- 1.4. Processador com cache L1 de dados de 64 KB com mapeamento direto

[1 p] **Questão 2.** Considere um ambiente com 4 MB de memória primária compartilhada por aplicações que enxergam 16 MB de memória virtual. Sabendo que cada página ocupa 8 KB de memória e que cada entrada na tabela de páginas possui 1 byte de controle (validade e afins), **informe o tamanho da tabela de páginas** (em bits ou bytes).

[2 p] **Questão 3.** Sabendo que um programa tem **10% de instruções de acesso à memória**, calcule quanto o CPI do processador será influenciado pelo acesso à memória para **(i) busca de instruções e (ii) busca de dados para as duas configurações de cache** abaixo. (Quatro respostas são esperadas, uma para cada combinação).

Configuração A	Taxa de acerto	Tempo de acerto		Configuração B	Taxa de acerto	Tempo de acerto
Cache L1 de instruções e cache L1 de dados	90%	2 ciclos		Cache L1 de instruções e cache L1 de dados	80%	1 ciclo
Cache L2	80%	20 ciclos		Cache L2	90%	30 ciclos
Memória principal	100%	100 ciclos		Memória principal	100%	80 ciclos

**[3 p] Questão 4.** Uma pessoa amiga sua se encontra envolvida em um projeto de processador. Essa pessoa lhe informa que é planejada uma arquitetura com endereços de 20 bits e uma cache L1 com 4 blocos de 16 bytes cada. Porém, você fica sabendo que ela está com dificuldades em visualizar **todas as possibilidades de organização para essa cache** e decide ajudá-la. Para **cada organização possível para essa cache**, informe:

- 4.1. O tipo de mapeamento usado;
- 4.2. O tamanho da tag; e
- 4.3. O espaço ocupado pela organização de cache em bits (considerando 1 bit de validade por bloco).

**[2 p] Questão 5.** O mecanismo de memória virtual usa uma tabela de páginas para supervisionar o mapeamento de páginas virtuais para páginas físicas. Levando em conta (i) as **sequências de endereços virtuais requisitados por instruções do tipo lw e sw apresentadas abaixo (em binário)** e (ii) **o estado da tabela de páginas** apresentada abaixo (seguindo o mesmo padrão usado em aula), apresente:

- 5.1. O número de faltas de páginas para cada sequência de acesso; e
- 5.2. O estado final da tabela de páginas. Para isso, considere que se uma página precisa ser trazida da memória secundária para a memória primária, o próximo endereço de página físico disponível após a página de maior número deve ser usado. Por exemplo, se entre todas as entradas na tabela de páginas, o endereço físico 20 for o maior de todos, o próximo endereço a ser usado deve ser o 21 e assim por diante.

Sequência de endereços 1: 01101000, 01111100, 11011100, 00000000, 00100100, 11101100, 11100000

Sequência de endereços 2: 01011000, 00011000, 00000100, 10101000, 11001000, 00110000, 00111100

**Tabela de páginas**

Validade	Endereço físico ou disco
1	14
0	Disco
0	Disco
1	7
0	Disco
1	3
1	28
0	Disco

**[1 p] Questão 6.** Você é responsável pela avaliação de um Código de Correção de Erros de Hamming (detecta e corrige erro em 1 bit) para a memória de um satélite. Tendo em vista a distribuição de bits de paridade e etapas vistas em aula, **informe para cada uma das palavras abaixo se algum erro foi detectado e qual bit foi invertido.**

	1	2	3	4	5	6	7	8	9	10	11	12
<b>Palavra 1</b>	0	1	1	1	0	0	1	0	1	1	0	1
<b>Palavra 2</b>	1	1	0	0	0	0	1	1	0	1	1	0

**[1 p] Questão extra.** Calcule o **tempo de leitura médio** para um disco ocioso com setores de 256 bytes, tempo de busca médio de 5 ms, 6000 RPM, taxa de transferência de 256000 B/s e atraso de controle de 0,1 ms.

**[1 p] Questão extra.** Tendo base nas técnicas de monitoramento discutidas em aula, **informe qual seria a técnica mais indicada** para um sistema de tempo real com taxa pré-determinada de transferência de dados.