

Universidade Federal de Santa Catarina
INE5607 – Organização e Arquitetura de Computadores
Prova 3 – Turmas 02238A/02238B – Semestre 2014/2

Eu, (nome completo do(a) aluno(a)) _____, matrícula _____, declaro que as respostas nesta prova são de minha própria autoria e que não consultei materiais externos ou outras pessoas durante a prova.

Assinado: _____

Instruções adicionais:

- As respostas devem ser escritas na folha de respostas e não neste documento.
- Todas as folhas devem ser devolvidas ao final da prova.
- Rascunhos devem ser feitos apenas na folha de respostas e não nas mesas ou neste documento.
- Questões envolvendo contas somente serão consideradas com suas apresentações.

Questão 1) Descreva as **vantagens** de uma cache totalmente associativa sobre uma cache com mapeamento direto em um **máximo de três linhas**. [1,0 ponto]

Questão 2) Dê um exemplo de padrão de acesso à memória com: [1,5 pontos]

- a) Alta localidade temporal de instruções
- b) Baixa localidade temporal e alta localidade espacial
- c) Baixa localidade espacial de dados

Questão 3) Dado o endereço de memória virtual e a tabela de páginas abaixo, responda: [2,0 pontos]

- a) Qual o tamanho da memória física?
- b) Qual o tamanho da memória virtual?
- c) Qual o tamanho das páginas?
- d) Qual o endereço físico de memória acessado?

Endereço de memória virtual: 0b1001 1010 1111 0011

Tabela de páginas:

Índice	0	1	2	3	4	5	6	7
	11111	11110	11101	11100	11011	11010	11001	11000

Questão 4) Baseado na a sequência de endereços de blocos acessados abaixo e no uso de uma **cache de mapeamento direto com oito linhas**, apresente: [2,0 pontos]

- a) O estado final da cache (cada linha da cache com o bloco nela mapeado).
- b) O número de falhas compulsórias.
- c) O número de falhas de capacidade ou conflito.

Sequência de endereços de blocos: 4, 10, 8, 0, 20, 30, 8, 5, 6, 20, 10, 8, 16, 4, 30.

Questão 5) As ilustrações de caches representam 3 diferentes organizações para um sistema com **palavras de 64 bits** e endereçamento de uma **memória de 16 GB**. Para cada organização de cache, responda: [3,0 pontos]

- a) Método de mapeamento (direto, associativo, n-associativo)
- b) O tamanho da tag.
- c) O tamanho efetivo da cache.

Legenda: T = campo de tag, V = bit de validade, W0 = palavra 0, W1 = palavra 1...

T	V	W0	W1	W2	W3

Cache X

T	V	W0	W1	T	V	W0	W1

Cache Y

T	V	W0	W1	T	V	W0	W1	T	V	W0	W1	T	V	W0	W1

Cache Z

Questão 6) Sabendo que um programa tem **25% de instruções de acesso à memória**, calcule quanto o **CPI** do processador será influenciado pelo acesso à memória para **(i) busca de instruções** e **(ii) busca de dados** para as duas configurações de cache abaixo. (Quatro respostas são esperadas, uma para cada combinação).

[2,0 pontos]

Configuração A

	Taxa de acerto	Tempo de acerto
Cache L1 de instruções	90%	2 ciclos
Cache L1 de dados	80%	4 ciclos
Cache L2	90%	30 ciclos
Memória principal	100%	100 ciclos

Configuração B

	Taxa de acerto	Tempo de acerto
Cache L1 de instruções	90%	5 ciclos
Cache L1 de dados	70%	3 ciclos
Cache L2	80%	10 ciclos
Memória principal	100%	80 ciclos