Universidade Federal de Santa Catarina

INE5607 – Organização e Arquitetura de Computadores

Prova 3 – Turmas 02238A/02238B – Semestre 2014/2

Eu, (nome completo do(a) aluno(a)), matrícula, declaro que as respostas nesta prova são de minha própria autoria e que não consultei materiais externos ou outras pessoas durante a prova.								
Assinado:	000 040 040	rus pess	ous duru	nee a pr	, , 			
Instruções adicionais:								
- As respostas devem ser escritas na	folha de	resposta	ıs e não r	este doc	umento.			
- Todas as folhas devem ser devolvida		-						
- Rascunhos devem ser feitos apenas na folha de respostas e não nas mesas ou neste documento.								
- Questões envolvendo contas soment	e serão co	nsiderad	as com su	ias apres	entações.			
Questão 1) Descreva as vantagens direto em um máximo de três linhas. Maior taxa de acerto, eliminação de f Questão 2) Dê um exemplo de padrão a) Alta localidade temporal de i b) Baixa localidade temporal e a c) Baixa localidade espacial de Questão 3) Dado o endereço de memoral	falhas de de acess enstruções alta locali dados	conflitos. o à memo	ória com: acial <i>Estr</i>	utura de	P Ac dados in	rograma esso sequ dexada, c	[1,5] com mui tencial a accessos a	5 pontos] tos laços um vetor
 a) Qual o tamanho da memória física? 2^(16-3+5) = 2^18 = 256 KB b) Qual o tamanho da memória virtual? 2^16 = 64 KB c) Qual o tamanho das páginas? 2^(16-3) = 2^13 = 8 KB d) Qual o endereço físico de memória acessado? Endereço da página virtual = 0b100110111110011 Endereço físico de memória acessado = 0b11011 1 1010 1111 0011 								
Endereço de memória virtual: 0b10	01 1010 1	111 001	1					
Tabela de páginas:						_	_	_
Índice	0	1	2	3	4	5	6	7
	11111	11110	11101	11100	11011	11010	11001	11000
Questão 4) Baseado na a sequência de endereços de blocos acessados abaixo e no uso de uma cache de mapeamento direto com oito linhas, apresente: [2,0 pontos] a) O estado final da cache (cada linha da cache com o bloco nela mapeado). 0 8, 0, 8, 16								

0 1 2

3

10

4, 20, 4 5,

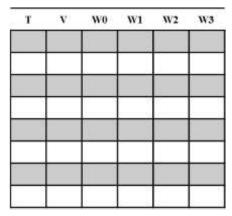
- b) O número de falhas compulsórias. 9 = (4, 10, 8, 0, 20, 30, 5, 6, 16)
- c) O número de falhas de capacidade ou conflito. 3 = (8, 4, 30)

Sequência de endereços de blocos: 4, 10, 8, 0, 20, 30, 8, 5, 6, 20, 10, 8, 16, 4, 30.

Questão 5) As ilustrações de caches representam 3 diferentes organizações para um sistema com **palavras de 64 bits** e endereçamento de uma **memória de 16 GB**. Para cada organização de cache, responda: [3,0 pontos]

- a) Método de mapeamento (direto, associativo, n-associativo)
- b) O tamanho da tag.
- c) O tamanho efetivo da cache.

Legenda: T = campo de tag, V = bit de validade, W0 = palavra 0, W1 = palavra 1...



T V W0 W1 T V W0 W1

Cache Y

Cache X

 WO	WI	1	v	WO	WI	Т	v	WO	WI	T	v	WO	WI

Cache Z

Cache X: Mapeamento direto, palavras de 2^3 bytes, 2^2 palavras por bloco, 2^3 blocos, 2^34 bytes endereçáveis

$$Tag = 34-(3+2+3) = 26 bits$$

Tamanho efetivo = 8*(1+26+256) = 2264 bits

Cache Y: 2-associativo, palavras de 2^3 bytes, 2^1 palavras por bloco, 2^1 blocos por conjunto, 2^2 conjuntos, 2^34 bytes endereçáveis

$$Tag = 34 - (3 + 1 + 2) = 28 \text{ bits}$$

Tamanho efetivo = 4*2*(1+28+128) = 1256 bits

Cache Z: Totalmente associativo, palavras de 2³ bytes, 2¹ palavras por bloco, 2² blocos, 2³ bytes endereçáveis

$$tag = 34$$
- $(3+1) = 30 bits$

 $tamanho\ efetivo = 4*(1+30+128) = 636\ bits$

Questão 6) Sabendo que um programa tem 25% de instruções de acesso à memória, calcule quanto o CPI do processador será influenciado pelo acesso à memória para (i) busca de instruções e (ii) busca de dados para as duas configurações de cache abaixo. (Quatro respostas são esperadas, uma para cada combinação).

[2,0 pontos]

Configuração A, busca de instruções: 2+0,1*(30+0,1*100)=2+0,1*(30+10)=2+4=6 ciclos Configuração A, busca de dados: 0.25*(4+0,2*(30+0,1*100))=0.25*(4+0,2*(40))=0.25*12=3 ciclos Configuração B, busca de instruções: 5+0,1*(10+0,2*80)=5+0,1*(10+16)=5+2,6=7,6 ciclos Configuração B, busca de dados: 0.25*(3+0,3*(10+0,2*80))=0.25*(3+0,3*(26))=0.25*10,8=2,7 ciclos

Configuração A

	Taxa de acerto	Tempo de acerto
Cache L1 de instruções	90%	2 ciclos
Cache L1 de dados	80%	4 ciclos
Cache L2	90%	30 ciclos
Memória principal	100%	100 ciclos

Configuração B

Comiguração B	Taxa de acerto	Tempo de acerto
		-
Cache L1 de instruções	90%	5 ciclos
Cache L1 de dados	70%	3 ciclos
Cache L2	80%	10 ciclos
Memória principal	100%	80 ciclos