

CENTRO UNIVERSITÁRIO FEI
BRUNO AUGUSTO CASU PEREIRA DE SOUSA

**SISTEMA DE MEDIDA DE LATÊNCIA PARA SINCRONIZAÇÃO DO SILICON
TRACKER PRESENTE NO EXPERIMENTO DO CMS NO HL-LHC**

São Bernardo do Campo

2019

CENTRO UNIVERSITÁRIO FEI
BRUNO AUGUSTO CASU PEREIRA DE SOUSA

**SISTEMA DE MEDIDA DE LATÊNCIA PARA SINCRONIZAÇÃO DO SILICON
TRACKER PRESENTE NO EXPERIMENTO DO CMS NO HL-LHC**

Relatório Final de Iniciação Tecnológica
apresentado ao Centro Universitário FEI, como
parte dos requisitos do Programa PIBIC-FEI.
Orientado pelo Prof. Dr. Luiz Guilherme Regis
Emediato e Prof. Dr. Marco Antonio Assis de
Melo.

São Bernardo do Campo

2019

RESUMO

O Compact Muon Solenoid (CSM) é um dos maiores experimentos no complexo do High Luminosity-Large Hadron Collider (HL-LHC), desenvolvido pela European Organization for Nuclear Research (CERN). Os sistemas do detector são divididos em Front-End System (FE), sendo os componentes que operam na região interna da máquina do detector, sujeitos à altas taxas de radiação; e Back-End System (BE), que opera em cavernas de serviço blindadas contra a radiação, isoladas da máquina principal. A comunicação entre os sistemas é feita por longas secções de fibra óptica, que introduzem latências na propagação dos sinais. O objetivo do projeto de pesquisa é desenvolver e implementar um firmware para placa Field Programmable Gate Array (FPGA) com a função de estimar, de forma automática, o valor do atraso introduzido pelas fibras ópticas que compõem o link óptico do CMS. O firmware deve ser adaptado aos protocolos e componentes do detector, visto que é desejado uma inserção da ferramenta no hardware do BE. Com a ferramenta operando é possível computar os valores de latências para cada secção de fibra óptica com o intuito de sincronizar os sistemas eletrônicos, sendo este um processo fundamental no funcionamento do CMS. A configuração dos chips do FE, com os valores dos atrasos calculados, permite que os resultados de cada colisão sejam associados à correta interação dos prótons que originou essas informações. Dessa forma, é possível reconstruir de forma precisa a imagem do evento para posterior análise dos pesquisadores. A ferramenta então será testada no laboratório de instrumentação do São Paulo Research and Analysis Center (SPRACE) utilizando um ambiente reproduzido dos sistemas do detector, permitindo a avaliação da precisão e confiabilidade do sistema desenvolvido no projeto.

Palavras-Chave: Latência. Link óptico. Transmissão de dados. Sincronização. Firmware.

ABSTRACT

The Compact Muon Solenoid (CMS) is one of the biggest experiments in the High Luminosity-Large Hadron Collider (HL-LHC), developed by the European Organization for Nuclear Research (CERN). The systems in the detector are divided in Front-End System (FE), which are the components that operate inside the CMS machine, in high radiation conditions; and Back-End System (BE), which operates in radiation-shielded service caverns, isolated from the main machine. The communication between the systems is made by long sections of fiber optic cables, which introduces signal propagation latencies. The project objective is to develop and implement a Field Programmable Gate Array (FPGA) based firmware to measure automatically the value of the delay introduced by the fibers that make the CMS optical link. The firmware must be adapted to the components and protocols used in the tracker, as is desired to insert the developed firmware in the BE hardware. As it becomes operational is possible to compute the latencies introduced by each section of optical fiber, in order to synchronize the electronic systems, as this is a fundamental requirement to the CMS operation. The FE chips configuration, with the calculated values for the delays, allows the correct association between the results of a collision and the correspondent proton interaction that generated that data. In this way is possible to reconstruct the event image for further analysis. The tool will be tested in the São Paulo Research and Analysis Center (SPRACE) instrumentation laboratory, using a simulated environment of the tracker systems, so that the designed component precision and reliability can be evaluated.

Keywords: Latency. Optical link. Data transmission. Synchronization. Firmware.

LISTA DE SIGLAS

ADC	Analog-to-Digital converter
AMC	Advanced Mezzanine Card
ASIC	Application-Specific Integrated Circuit
ATCA	Advanced Telecommunications Computing Architecture
BX	Bunch Crossing
BE	Back-End System
CBC	CMS Binary Chip
CDR	Clock Domain Recovery
CERN	European Organization for Nuclear Research
CIC	Concentrator Integrated Circuit
CMS	Compact Muon Solenoid
COTS	Commercial off-the-shelf
DAQ	Data Acquisition
DDR3	Double Data Rate type 3
DTC	Data, Trigger and Control board
ECAL	Electromagnetic Calorimeter
FE	Front-End System
FEC	Forward Error Correction
FMC	FPGA Mezzanine Card
FPGA	Field Programmable Gate Array
FSM	Finite State Machine
GBT	Gigabit Transceiver
GPIO	General Purpose Input/Output
HCAL	Hadron Calorimeter
HDL	Hardware Description Language
HDMI	High-Definition Multimedia Interface
HEP	High Energy Physics
HL-LHC	High Luminosity-Large Hadron Collider
IP	Internet Protocol

I ² C	Inter-Integrated Circuit
LED	Light Emitting Diode
LHC	Large Hadron Collider
LpGBT	Low Power Gigabit Transceiver
MMF	Multi-Mode Fiber
PLL	Phase-Locked Loop
SDRAM	Synchronous Dynamic Random-Access Memory
SM	Standard Model
SMF	Single-Mode Fiber
SPRACE	São Paulo Research and Analysis Center
Tcl	Tool Command Language
TDR	Technical Design Report
TRIG	L1 Track Finder Data
TTC	Trigger, Timming and Control
USB	Universal Serial Bus
VHDL	VHSIC Hardware Description Language
VHSIC	Very High Speed Integrated Circuits
VIO	Virtual Input/Output
VL	Versatile Link
VL+	Versatile Link PLUS
VLDB	Versatile Link Demonstrator Board
VTR _x	Versatile Transceiver
VTR _x +	Versatile Transceiver PLUS
μTCA	Micro Telecommunications Computing Architecture

SUMÁRIO

1	INTRODUÇÃO.....	9
2	REVISÃO BIBLIOGRÁFICA.....	10
2.1	O EXPERIMENTO DO COMPACT MUON SOLENOID.....	10
2.1.1	Phase-2 Upgrade do CMS.....	12
2.1.2	Introdução ao sistema de detecção.....	13
2.1.3	Fluxo de dados no FE.....	15
2.1.4	Aplicação do protocolo GBT.....	17
2.1.5	Fluxo de dados no BE.....	19
2.2	LINK ÓPTICO PARA TESTES DO FIRMWARE.....	20
2.2.1	Hardware do FE.....	21
2.2.2	Hardware do BE.....	24
2.2.3	Fibra óptica.....	25
3	METODOLOGIA.....	28
3.1	PROTÓTIPO INICIAL.....	28
3.1.1	O firmware Delay Counter.....	29
3.1.1.1	<i>Lógica do Contador.....</i>	<i>30</i>
3.1.2	Adaptação à placa KC705.....	32
3.1.3	Testes do firmware inicial e resultados.....	34
3.2	FIRMWARE ADAPTADO AOS COMPONENTES DO CMS.....	35
3.2.1	Adaptação do Delay Counter para o firmware caipir_image.....	36
3.2.2	Testes finais.....	39
3.2.2.1	<i>Link óptico FC7 e VLDB.....</i>	<i>40</i>
3.2.2.2	<i>FC7 com loop óptico.....</i>	<i>41</i>
3.2.2.3	<i>Teste de precisão da ferramenta.....</i>	<i>42</i>

4	RESULTADOS E DISCUSSÃO.....	43
5	CONCLUSÕES.....	48
	REFERÊNCIAS.....	51
	APÊNDICE A - Amostra completa das medições do firmware desenvolvido.....	55

1 INTRODUÇÃO

O projeto de medida de latência foi inicialmente proposto pelos colaboradores do São Paulo Research and Analysis Center (SPRACE) [1]. A ideia é estudar uma necessidade no upgrade do experimento do Compact Muon Solenoid (CMS), no projeto do High Luminosity-Large Hadron Collider (HL-LHC), realizado pela Organização Europeia para a Pesquisa Nuclear (CERN). Nesse upgrade está previsto o aumento do número de colisões de pacotes de prótons (bunch crossings, BX) simultâneas no acelerador. Com isso, uma quantidade maior de informações será gerada pelos módulos de detecção, sendo necessário um processo preciso e confiável de sincronização dos dados que trafegam entre os sistemas do detector.

Após uma revisão da proposta inicial foi decidido que o objetivo do projeto seria desenvolver um firmware baseado em placas do tipo Field Programmable Gate Array (FPGA), para auxiliar no processo de sincronização dos dados. Portanto, a função do componente é estimar valores para as latências geradas pelos cabos de fibra óptica, que interligam módulos distantes no detector. É desejado que, futuramente, a ferramenta desenvolvida possa ser inserida nas FPGAs que compõem o Back-End systems do CMS, sendo integrada a um firmware maior e mais complexo, como uma função extra, dentro do sistema previsto no upgrade. Com isso, essa ferramenta deve ser adaptada aos protocolos e arquiteturas do sistema eletrônico do detector, além de ter uma excelente confiabilidade.

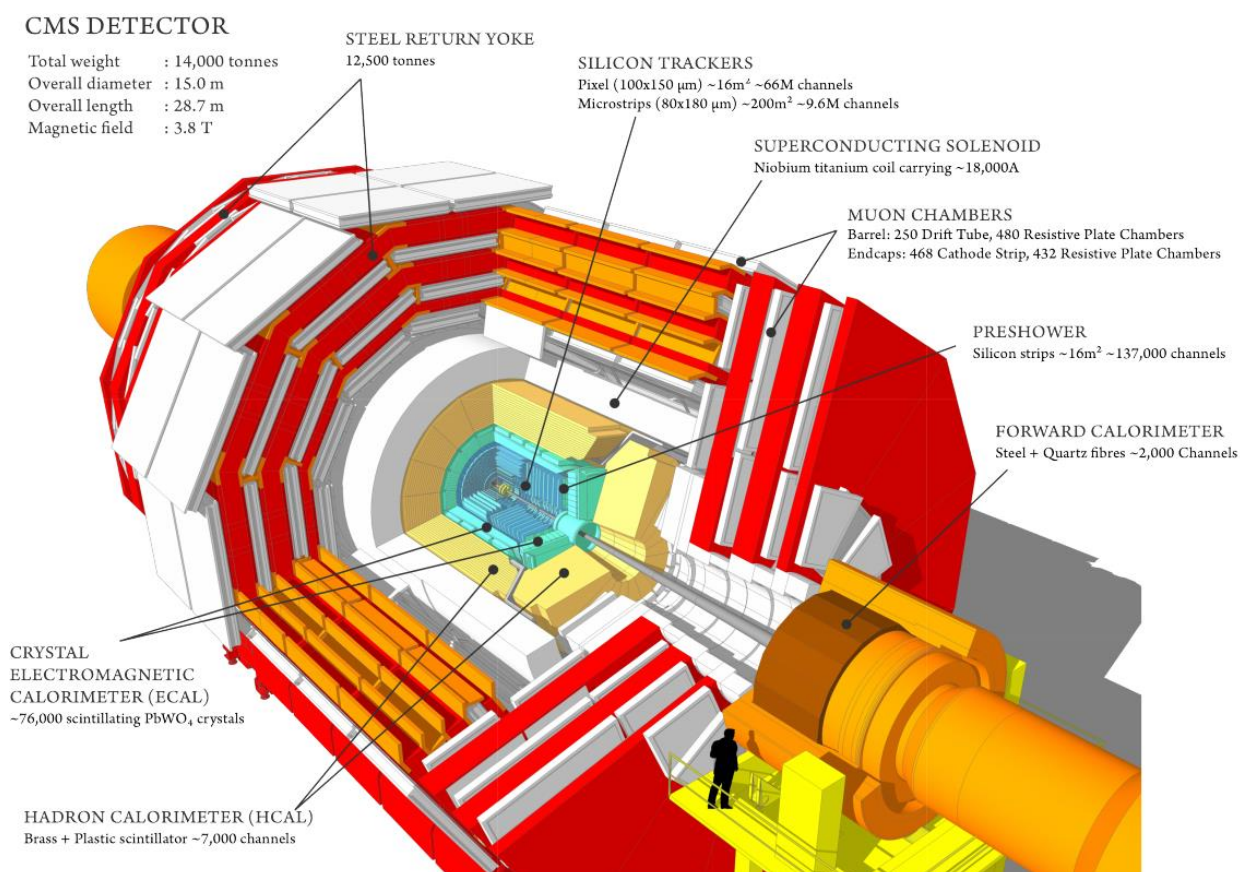
O processo de desenvolvimento do firmware para medição de latência é iniciado com um estudo geral do fluxo de dados no link óptico elaborado para o upgrade do CMS, além do sistema eletrônico de detecção e distribuição dos dados, abordados na Revisão Bibliográfica. Após essa etapa de estudos é feita a composição de uma Máquina de Estados Finita (FSM) para o cálculo do atraso de sinais, transmitidos em um dado sistema, resultando em um protótipo inicial. A FSM criada é então aplicada em uma FPGA, presente em um kit de desenvolvimento, utilizando a linguagem VHDL (VHSIC Hardware Description Language). Após os devidos testes, o firmware inicial passará por uma fase de adaptação para ser inserido em um novo ambiente, onde está presente a estrutura para comunicação utilizando a fibra óptica, como será abordado na Metodologia. O firmware apropriado então será implementado no hardware disponibilizado pelo SPRACE, onde os testes finais serão realizados utilizando diferentes comprimentos de cabos de fibra óptica, sendo feita a documentação e análise dos resultados obtidos, comprovando a eficiência e precisão da ferramenta desenvolvida.

2 REVISÃO BIBLIOGRÁFICA

2.1 O EXPERIMENTO DO COMPACT MUON SOLENOID

O Large Hadron Collider (LHC) [2] é o maior acelerador de partículas já construído no mundo, sua importância na área de física e engenharia é sem precedentes. A máquina do LHC foi construída no subsolo, formando um anel de 27 km de comprimento, atravessando França e Suíça em sua extensão [3]. Com sua moderna estrutura é possível acelerar prótons e íons pesados a velocidades muito próximas a da luz, e com isso gerar colisões com energia da ordem de TeV [2]. A colisão desses objetos, com essa energia, produz uma série de partículas subatômicas, além de outros elementos, que são analisados nos detectores presentes ao longo do LHC. O estudo do projeto terá como foco os sistemas de um específico detector, o CMS [4, 5].

Figura 1 – A estrutura da máquina do CMS



Fonte: CMS COLLABORATION, 2019

O CMS atua como um dos principais experimentos no complexo do LHC, e vem contribuindo para o desenvolvimento e consolidação dos modelos de física moderna, como o Standard Model (SM). O projeto do CMS participou, inclusive, da descoberta do Bóson de Higgs [6], sendo um dos detectores a mostrar o resultado do decaimento desse objeto extremamente difícil de se observar. Dessa forma, os resultados obtidos comprovam a importância dos experimentos realizados no LHC para o campo de Física de Altas Energias (High Energy Physics, HEP).

A máquina do CMS foi construída para analisar elementos com altas energias, produzidos nos BX. Para tanto, o detector é constituído por diversas camadas, sensíveis a passagem de partículas, com funções específicas para analisar os diferentes objetos produzidos nas colisões. Além disso, está presente um grande solenoide, que permite gerar um campo magnético de 3,8 T no seu interior, que influencia na trajetória das partículas, característica importante na análise da energia dos objetos produzidos na interação dos prótons.

Os Silicon Trackers (Inner Tracker e Outer Tracker) são a secção mais próxima ao feixe do LHC, e, portanto, recebem uma quantidade muito maior de hits (pulso elétrico gerado na interação do sensor com o elemento) nas colisões. Para possibilitar a reconstrução das trajetórias dos diversos elementos gerados nos BX os Silicon Tracker são compostos por módulos de detecção, que permitem a identificação e seleção das trajetórias de partículas com alta energia. Esses módulos formam então o Front-End System (FE) e são baseados em sensores de silício e chips do tipo Application-Specific Integrated Circuit (ASIC) [4], que obtêm as informações dos eventos e enviam os dados para processamento e posterior reconstituição da imagem da colisão. A arquitetura desses módulos foi baseada em ASICs, devido à grande quantidade de radiação ionizante gerada nos BX, sendo essa uma característica comum nos experimentos de HEP.

A demora e o alto custo de se desenvolver e produzir os ASICs fez com que o sistema que recebe o fluxo de dados, proveniente do FE, fosse abordado de forma diferente, com o objetivo de atuar fora do ambiente com o alto índice de radiação. Esse segmento então é denominado como Back-End System (BE), e foi baseado em componentes comerciais off-the-shelf (COTS), incluindo placas com FPGAs. Essa característica facilita muito os desenvolvimentos realizados pelos diversos grupos relacionados ao CMS, além de permitir um aprimoramento com maior velocidade. No BE estão presentes diversas aplicações como: processamento e roteamento de dados das colisões, envio de sinais de controle e trigger e alimentação de energia para os módulos

[4]. Visto que esse sistema é composto de elementos sensíveis, ele foi implantado em salas blindadas contra radiação, afastadas da máquina principal, chamadas de Service Caverns [4].

Portanto, os sistemas do CMS permanecem separados, e a interligação é feita por longas secções de cabos de fibra óptica, que compõe o link óptico do CMS, chamado de Versatile Link (VL) [7]. A ideia do VL é proporcionar um meio de comunicação confiável e eficiente, dentro do ambiente com alto nível de radiação, permitindo que a grande quantidade de informação gerada nas colisões possa ser transmitida ao BE. Entretanto, a distância entre o FE e o BE resulta na inserção latências pelos cabos de fibra óptica (comprimentos dos cabos de aproximadamente 100 m) que fazem a interligação dos módulos. O desenvolvimento da ferramenta de medida de latência do projeto então tem como objetivo atender à necessidade da sincronização desses sistemas, baseando-se nos atrasos envolvidos no link óptico.

2.1.1 Phase-2 Upgrade do CMS

Os componentes do CMS são estudados e aprimorados constantemente, visto que os pesquisadores do CERN mantêm uma incessante busca por novos resultados nos experimentos do LHC. Portanto, são realizados upgrades periodicamente, no acelerador e nos detectores, nos intervalos de operação do LHC [4]. Na fase atual, está em curso o projeto do High Luminosity-Large Hadron Collider (HL-LHC) [8] que tem como principal objetivo um aumento substancial na luminosidade do feixe do LHC (a luminosidade nos experimentos se refere ao número de colisões simultâneas nos BX).

Com isso, o CMS também deve passar por um processo de melhorias, chamado de Phase-2 Upgrade [4], para atender aos novos critérios dos experimentos. Esse upgrade consiste em uma série de etapas, que incluem, entre outras modificações, a substituição dos Silicon Trackers, com o desenvolvimento de novos ASICs, além de um processo de detecção e reconstrução mais preciso e sofisticado da imagem das colisões. Nas próximas secções serão abordadas algumas das características das novas soluções para o detector, como forma de contextualização do processo de sincronização e familiarização do leitor com os processos envolvidos na transmissão dos dados.

2.1.2 Introdução ao sistema de detecção

Visto que no Phase-2 Upgrade a luminosidade do feixe do LHC irá aumentar, será necessário uma abordagem ainda mais precisa da detecção das partículas resultantes dos BX, além de uma adaptação da arquitetura de tráfego dos dados, para comportar o volume que será gerado. Os eventos que realmente interessam os físicos e pesquisadores do CERN são aqueles onde a interação dos prótons resulte em partículas com alta energia, sendo o aspecto fundamental dos estudos do campo de HEP. Com isso os equipamentos e soluções do CMS serão focados na obtenção e reconstrução de da trajetória de objetos com alta energia, que normalmente indicam uma colisão com propriedades interessantes para a análise.

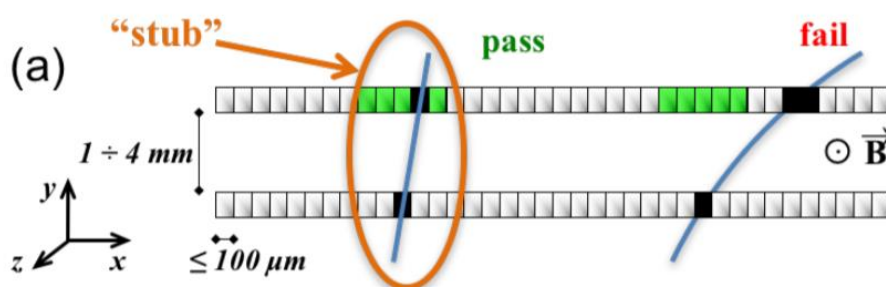
Para uma primeira condição de detecção, são utilizados calorímetros (Hadron Calorimeter, HCAL e Electromagnetic Calorimeter, ECAL) que tem como objetivo interagir destrutivamente com os objetos resultantes dos BX. De maneira simplificada, os calorímetros freiam os objetos que tentam atravessar os componentes; com isso é liberado uma certa quantidade de energia, que então é utilizada para identificar a passagem do elemento no segmento iluminado (esse conceito é diferente da luminosidade do feixe do LHC, e se refere à energia liberada na interação do objeto com o material do calorímetro). Com isso os sensores são configurados com um limiar, onde apenas partículas com alta energia são consideradas para o envio de uma resposta, já atuando como uma seleção para eventos fisicamente mais interessantes. Contudo, pode-se imaginar que são produzidos muitos resíduos nos BX e elementos com baixas energias, que interferem na detecção; essa degradação da informação ocorre, pois, muitas partículas podem iluminar, mesmo que com menor intensidade, a mesma seção onde foi detectado um elemento com alta energia, o que compromete a análise desse objeto.

Como complemento no processo de detecção e com o objetivo de reduzir o ruído em torno desses objetos interessantes, são usados os Silicon Trackers. Como mencionado, esse segmento do detector é baseado em componentes de silício (silicon strips), que são sensíveis a passagem de elementos, enviando pulsos elétricos conforme são permeados por eles (hits), descrevendo a trajetória do elemento ao longo da seção. As strips também possuem um limiar para apenas enviar o pulso quando o objeto possuir alta energia. Essas respostas então são convertidas em sinais binários, nos chips do FE, sendo possível a composição dos pontos que remontam o percurso realizado pela partícula.

Devido ao elevado campo magnético gerado pelo solenoide do CMS, os objetos produzidos nos BX, que interagem com o campo, são desviados no percurso que descrevem ao atravessarem os sensores. Essa característica é fundamental para a análise da colisão, pois permite identificar o momento transversal (p_T) das partículas [4]. O p_T é o momento linear que uma partícula possuiu na direção transversal ao feixe do LHC, portanto, os objetos que possuem grande energia, resultante da interação dos prótons, tem uma tendência de apresentar uma componente vetorial maior nesta direção [4]. Com isso é possível identificar se o objeto é interessante ou não para análise baseando-se na avaliação do momento transversal.

Além de permitir a identificação de partículas com alto p_T , os trackers permitem uma enorme redução do fluxo de dados a serem enviados ao BE. Essa característica é necessária devido à existência dos módulos de detecção em todo o entorno do centro do BX, o que produz uma quantidade de informação (considerando todos os hits nos sensores) impossível de ser transmitida pelos cabos de fibra óptica. Por esse motivo, os componentes dos Silicon Tracker fazem uma seleção das trajetórias, baseando-se nas curvaturas do percurso. Elementos com baixo p_T descrevem uma curva mais acentuada, e com isso o sistema eletrônico rejeita essa trajetória, como ilustrado na Figura 2, limitando a quantidade de dados a ser enviada ao BE.

Figura 2 – Ilustração do processo de rejeição de trajetórias com baixo p_T



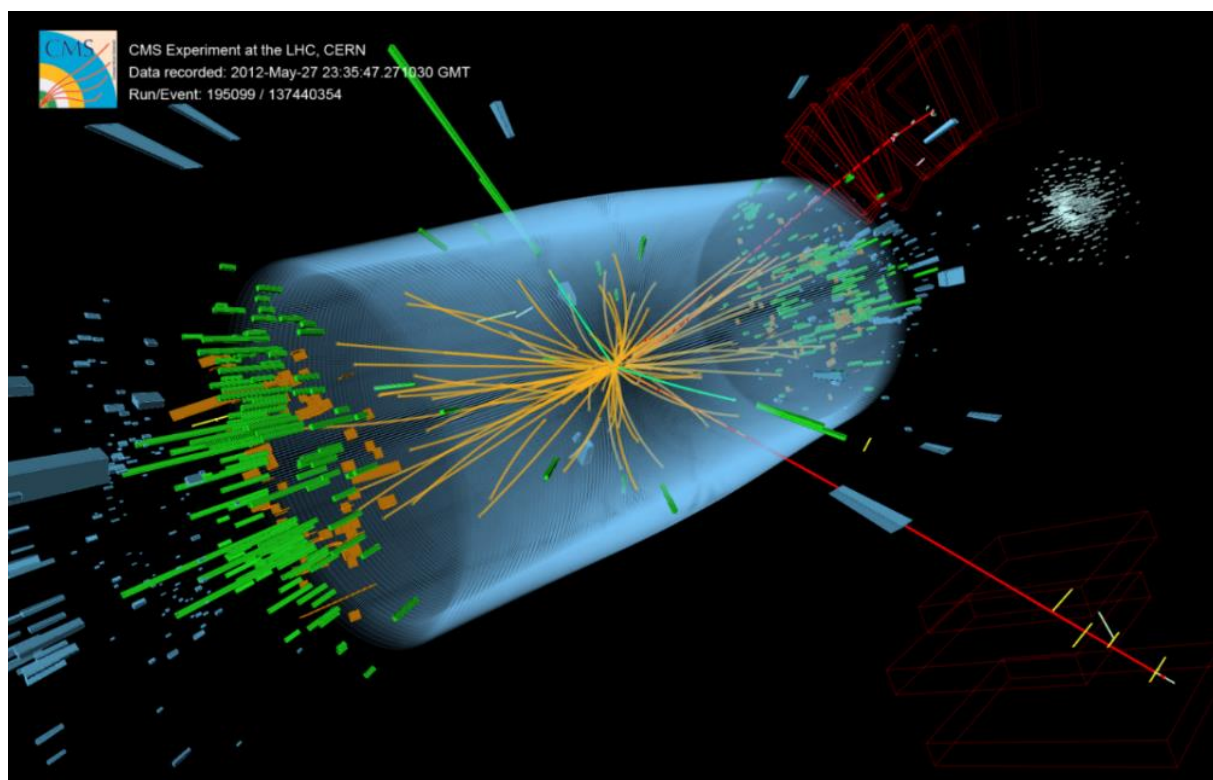
Fonte: Autor adaptada de CMS COLLABORATION, 2017, p. 24

Para uma última análise da colisão, na região mais externa do CMS estão presentes os detectores de múons. Os muons não são freadas nos calorímetros, e são raramente gerados nos eventos. Essa secção não será muito explorada no projeto, assim como os calorímetros, apesar de sua importância no detector.

Após a coleta e filtragem dos dados relevantes, nos componentes do FE, essas informações são transmitidas ao BE, que então repassa os fluxos para os devidos sistemas que

irão computar os dados e proporcionar a reconstituição das trajetórias. O algoritmo que realiza a reconstrução da colisão [9] é altamente complexo, e envolve processos de transformações matemáticas, para a conversão dos dados das trajetórias curvilíneas em coordenadas mais simples para o entendimento dos componentes eletrônicos, sendo um procedimento fundamental para a reconstrução do evento e análise dos resultados. Na figura 3 é possível observar o resultado de uma colisão de prótons, após todos os processos mencionados, possibilitando a análise pelos cientistas e pesquisadores da área.

Figura 3 – Exemplo de perspectiva em 3D do resultado de uma colisão



Fonte: CMS EXPERIMENT, 2012.

2.1.3 Fluxo de dados no FE

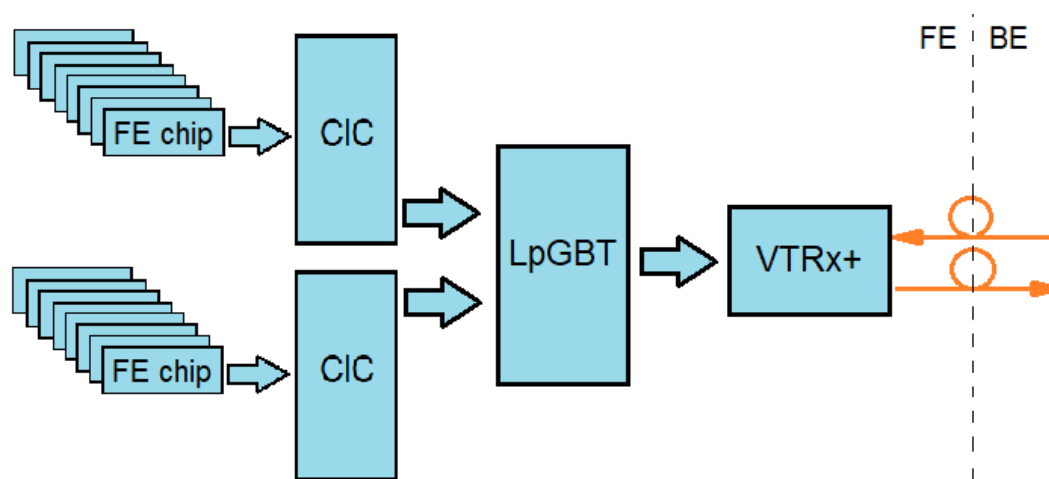
As especificações do fluxo de dados, no link que interliga o FE com o BE, também passarão por mudanças no upgrade do CMS. É previsto no Phase-2 Upgrade que os BX ocorram a cada 25ns, ou seja, os pacotes de prótons que trafegarão no LHC serão espaçados com esse intervalo. Em vista dessa característica, os sensores enviarão a resposta dos hits na frequência de 40MHz (bunch crossing rate) aos componentes eletrônicos do FE [4]. Essa frequência então será

a referência para os padrões do tráfego de dados no link e do sinal de trigger que irá habilitar a transmissão dos dados de uma colisão com propriedades interessantes para análise.

Ao passo em que as colisões ocorrem no LHC e o sinal de trigger habilita o envio, é esperado que o fluxo no FE seja encaminhado da seguinte maneira: os sensores atravessados pelas partículas com alto p_T enviam um pulso elétrico para identificar o hit aos chips do FE, que analisam se o stub é válido (processo ilustrado na Figura 2). Um desses chips é o CMS Binary Chip (CBC) [4], que recebe o pulso do sensor e retorna nível lógico um ou zero, funcionando como o conversor analógico-digital (ADC) do FE. Para ordenar os dados corretamente no módulo, é utilizado um ASIC que funciona como um concentrador, recebendo informações dos pulsos de múltiplos CBCs, chamado de Concentrator Integrated Circuit (CIC) [4] (o CBC é usado no módulo de modelo 2S, enquanto no módulo PS o CIC recebe as informações de outros ASICs [4]). De modo geral o CIC é a interface entre os chips de leitura dos pulsos e o hardware de transmissão ao BE, realizando o agrupamento e formatação dos dados das trajetórias.

Do concentrador, os dados então são repassados ao componente que estabelece a comunicação com o hardware do BE, através do link óptico, chamado de Low Power Gigabit Transceiver (LpGBT) [10]. Um detalhamento maior desse fluxo pode ser encontrado no Technical Design Report (TDR) do CMS [4], onde está presente o esquema que orientou o desenho da Figura 4.

Figura 4 – Ilustração do fluxo de dados nos módulos do FE



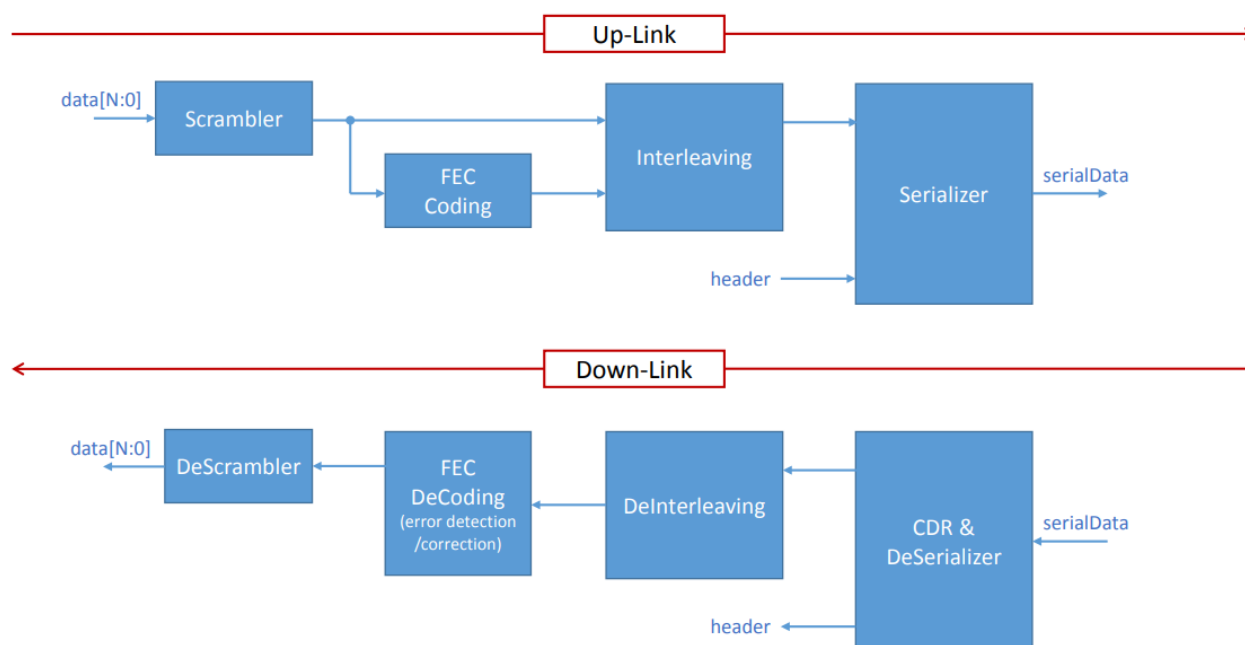
Fonte: Autor

O LpGTB é o novo ASIC que está sendo desenvolvido para a implementação do protocolo de transmissão serial de dados utilizado no CMS, o Gigabit Transceiver (GBT) [11]. Esse componente irá compor os dados do CIC em frames maiores, contendo as informações dos BX, para então fazer a serialização e enviá-los ao BE, através do novo design do link óptico do CMS, chamado de Versatile Link PLUS (VL+) [12]. A proposta do VL+ é uma evolução do VL, que inclui a transmissão de dados mais robusta e confiável, assim como propõe baixas latências e taxas ainda maiores de bits por segundo no Up-Link. No projeto também é previsto o desenvolvimento de um novo transceiver (Versatile Transceiver PLUS, VTRx+ [13]) para a conversão dos sinais elétricos em ópticos, nas taxas especificadas.

2.1.4 Aplicação do protocolo GBT

O protocolo de comunicação GBT foi desenvolvido especificamente para operar nos detectores do LHC, sendo compatível com os requisitos do VL, pois inclui um método de correção de erros eficiente e baixa latência nos processos internos. Ele vem sendo estudado e aprimorado ao longo dos anos, sendo implementado nos chips do FE e nas FPGAs do BE.

Figura 5 – Diagrama de blocos do protocolo GBT



Fonte: MOREIRA, 2017, p. 67

Com o desenvolvimento do novo ASIC para a aplicação do protocolo a taxa de envio dos módulos do FE será incrementada, em conformidade com as necessidades do upgrade, para envio

em 5,12Gb/s ou 10,24G/s ao BE (Up-Link) [10]. A taxa no componente anterior ao LpGBT é de 4.8 Gb/s no Up-Link e o mesmo valor no Down-Link. O fluxo de dados recebido pelo LpGBT (Down-Link), entretanto, será reduzido para uma taxa fixa de 2,56Gb/s, visto que o BE envia um fluxo menor de dados ao FE, contendo apenas as funções de controle e o trigger para os módulos [4]. Com isso, o link não será mais simétrico, otimizando as bandas de transmissão entre os sistemas. O tamanho dos frames (tabela com os valores [10] p. 66) será estendido e flexibilizado para atender as diferentes taxas de bits por segundo, possibilitando a adaptação da inserção do segmento para correção de erros no frame. Isso estabelece uma comunicação mais eficiente, além de permitir a correção de um número maior de erros consecutivos na transmissão (processo chamado de Forward Error Correction, FEC).

A composição dos frames no LpGBT se inicia com o scrambler [10], sendo este o bloco que elimina longas sequências de valores binários consecutivos, que comprometem as transmissões na fibra óptica, além de permitir que a fase do clock utilizado na transmissão seja recuperada pelos componentes que recebem o fluxo de dados. Em seguida é adicionado aos frames os bits para correção de erros, utilizando o método de paridade [10]. Vale notar que se perde parte da banda disponível no frame para garantir que as informações das colisões sejam preservadas na transmissão, dessa forma existe a possibilidade de se montar os frames sem a secção de correção (Widebus mode), o que aumenta a banda disponível para transmissão de dados. Normalmente esse modo é utilizado para testes onde o acelerador está desligado, ou seja, não existe influência da radiação. Finalmente, os frames são serializados e enviados ao BE, pelo transceiver (VTRx+), completando a transmissão através do link óptico.

O LpGBT também implementa as mesmas funções do protocolo de maneira reversa no Down-Link, ou seja, ao passo que o BE envia sinais de controle e trigger, o LpGBT faz a desserialização e recuperação do clock (Clock Domain Recovery, CDR), para então fazer a conferência de erros e recuperar a mensagem no DeScrambler [10]. Vale destacar, sob a perspectiva da análise das latências envolvidas, que, devido ao CDR e ao FEC DeCoding, existe um atraso maior no protocolo nesse sentido do fluxo de dados.

O chip LpGBT ainda está em evolução e em processo de fabricação, por esse motivo não está disponível para estudo e pesquisa uma placa de demonstração com esse hardware. Com isso, será utilizado nos testes do projeto o hardware disponível para testes dos componentes eletrônicos do CMS, como será abordado na secção 2.2.1.

2.1.5 Fluxo de dados no BE

O hardware no BE que faz a comunicação com o LpGBT, recebendo os dados das colisões, é a placa Data, Trigger and Control (DTC) [4]. O DTC é um componente baseado na arquitetura Advanced Telecommunications Computing Architecture (ATCA), contendo em sua configuração FPGAs e transceivers ópticos, e. Nessa placa são processados os dados vindos do FE, e com isso as informações podem ser distribuídas e enviadas corretamente aos segmentos apropriados, para reconstituição das imagens dos BX. Os componentes que de fato irão ser utilizados na próxima etapa de operação para compor o DTC ainda estão sendo decididos pelos desenvolvedores do upgrade. Dessa forma a arquitetura do DTC se mantém em constante mudança, buscando otimizar suas funções em um firmware completo que será a base para rotear os dados vindo do FE.

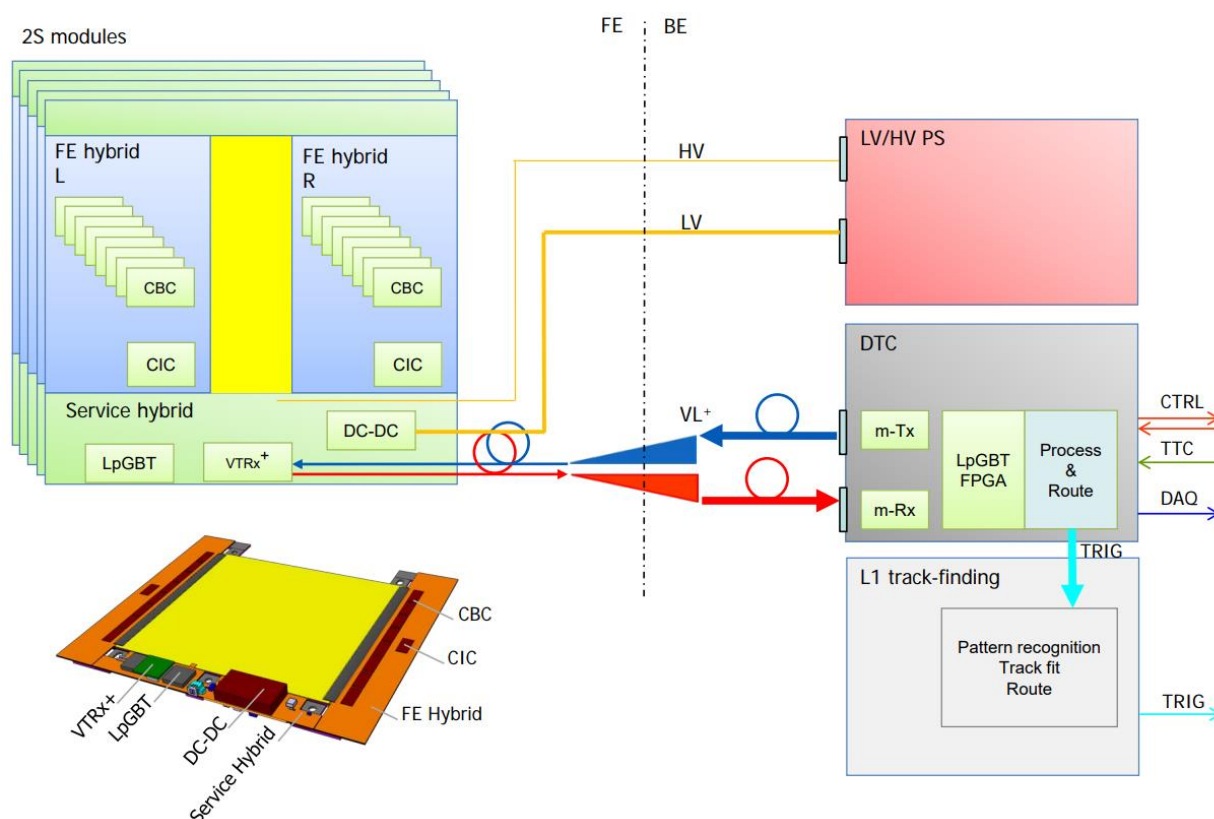
Para que as informações obtidas no FE possam ser recuperadas e direcionadas, os frames enviados pelo LpGBT necessitam ser desserializados e decodificados no BE. Portanto, o protocolo GBT também está presente no firmware do DTC, tendo sua arquitetura adaptada às FPGAs do ATCA. Essa aplicação é chamada de LpGBT-FPGA [14, 15], e implementa os mesmos processos do ASIC, mas de forma adaptada para realizar a transmissão obedecendo as especificações necessárias, visto que o link não se comporta de forma simétrica no upgrade. Com isso o DTC utiliza essa aplicação em FPGA para estabelecer o link com o FE, enviando na taxa de 2,56Gb/s, e recebendo os dados nas taxas de 5,12Gb/s ou 10,24Gb/s, dependendo da secção onde o módulo se encontra, visto que cada DTC recebe dados de 72 módulos do FE, a uma taxa de 10Gb/s por conexão [4].

De forma geral, podemos segmentar os fluxos de dados que trafegam no DTC em 3 partes: Data Acquisition (DAQ), L1 Track Finder Data (TRIG) e Timing & Control (TTC&CTRL) [4]. Tanto o DAQ quanto o TRIG são os fluxos encaminhados pelo FE, contendo os dados das colisões. O fluxo TTC é referente aos sinais de controle dos chips do FE, que necessitam ser configurados antes da operação, e o trigger para habilitar a aquisição dos dados. Na Figura 6 podemos observar o link como um todo, e assim ter uma ideia geral de como é realizada a comunicação entre FE e BE para o upgrade do CMS.

A proposta do projeto de iniciação foi feita com base em uma característica do link óptico do detector. Nota-se que os sistemas eletrônicos são interligados por longas secções de fibra

óptica (aproximadamente 100 de cabo por conexão) devido a distância das cavernas. Visto que os BX ocorrem com intervalos de 25 ns, a latência inserida pela propagação dos sinais luminosos nos cabos de fibra óptica devem ser considerados na transmissão, pois configuram um intervalo considerável em relação à taxa de BX. Portanto, o BE deve implementar um processo de sincronização dos chips do FE, de forma a configurá-los com o valor da latência presente na transmissão. Esse processo tem grande importância na recuperação dos dados vindos das colisões, que necessitam se associados ao correto BX que originou a informação. Portanto, é necessária uma função, contida no firmware do DTC, que calcule os atrasos ineridos pelas fibras de forma automática e programe os ASICs do FE com um valor de latência global do link específico para aquele módulo, sendo que os chips podem ser configurados no passo de 1ns.

Figura 6 – Diagrama de blocos do link óptico e exemplo de um módulo 2S de detecção



Fonte: CMS COLLABORATION, 2017, p. 34

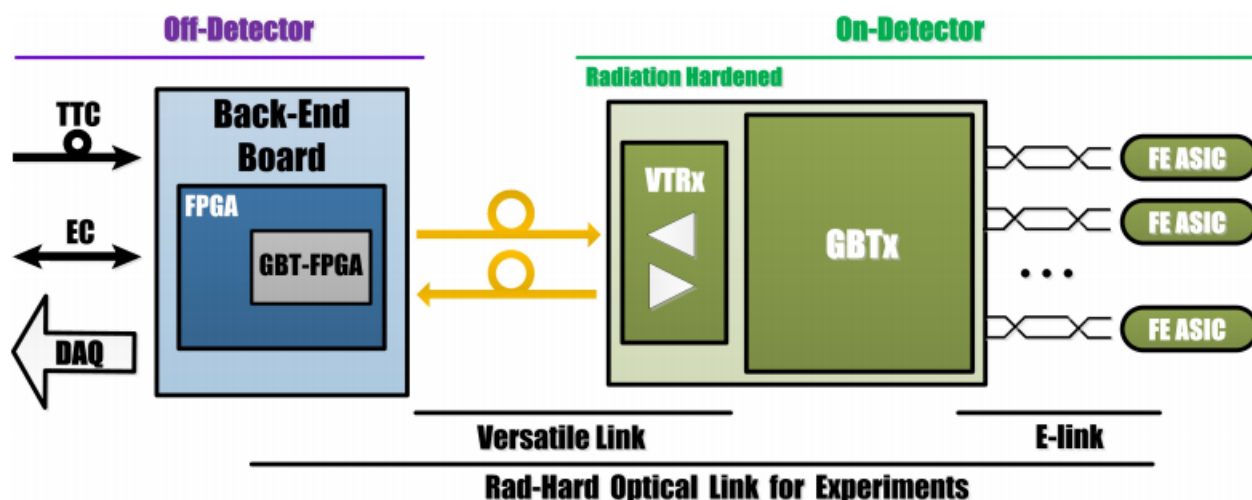
2.2 LINK ÓPTICO PARA TESTES DO FIRMWARE

Como mencionado, os novos elementos concebidos no upgrade do CMS ainda estão em fase de estudo e aprimoramento; assim sendo, para que o firmware, confeccionado no projeto de iniciação, fosse testado em condições próximas ao sistema que está sendo desenvolvido para o

detector, um estudo do link óptico do CMS, adaptado para testes do upgrade, se fez necessário no decorrer do projeto. Com isso em mente, apenas uma parte do sistema eletrônico deverá ser reproduzida, que são os componentes que atuam no link óptico efetivamente.

A arquitetura do link óptico, que será usada nos testes do projeto, é similar às novas aplicações para o Phase-2 Upgrade, como mostra a ilustração da Figura 7. A transmissão no FE, nesse ambiente, é feita pelo chip GBTx [16], e a conversão para sinais ópticos é realizada pelo Versatile Transceiver (VTRx), componentes anteriores ao LpGBT e VTRx+, respectivamente. Para o hardware que atua como o BE, será utilizado um componente baseado na arquitetura Micro Telecommunications Computing Architecture (μ TCA), específico para testes e implementações relacionadas aos experimentos do LHC (descrição na secção 2.2.2). O protocolo GBT será implementado no μ TCA pelo firmware GBT-FPGA [17, 18], sendo essa a aplicação anterior ao LpGBT-FPGA e compatível ao ASIC GBTx. Portanto, os testes da ferramenta serão feitos na configuração ilustrada na Figura 7.

Figura 7 – Diagrama de blocos dos componentes do Versatile Link

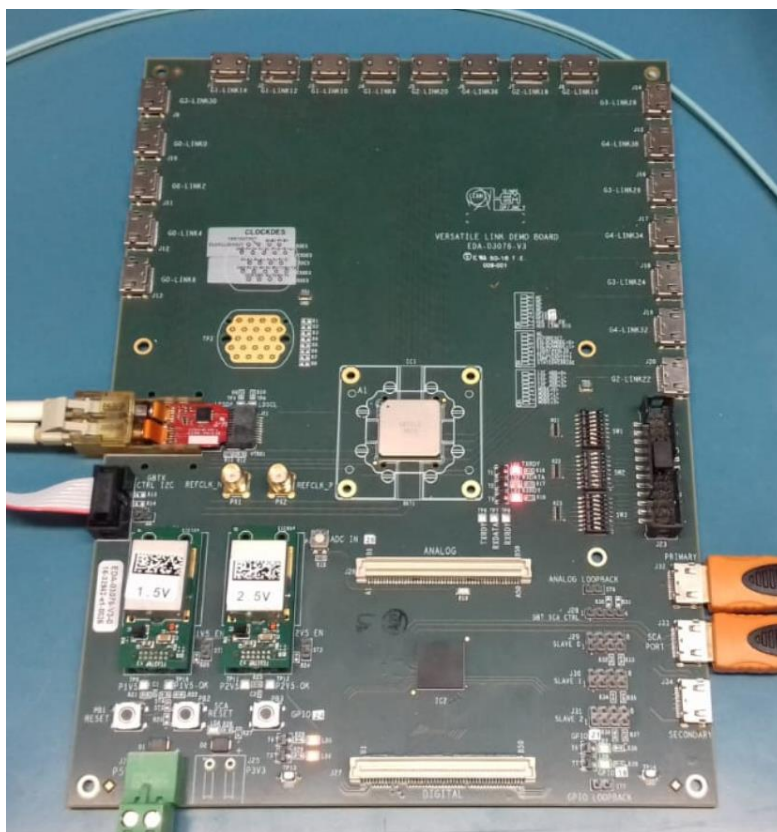


Fonte: MARIN e BARON, 2015, p. 2

2.2.1 Hardware do FE

Para funcionar como FE nos testes, é usado uma placa de demonstração desenvolvida pelo CERN, chamada de Versatile Link Demonstrator Board (VLDB) [19, 20], sendo o componente que contém todo o hardware que implementa o VL no FE. Nessa placa está presente o chip para aplicação do protocolo GBT, o GBTx, além dos componentes necessários para a transmissão no

Figura 8 – A placa VLDB (foto no laboratório de instrumentação do SPRACE)



Fonte: Autor

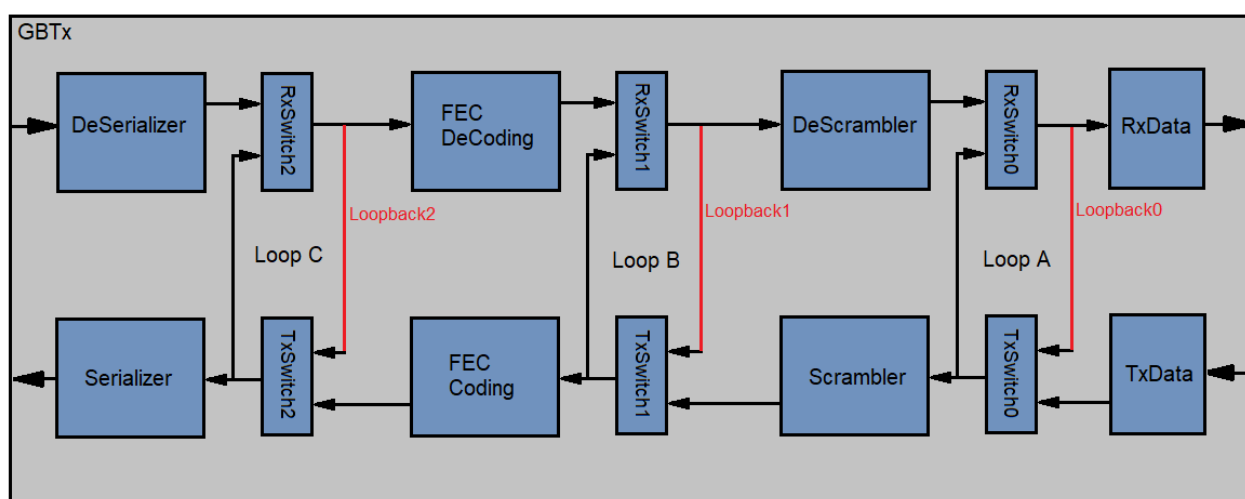
link óptico, todos adaptados para suportar altos índices de radiação. O hardware em questão é difícil de se obter, visto que contém ASICs desenvolvidos e fabricados pelo CERN. Apenas alguns exemplares foram disponibilizados aos laboratórios ao redor do mundo, que contribuem com o experimento do CMS. Portanto, essa foi uma adição interessante ao desenvolvimento do projeto, pois agregou valor com a experiência de se conhecer e trabalhar com componentes criados para operar nos experimentos do LHC.

A VLDB contém como elemento principal o GBTx, sendo este o ASIC mais explorado durante o projeto, e que irá retransmitir os sinais enviados pelo BE nos ambientes de testes. Ela também inclui um transceiver VTRx para transmissão óptica, além de várias entradas High-Definition Multimedia Interface (HDMI) para simular os E-Links do FE [17]. Essas entradas HDMI permitem que seja possível simular o envio de um fluxo de dados à VLDB, como se ela estivesse recebendo os sinais de uma colisão.

Algumas características do protocolo no GBTx [16] devem ser mencionadas, pois a aplicação implementada na FPGA atenderá aos mesmos padrões, e com isso o próprio firmware do projeto deverá ser adaptado a essas condições. O GBTx opera com um clock de 40MHz e utiliza essa referência em seus processos internos e para realizar a transmissão. O frame no protocolo [19] é dividido em três segmentos, sendo os 4 primeiros bits designados como o cabeçalho, os 32 bits seguintes destinados para a implementação da FEC e os 84 restantes para os dados das colisões, completando os 120 bits do frame final (120 bits na taxa de 40MHz compõe a banda de 4,8Gb/s no Up-Link e Down-Link). O modo Widebus não será usado nos testes, mas vale mencionar que então seriam transmitidos 116 bits de dados, no frame, aumentando a banda disponível para transmitir informações.

A VLDB possui algumas configurações de operação que permitem adaptar o hardware para diferentes aplicações. Para os testes do projeto o GBTx será programado no modo loopback [19]. Esse modo faz com que os dados sejam retransmitidos sem que eles passem por partes do protocolo, ou seja, o próprio chip retorna os dados sem que passe pelo bloco de correção de erros, por exemplo, ou que ele seja direcionado às saídas HDMI da placa. Isso permite estabelecer um fluxo de dados sem a necessidade de gerá-los no FE, o que terá grande importância para os testes do projeto. Dessa forma, o FE apenas retransmitirá os dados enviados a ele.

Figura 9 – Diagrama simplificado da função de loopback do GBTx



Fonte: Autor

Na Figura 9 podem ser observados vários switches, que estão entre os blocos do protocolo. É configurando esses elementos que os loops são feitos, pois eles selecionam qual entrada de

dados fica ativa. A programação que será usada nos testes é configurando o TxSwitch2 para habilitar a entrada em vermelho no bloco (Loopback2), dessa forma, quando os dados entram no GBTx eles são desserializados, e enviados pelo RxSwitch2 para o TxSwitch2. Assim o dado é repassado diretamente para o serializador e transmitido de volta pela fibra, visto que a entrada vinda do FEC Coding se encontra desabilitada no TxSwitch2. Esse modo foi escolhido pois é o que têm menor tempo de atraso para retransmitir o sinal.

2.2.2 Hardware do BE

Figura 10 – A placa FC7 (foto no laboratório de instrumentação do SPRACE)



Fonte: Autor

Para emular o BE nos testes do projeto, é utilizada a placa FC7 [21], também desenvolvida pelo CERN. A FC7 é um Advanced Mezzanine Card (AMC) baseada na arquitetura μ TCA, como mencionado. Ela é composta por uma FPGA Kintex 7, fabricada pela Xilinx [22], e segmentações para a inserção de mezaninos ópticos, para comunicação com altas taxas de bits por segundo. Também está presente na placa uma memória DDR3 SDRAM [23], de 4Gb, para uma performance adequada do hardware. Na configuração em que foi testada a FC7, estavam acoplados dois FPGA Mezzanine Card (FMC), com transceivers ópticos de 10Gb/s. Vale lembrar que todos os componentes desse segmento do ambiente de testes são do tipo COTS.

A aplicação do protocolo de transmissão na FPGA da FC7 foi o firmware GBT-FPGA, sendo este o predecessor do LpGBT-FPGA. Esse firmware foi amplamente estudado durante o projeto, pois a ferramenta de medida de latência utiliza esse core como interface para transmissão de sinais. Portanto o componente desenvolvido foi adaptado a entrada de dados específica para essa aplicação. A arquitetura do GBT-FPGA segue os padrões do GBTx, transmitindo na taxa de 4,8Gb/s. O frame a ser enviado à VLDB tem o mesmo tamanho (120 bits), e segue o mesmo formato [18], seccionando o frame em três partes: cabeçalho (header), bits para a FEC, e o segmento que contém os sinais de controle e dados.

Assim como no GBTx, algumas configurações podem ser feitas na aplicação. Os frames também podem ser enviados sem os bits de correção, no modo Widebus [18], onde a banda de transmissão é otimizada. Existe também uma outra configuração, que tem ligação direta com o objetivo da pesquisa do projeto de iniciação. O GBT-FPGA pode ser implementado em dois modos de operação: Standard e Latency-Optimized [18]. No modo Standard, os processos internos do protocolo são realizados por blocos lógicos onde a latência não é determinística, por exemplo, com o uso de FIFOs [18] (First In First Out: tipo de buffer usado para transmitir informações em domínios com clocks diferentes). No entanto, esse modo exige poucos recursos computacionais, sendo, inclusive, mais fácil de se implementar no firmware. O outro modo é a configuração padrão para a operação do GBT-FPGA nos experimentos do CMS, chamado de Latency-Optimized. O objetivo desse modo é garantir latências determinísticas nos processos internos, sendo essa uma atribuição fundamental para os testes, e sendo obrigatória para a implementação do processo de sincronização. Portanto, os testes conclusivos do projeto serão realizados utilizando esse modo de operação.

2.2.3 Fibra óptica

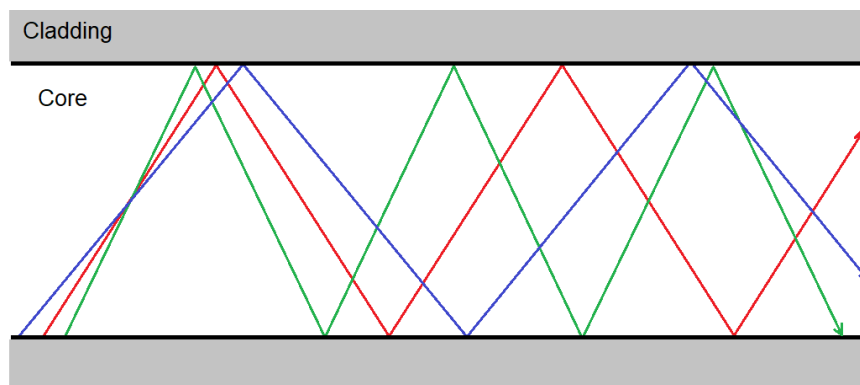
Diversos aspectos devem ser considerados quando se quer implementar uma comunicação óptica entre sistemas com elevado tráfego de dados, como acontece no experimento do CMS. A escolha da fibra é uma etapa importante, pois os tipos de fibra atendem diferentes aplicações. Os dois principais tipos de fibra óptica são a Multi-Modo (MMF) e a Mono-Modo (SMF), onde a diferença entre os modelos se dá pelo diâmetro do núcleo do cabo, o que influencia nos modos de operação do sistema [24, 25]. A SMF tem diâmetro de núcleo em torno de 9 μm , e, portanto, é feita especificamente para transmitir nas janelas de operação de 1310 nm e 1550 nm com uma largura espectral pequena (em torno de 2 nm) [25]. Devido à essas características a SMF é

excelente para transmissões em longas distâncias (até centenas de km com amplificadores), pois a atenuação no cabo é muito baixa. Entretanto, os processos de fabricação da SMF são relativamente complexos e o laser do emissor deve ser específico para o tipo de operação da fibra, fazendo com que o custo de implementação da SMF seja alto.

A MMF, no entanto, não tem as mesmas restrições da SMF em relação aos custos, isso pois o diâmetro do núcleo desse tipo de fibra é da ordem de 50 μm , facilitando os processos de fabricação do material. A dimensão ainda permite que o mesmo cabo possa funcionar em duas janelas de operação diferentes (por padrão as fibras MMF operam apenas nas duas primeiras janelas espectrais 850 nm e 1310 nm [25]). Além disso existe uma flexibilidade maior na implementação dos emissores, visto que a MMF tem uma tolerância maior na largura espectral do sinal óptico inserido no guia. Apesar das vantagens da MMF na parte de custos, o efeito da dispersão cromática modal [25] é acentuado nesse tipo de fibra, o que restringe o comprimento de operação dos cabos para apenas algumas centenas de metros.

De forma a simplificar, a dispersão modal cromática é o efeito do alargamento do pulso luminoso conforme o sinal atravessa o material do núcleo. Esse efeito se dá pois são transmitidos diferentes comprimentos de onda no sinal, onde cada comprimento sofre um desvio ligeiramente diferente ao refletir (efeito da reflexão total [25]) na casca da fibra. Isso resulta no espalhamento do feixe, com o aumento da distância percorrida pelo sinal, como ilustrado na Figura 11. Esse alargamento do sinal óptico resulta na chamada interferência intersimbólica [24], que compromete severamente a comunicação. Analisando o efeito da dispersão na SMF nota-se que esse tipo de fibra transmite sinais com largura espectral muito baixa, podendo desprezar o efeito da dispersão cromática modal nesse tipo de cabo.

Figura 11 – Ilustração do efeito da dispersão cromática modal



Fonte: Autor

Portanto, para atender a necessidade do detector foi escolhido a MMF [24] para realizar as transmissões, visto que os comprimentos necessários dos cabos devem ficar em torno de 100 m, possibilitando o uso da MMF sem prejuízos na transmissão dos dados em relação à atenuação e distorções no cabo.

Com isso em mente, foi disponibilizado em parceria com a empresa Huawei [26] uma serie de fibras MMF, com 10 m de comprimento cada, para os testes do projeto de iniciação. Essas fibras seriam úteis, visto que existe um interesse em utilizar diferentes comprimentos na composição do link, para uma reprodução próxima ao ambiente do CMS. Elas atendem, inclusive as especificações do link óptico dos testes do firmware, sendo compatíveis com os transmissores disponíveis. As fibras fornecidas são MMF do tipo OM1 [27], tendo um diâmetro de núcleo de 62,5µm, diferente dos padrões mais atuais OM3 e OM4, que tem o núcleo com 50 µm de diâmetro [24]. Ela irá operar no comprimento de onda 850 nm, em conformidade com o emissor utilizado no mezanino da FC7.

Figura 12 – Fibra óptica utilizada nos testes (Foto no escritório da Huawei, em São Paulo)



Fonte: Autor

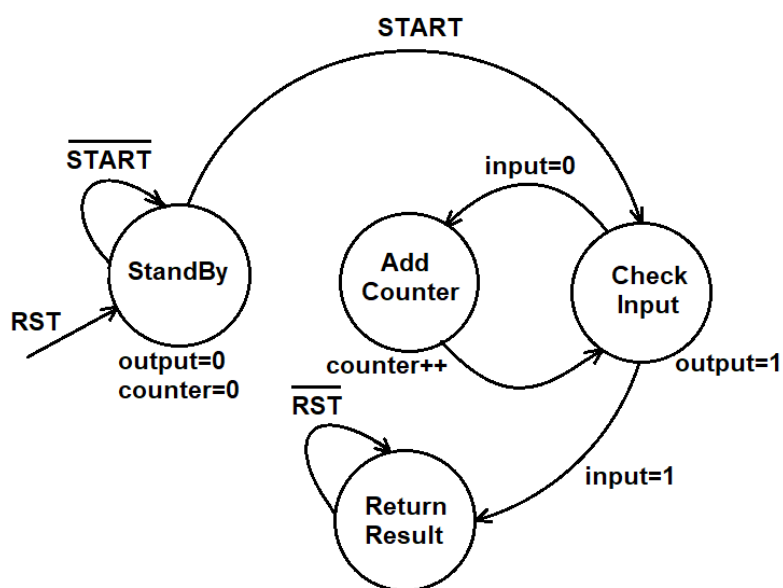
O fator que mais tem relevância para o projeto, em relação ao tipo de fibra usada, é o índice de refração do núcleo do tipo OM1. De acordo com as especificações [27], esse cabo tem um índice de refração no núcleo de 1,496. Portanto, a velocidade da luz no material é de aproximadamente 200,396 m/ μ s, o que significa que um sinal enviado pelo laser do transceiver demora em torno de 4,990 ns segundos para percorrer um metro de fibra. Esse valor terá importância para comparação dos resultados obtidos pela ferramenta desenvolvida.

3 METODOLOGIA

3.1 PROTÓTIPO INICIAL

Para iniciar o desenvolvimento da ferramenta de contagem de atrasos, foi elaborado uma FSM que contempla arquitetura da solução do sistema de contagem de atrasos, permitindo a implementação do firmware na FPGA, utilizando a linguagem VHDL. A ideia da ferramenta é relativamente simples, mas muito eficiente. Para calcular o atraso que um sinal demora para percorrer uma certa distância na fibra, o BE irá inserir um sinal de sonda no link, ao mesmo tempo que inicia um contador. O sinal então atravessa o guia até o FE, que irá retransmitir a mensagem. Dessa forma, quando a ferramenta recebe o retorno do sinal, ela cessa a contagem, armazenando o resultado na variável usada para o contador. Com isso é possível analisar a latência da comunicação pela diferença no tempo de envio e recepção do sinal.

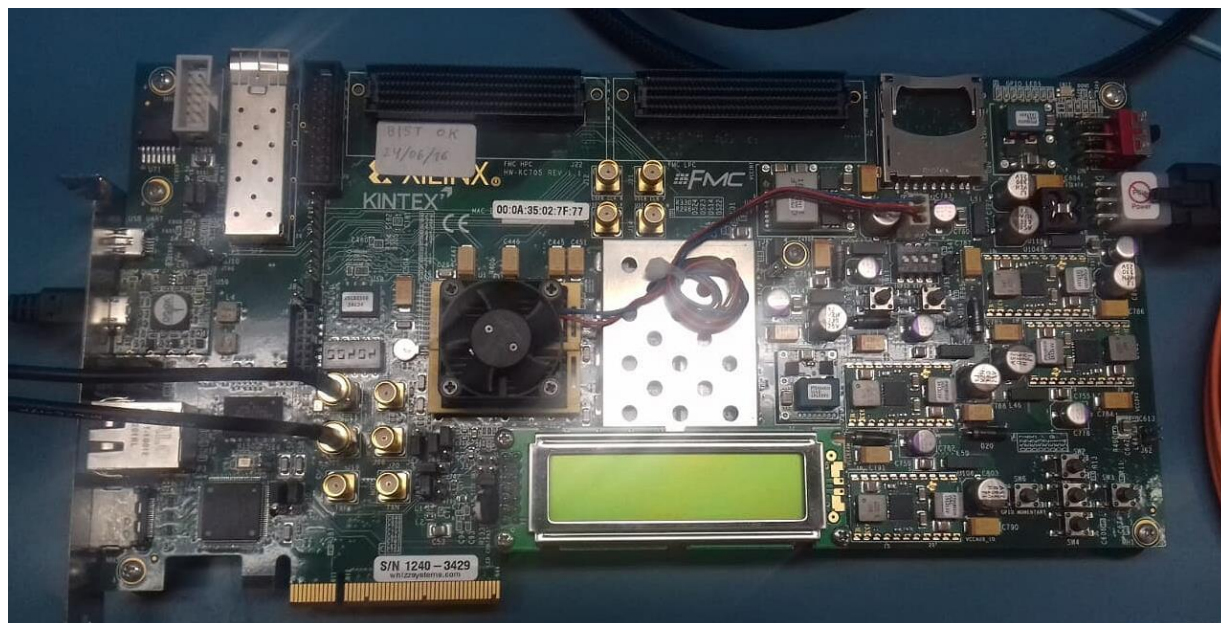
Figura 13 – FSM do sistema de medida de latência



Fonte: Autor

Analisando as condições de aplicação do sistema foi proposto que, antes de inserir a ferramenta no ambiente simulado do detector (FC7 e VLDB), fosse desenvolvido um protótipo inicial, para operar na placa de desenvolvimento KC705, da Xilinx. Nesse hardware está presente uma FPGA Kintex 7, assim como na FC7, o que permitiria uma introdução ao desenvolvimento de projetos em HDL no software da Xilinx, o Vivado [28], que também será usado para gerar o firmware final. Dessa forma, nos testes iniciais, a transmissão dos sinais será feita usando cabos coaxiais de cobre, conectados em duas placas KC705. A implementação da ferramenta, nesse ambiente, é mais simplificada, em relação ao ambiente com a transmissão óptica, permitindo uma abordagem inicial antes da aplicação no hardware do CMS. Nessa etapa o objetivo é verificar se a ideia da máquina de estados funciona corretamente, além de identificar possíveis bugs no código desenvolvido.

Figura 14 – A placa KC705 (Foto no laboratório de instrumentação do SPRACE)



Fonte: Autor

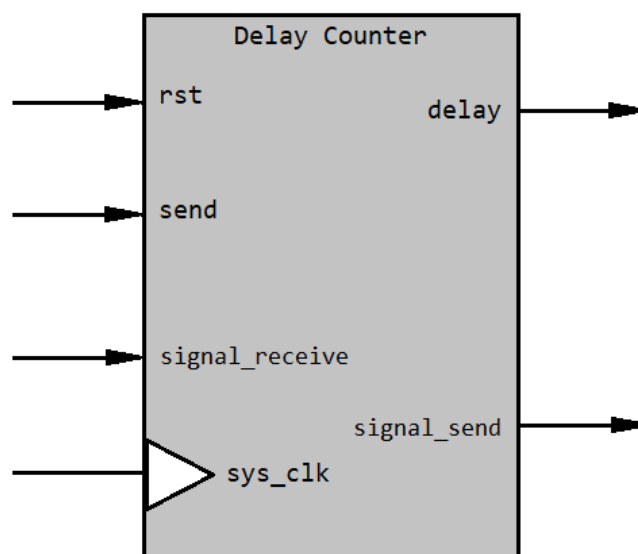
3.1.1 O firmware Delay Counter

Seguindo a lógica da FSM, o sistema será implementado em um único bloco lógico, contemplando o contador e os segmentos de envio e recepção do sinal de sonda. O nome para a ferramenta foi escolhido como Delay Counter, e será a referência para a designação do firmware principal do projeto. O firmware do Delay Counter, desenvolvido para o protótipo inicial, contém

duas entradas principais, que atuam diretamente no funcionamento do sistema, uma entrada de clock e uma entrada de dados. A primeira entrada principal realiza a função de reiniciar o sistema (rst), levando os contadores ao valor zero, e colocando a saída em nível lógico zero. A segunda entrada principal é um sinal assíncrono, assim como o rst, que inicia o funcionamento do sistema (send), habilitando o envio do sinal de sonda e o contador. A entrada de dados (signal_receive), será destinada ao recebimento da resposta do FE, ou seja, quando o sistema detectar o sinal de sonda em sua entrada, ele para o contador, que então estará com o valor do atraso armazenado. A última entrada é clock do sistema (sys_clk) sendo a referência para a contagem da latência e sincronização do envio do sinal de sonda.

Em relação às saídas do bloco, existem apenas duas, sendo uma para transmitir o sinal de sonda (signal_send) e a outra sendo o retorno do valor contido no contador (delay), representando o resultado da medição.

Figura 15 – Representação das entradas e saídas do firmware inicial.



Fonte: Autor

3.1.1.1 Lógica do Contador

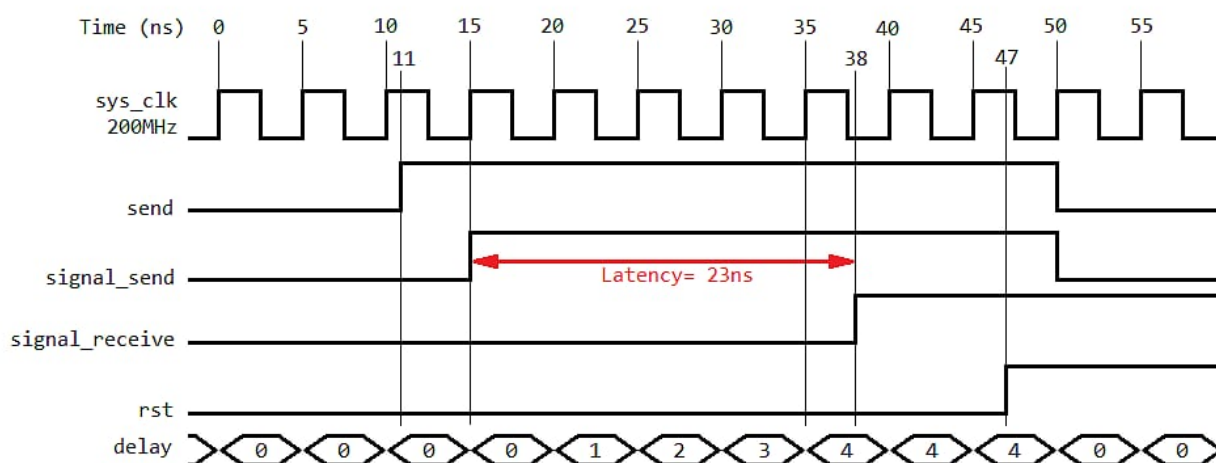
Um dos pontos mais importantes do firmware é o desenvolvimento do sistema de contagem, isso se deve ao fato de que as medidas da latência serão baseadas nos valores armazenados no vetor do contador, que é configurado com tamanho de 10 bits, para comportar os valores de latência inseridos pelas fibras (até 1024 contagens). Essa variável é incrementada

de uma unidade a cada borda de subida do clock (rising edge) de referência do sistema, permitindo avaliar o tempo de atraso pelo intervalo do envio do sinal de sonda e o retorno ao sistema. Devido à essa característica, as medidas da ferramenta estarão sempre em função do valor do período do clock que é aplicado ao bloco do sistema.

Um parâmetro fundamental para garantir uma medida determinística é a sincronização do início da contagem com o envio do sinal. Portanto, a lógica do Delay Counter é implementada de forma que após o recebimento do send, o firmware aguarda a próxima rising edge para habilitar a contagem e enviar o sinal de sonda ao mesmo tempo.

Em conformidade com os padrões do sistema eletrônico do CMS, desejava-se que o sistema de medida de atrasos chegasse a uma precisão próxima ao ajuste dos componentes do FE do CMS, que podem ser configurados no passo de 1 ns. Entretanto, a FPGA utilizada, além do modo como foi disposta a lógica, não permitiu que clocks com valores muito altos fossem utilizados no componente. Em vista dessa restrição, foi estabelecido um padrão de 200MHz para o clock do contador, que poderia ser gerado pela FPGA sem problemas de tempo na síntese do firmware. A precisão do sistema então permanece sempre restrita ao valor do período do clock de referência, que no caso do projeto é de 5 ns.

Figura 16 – Ilustração do funcionamento do contador



Fonte: Autor


A figura 16 ilustra o resultado esperado da lógica descrita, no exemplo mostrado temos que o sistema é acionado (sinal assíncrono) no instante 11 ns, com isso, o sinal de sonda é enviado pelo componente na próxima borda de subida do clock do sistema, nesse caso, no instante 15 ns.

Ao mesmo tempo, o contador é acionado, e inicia a contagem partindo do valor zero. No exemplo o sinal de prova retorna ao sistema no instante 38 ns. Em razão disso, o contador é incrementado no rising edge de 35 ns, mas não na referência seguinte do clock (40 ns), e mantém o valor no vetor até que o sistema seja reiniciado com a entrada rst. Com isso é possível extrair o conteúdo do vetor usado na contagem, que estará com o resultado da latência, que nesse caso foi de 4 unidades, representando os ciclos do clock de 200MHz decorridos entre a transmissão e a recepção do sinal de sonda. Portanto, a resposta que o sistema retorna, para a latência nesse trecho, é de 20 ns, convertendo a medida do sistema para nanosegundos. Nota-se que a latência real da transmissão foi de 23 ns, contudo, a resolução da ferramenta não permite que valores intermediários aos ciclos de clock sejam percebidos (variações menores que 5 ns), o sistema, portanto, sempre irá retornar valores inferiores ao valor real de atraso.

3.1.2 Adaptação à placa KC705

Para a implementação na FPGA da Xilinx será usado o ambiente de desenvolvimento desse mesmo fabricante, o Vivado. Essa plataforma será a base para a criação dos projetos em VHDL, e a ferramenta de programação do hardware para todos os firmwares do projeto. Após a lógica do sistema de medida latência serem configuradas, foi notada a necessidade de uma interface, para a operação da ferramenta, que permitiria acionar a ferramenta e coletar as medidas. Para tanto, foi inserido no projeto em VHDL um componente do Vivado que vai receber e enviar os sinais para o Delay Counter, chamado de Virtual Input/Output (VIO). O VIO é uma ferramenta que o Vivado dispõe para realizar o debugging de sistemas, ele é basicamente um componente customizável que pode monitorar e enviar sinais em tempo real para um dado sistema [28]. Portanto, os comandos para iniciar e resetar a ferramenta serão inseridos pela interface do VIO, e, além disso, o resultado da contagem será mostrado nessa mesma interface.

Figura 17 – Interface do VIO no Vivado (captura de tela)



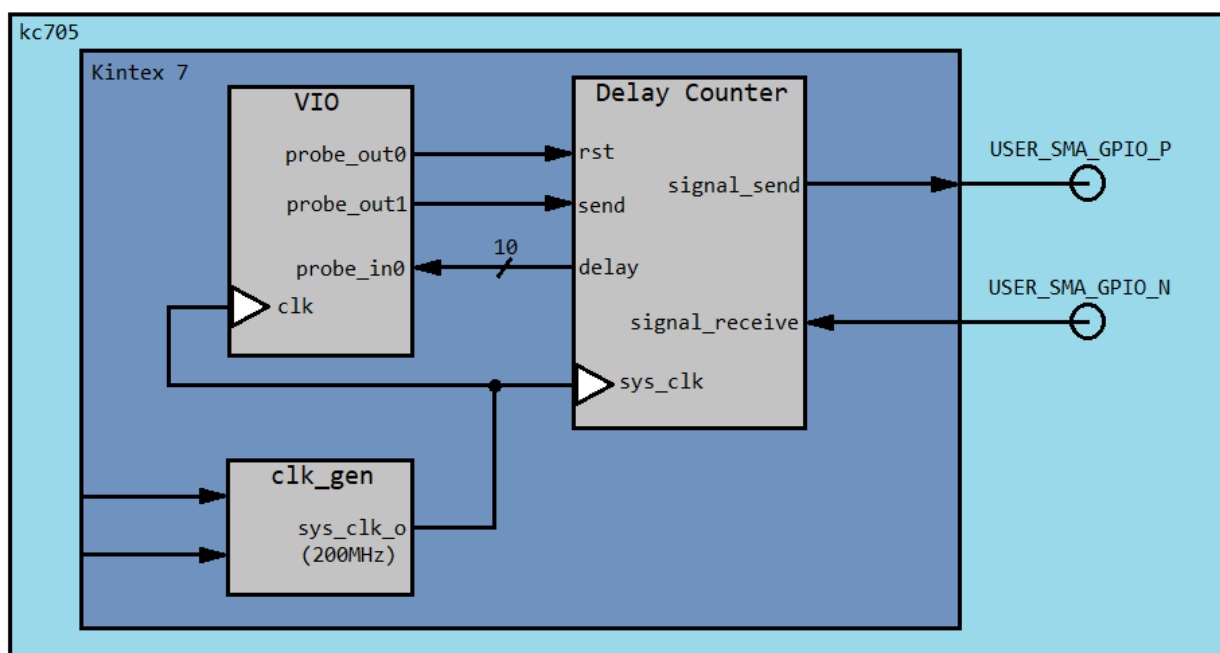
Name	Val...	Activity	Direction	VIO
usr/delay_counter_rst	[B] 0		Output	hw_vio_2
usr/delay_counter_start	[B] 1		Output	hw_vio_2
usr/delay_value_out[9:0]	[U] 126		Input	hw_vio_2

Fonte: Autor

Para a transmissão e recepção do sinal de sonda serão utilizados dois General Purpose Input/Output (GPIO) da KC705, onde serão conectados os cabos coaxiais. Esses pinos físicos são configurados nos constraints do Vivado [29], permitindo que o sistema do Delay Counter seja associado a essas entradas e saídas. Os pinos têm nomes específicos nos constraints, e foram designados da seguinte maneira: USER_SMA_GPIO_P funcionará como pino de saída e o USER_SMA_GPIO_N como pino de entrada.

O último bloco a ser implementado nesse protótipo será a função para produzir o clock de referência. Esse bloco é designado como clk_gen, e foi obtido através de um material disponibilizado pelo SPRACE. Essa função adapta um clock de 200MHz diferencial, produzido pela FPGA, para um clock serial de mesmo valor, podendo ser utilizado pelo firmware do Delay Counter. A figura 18 contém o diagrama de blocos que será implementado no BE do ambiente de testes, contemplando todas as funções previamente descritas.

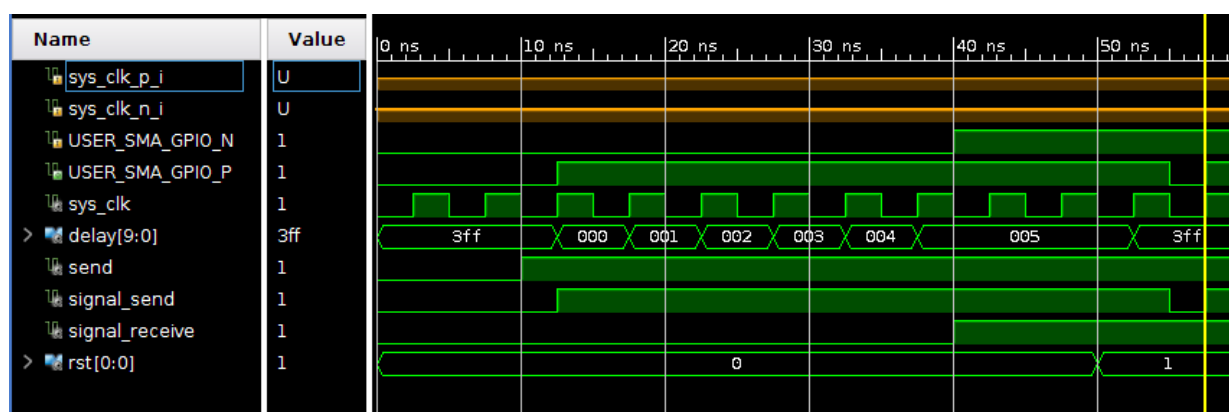
Figura 18 – Diagrama de blocos do protótipo inicial



Fonte: Autor

Após a consolidação da arquitetura do protótipo, foi feita uma simulação do firmware, permitindo observar o funcionamento da lógica implementada, e com isso comprovar a confiabilidade do sistema. Observando a Figura 19 é possível perceber que a ferramenta se comportou da mesma maneira descrita na secção 3.1.1.1, como esperado.

Figura 19 – Simulação do protótipo inicial utilizando o Vivado



Fonte: Autor

No caso dessa simulação, pode-se perceber que o contador não inicia do valor zero, mas de seu valor máximo (1023 decimal ou 3FF hexadecimal). Essa configuração foi necessária pois, da maneira que a lógica foi implementada, o contador já é incrementado na primeira borda de subida, sincronizado com o envio do sinal. Isso faz com que um ciclo seja adicionado erroneamente ao resultado. Portanto, o contador começa com o valor máximo, para quando incrementado na primeira vez, ocorra um overflow do vetor, colocando o contador com valor zero no primeiro rising edge.

3.1.3 Testes do firmware inicial e resultados

Para funcionar como FE nos testes, será usada uma segunda KC705, que estará programada com um firmware de testes desenvolvido para o projeto, com o objetivo de realizar a retransmissão do sinal de sonda pela segunda placa. Esse firmware é chamado de Signal Delayer, e consiste basicamente em uma série de registradores em cascata, que deslocam os bits que entram no vetor. A entrada da KC705 FE será feita pelo mesmo pino USER_SMA_GPIO_N, que estará ligado ao bit zero do vetor, com dimensão definida de 128 bits. A cada ciclo do clock de referência, o sistema desloca todos os bits para a posição seguinte do vetor. Ou seja, um sinal que entra nesse componente demora 128 ciclos de clock para chegar ao final do vetor, que estará ligada ao pino USER_SMA_GPIO_P. Portanto, o sistema retransmite as informações inseridas com um atraso, simulando os processos internos da VLDB. O clock usado na KC705 FE tem origem no bloco clk_gen, assim como na KC705 BE, dessa forma, é esperado que nos testes o Delay Counter retorne as latências dos cabos com a adição dos 128 ciclos, inseridos pelo Signal Delayer.

Nesse primeiro momento a conexão das placas será feita usando dois cabos coaxiais com comprimento de 1 m cada. Para obter uma referência do valor do atraso que esses cabos pudessem inserir foi realizado um teste simples, usando um osciloscópio e um gerador de funções. Com isso, foi medido que cada metro do cabo resultava em um atraso de aproximadamente 5,46 ns.

Com o ambiente ajustado, as placas foram conectadas e programadas. Assim o firmware Delay Counter foi iniciado e o primeiro resultado foi retornado na interface do VIO. Nesse primeiro teste o valor contido no vetor de contagem foi de 133 ciclos de 5 ns. Considerando que o sinal foi atrasado 128 ciclos, o valor calculado pela ferramenta para o atraso nos cabos foi de 5 ciclos, ou 25 ns. Visto que era esperado um atraso próximo de 10 ns o sistema aparentemente estava impreciso ou com algum bug na lógica. No entanto, foi feita uma análise de possíveis atrasos, inseridos por algum componente, que poderiam estar influenciando no valor retornado. Com isso, foi encontrado uma informação muito relevante. Os buffers internos da Kintex 7 possuem um atraso para enviar sinais elétricos para os GPIOs (consultar [30] página 18, tabela 20: coluna -2/-2LE, que é o tipo da Kintex7 nas placas do SPRACE, linha LVCMOS25_S8). O valor dessa latência é de 6,89 ns, para cada placa. Ou seja, dos 25 ns medidos pela ferramenta, devem ser descontados 13,78 ns, devido aos buffers das FPGAs.

A medida do Delay Counter então contém tanto os atrasos dos buffers quanto dos cabos. Considerando então o valor retornado pelo sistema descontado a latência dos buffers, o resultado da medida foi de 11,2 ns para a latência dos cabos. Portanto, a medida por metro, resultante da ferramenta de contagem de atrasos, foi de 5,6 ns. Esse resultado então mostra a eficiência do sistema para medir as latências, visto que o resultado ficou próximo ao valor obtido no teste de bancada com o osciloscópio (diferença de 2,5%). O projeto então estava pronto para avançar para a etapa final, onde a transmissão é realizada utilizando as fibras ópticas e o hardware do detector, visto que a lógica do sistema retornou resultados coerentes com o esperado.

3.2 FIRMWARE ADAPTADO AOS COMPONENTES DO CMS

A arquitetura do firmware final, que tem sua estrutura adaptada aos componentes e protocolos usados nos CMS, tem características similares ao protótipo inicial. No entanto o objetivo dessa etapa é calcular de forma automática o atraso inserido pelas fibras ópticas do link óptico adaptado para os testes de bancada. Com isso, o envio do sinal de sonda será através das

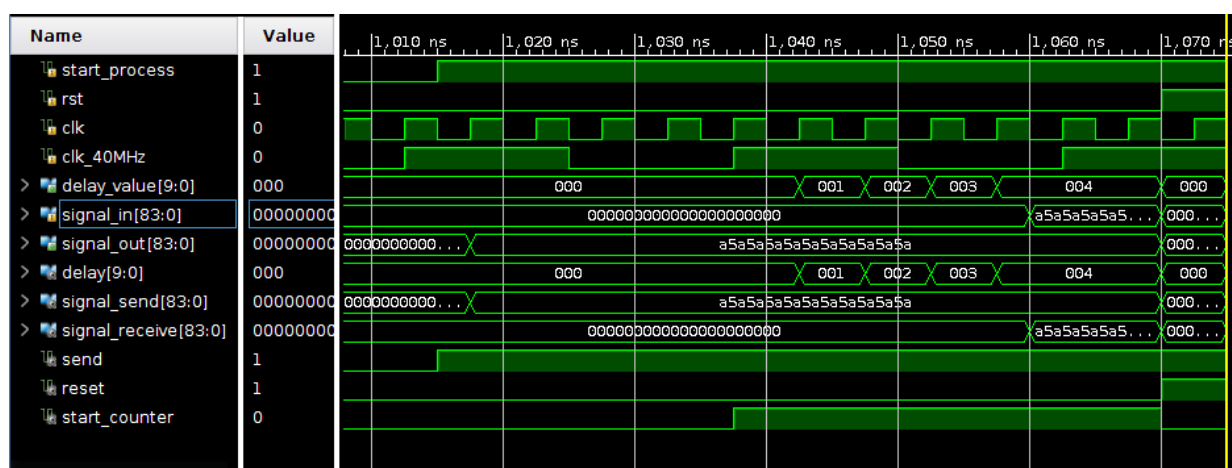
A segunda mudança é a origem do clock de referência, visto que o bloco `clk_gen`, usado no protótipo inicial, dependia de uma referência diferencial vinda da placa de desenvolvimento. Com isso foi necessário a implementação de um novo bloco, que então fornece o clock de 200MHz, necessário para o funcionamento do contador. Esse bloco é um Phase-Locked Loop (PLL), que permite gerar um clock de valor muito alto, a partir de uma referência mais baixa [29]. Dessa forma, o clock de valor 40MHz, disponível na interface `usr` e usado como referência para o GBT-FPGA, foi usado no PLL para gerar o clock de 200MHz.

A importância do uso do PLL também tem relação com a sincronização dos clocks do componente de medida de latência com o GBT-FPGA. Essa característica também foi pensada em face à terceira modificação no Delay Counter.

Com algumas simulações do firmware final, foi notado uma inconsistência no envio da palavra de sonda, através do core do GBT-FPGA. O que ocorre é uma adição indesejada de alguns ciclos de clock no resultado da medida da ferramenta. Isso ocorre, pois, o firmware inicial envia o sinal de sonda com a referência da rising edge do clock de 200MHz. No entanto, o GBT-FPGA apenas processa esses dados na rising edge do seu clock de referência (40MHz), o que pode fazer com que o Delay Counter incrementasse o contador antes mesmo do sinal percorrer a fibra, causando uma imprecisão no resultado da medida. Para resolver essa situação a terceira modificação foi implementada adicionando à ferramenta uma segunda restrição para o início da contagem, através de um sinal de referência (`start_counter`). Esse sinal então seria sensível à rising edge do mesmo clock usado no GBT-FPGA, que então habilitaria a contagem apenas quando o clock de 40MHz do GBT-FPGA e o clock de 200MHz do contador estivessem na borda desubida, fazendo com que o início da contagem seja acionado no momento em que o sinal de sonda é processado pelo GBT-FPGA.

A figura 20 mostra uma simulação feita no Vivado com a nova lógica de habilitação do contador. O nome do sinal de acionamento foi alterado para `start_process`, como forma de facilitar o entendimento do componente, e o sinal `sys_clk`, foi designado apenas como `clk`, ainda mantendo o valor de 200MHz.

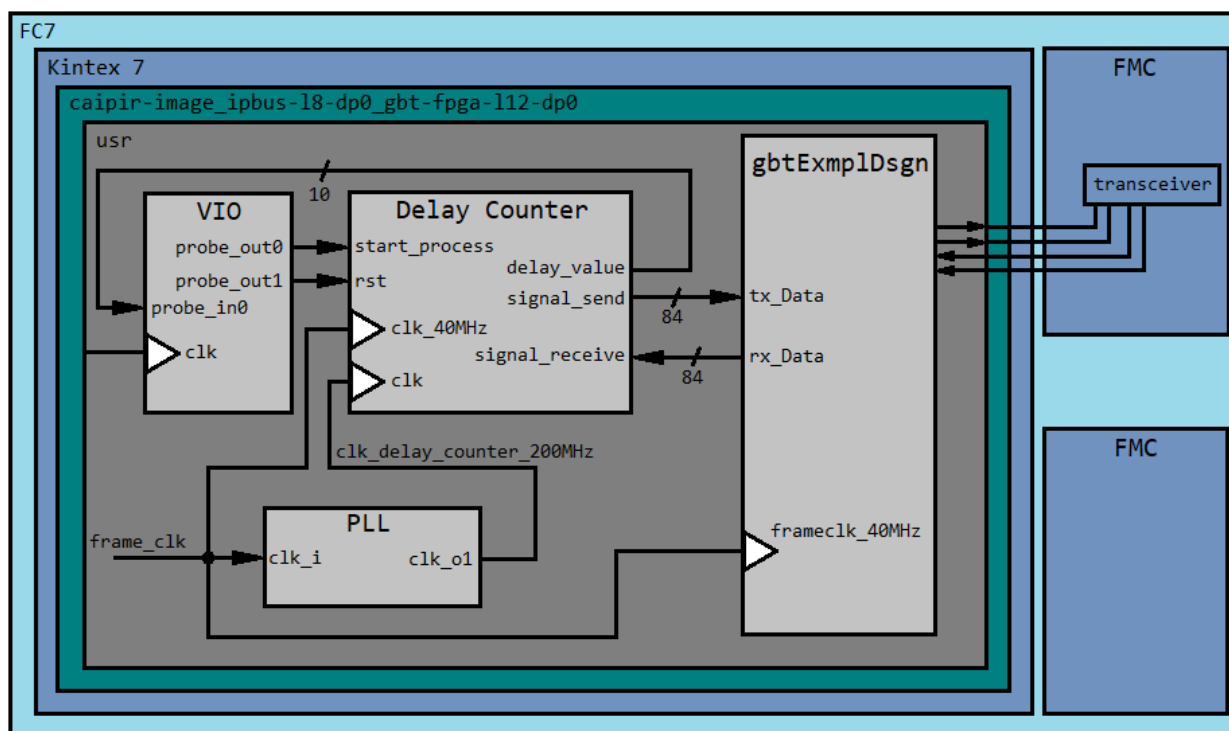
Figura 20 – Simulação do firmware final



Fonte: Autor

Como pode ser observado, o firmware envia o sinal de sonda (signal_send, agora com 84 bits) na rising edge seguinte ao envio do start_process, entretanto, a contagem é habilitada apenas na rising edge seguinte do clock de 40MHz em sincronismo com o clock de 200MHz. Vale notar que ambos os clocks do Delay Counter estão com a mesma fase, característica implementada pela utilização do PLL e essencial para garantir a confiabilidade das medidas.

Figura 21 – Diagrama de blocos do firmware para a medida de latências no link óptico



Fonte: Autor

Com as modificações devidamente organizadas e testadas, a nova arquitetura do sistema de medida de atrasos pode ser vista na Figura 21, onde os blocos se encontram adaptados à estrutura do firmware do SPRACE. O bloco gbtExplDsgn realiza os processos do GBT-FPGA, e está conectado ao transceiver da placa, onde a comunicação com o GBTx será estabelecida.

3.2.2 Testes finais

Para os testes finais, ambas as placas são programadas e configuradas de acordo com as especificações descritas a seguir. A interligação será feita usando os cabos da Huawei em conjunto com dois conectores, onde o comprimento total entre as placas pode ser ajustado. Para coletar as medidas de forma eficiente, foi criado um código em Tool Command Language (Tcl), esse programa contém um loop de comandos para o VIO, que aciona e reseta a ferramenta, de forma a obter 100 medidas por programação. As medidas então são retornadas na interface do Vivado na forma de texto, podendo ser extraídas para algum editor de texto para posterior análise.

A configuração da FC7 é feita em duas etapas, primeiro é realizado a programação da FPGA com o firmware caipir-image (incluindo o Delay Counter) pelo Vivado. Essa configuração é feita pelo port JTAG da placa, que se encontra conectado ao computador remoto do laboratório.

Além disso é necessária uma segunda configuração do μ TCA, para realizar uma mudança no clock de referência do transceiver de 125MHz para 120MHz. Para isso, o caipir-image dispõe de uma interface para programação usando o protocolo IPbus [31]. Com isso a alteração do parâmetro é feita através do envio de um código em python, usando o IPbus, até a FPGA, que repassa os comandos configurando o CDCE [32] da placa, sendo esse o chip que provém as referências de clock para os componentes da FC7. Essa modificação é importante pois o firmware deve utilizar o clock do 120MHz para transmitir na taxa de 4,8Gb/s, sendo essa a mesma taxa de leitura do GBTx. Ou seja, sem essa modificação é impossível estabelecer o link com a VLDB, pois a taxa de transmissão da FC7 estaria em desacordo com a taxa de leitura do ASIC.

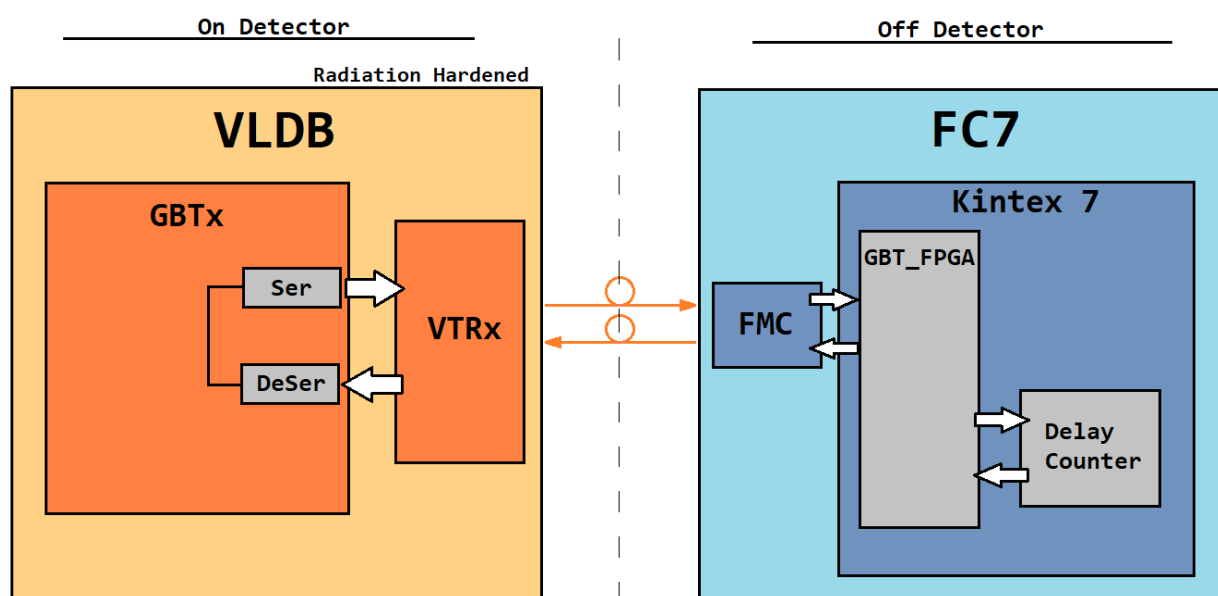
Para configurar a placa VLDB é usado o mesmo computador auxiliar conectado à FC7, mas, diferente da placa FPGA, o chip GBTx é programado pelo protocolo I²C (Inter-Integrated Circuit) [33]. Por esse motivo, o computador auxiliar usa um conector Universal Serial Bus (USB) com um adaptador para I²C, para programar os componentes internos da VLDB. Uma

descrição completa da configuração do GBTx para habilitar a comunicação e, inclusive, para operar no modo de loopback, se encontra no manual do componente [16].

3.2.2.1 Link óptico FC7 e VLDB

Ao todo serão abordados três ambientes de teste com o sistema desenvolvido. O primeiro teste é o ambiente completo, ilustrado na Figura 22, onde estão presentes ambas as placas de BE e de FE. Como pode ser notado, existem outros blocos no sistema que inserem latências na comunicação, sendo eles o GBT-FPGA, o transceiver do FMC, o VTRx e o próprio loopback do GBTx. Portanto, as medidas retornadas pela ferramenta neste primeiro teste também irão conter o tempo que o sinal de sonda levou para percorrer todos estes blocos. Em relação aos transceivers, podemos desconsiderar a latência que eles inserem no link, pois são valor pequenos, e seria necessário um estudo muito mais aprofundado no projeto para descrever com precisão o atraso de cada componente que realiza a conversão dos sinais elétricos para ópticos. Entretanto, o GBT-FPGA e o loopback do GBTx inserem latências significativas na medida, visto que operam com um clock de 40MHz em seus processos internos, onde cada transição então leva ao menos 25 ns.

Figura 22 – Diagrama de blocos do ambiente de testes utilizando as placas de BE e FE

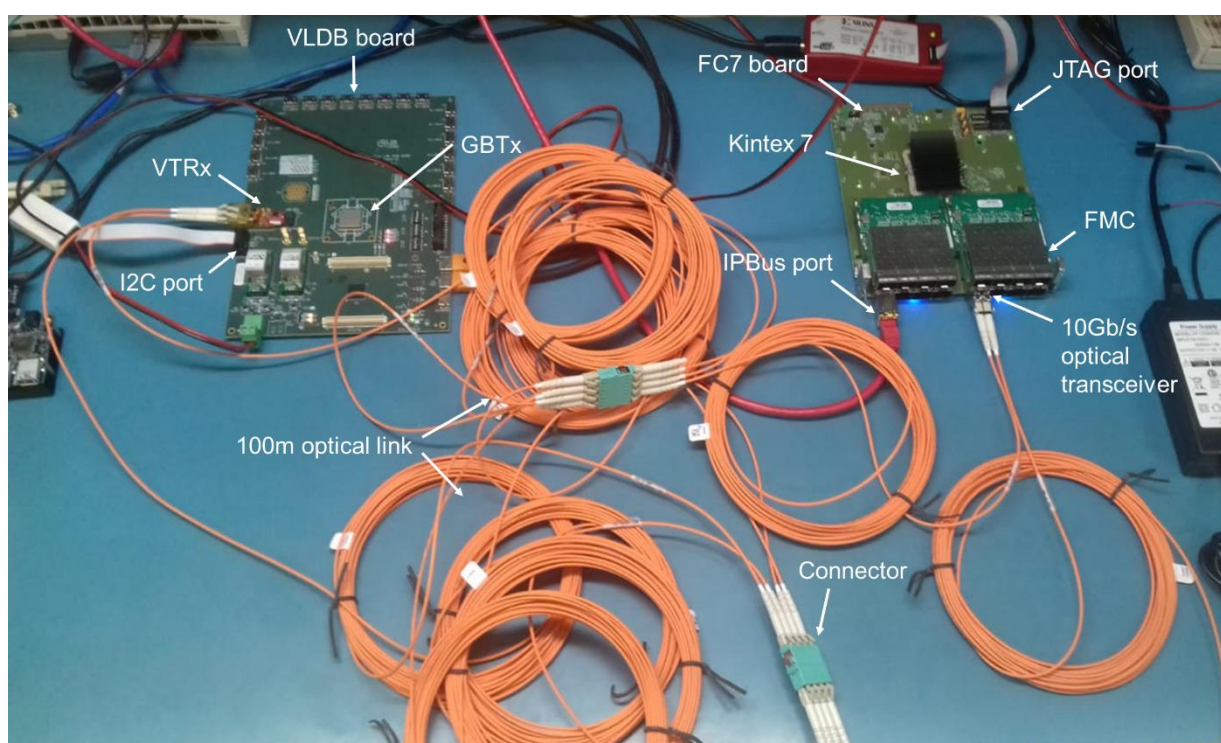


Fonte: Autor

Assim como o estudo dos transceivers foge do escopo do projeto, uma abordagem especificamente para a medida dos atrasos nos processos internos desses componentes seria relativamente difícil. Apesar disso, o método usado para os testes permitiu que, indiretamente,

fosse possível analisar as latências individuais dos blocos do GBT-FPGA e do GBTx, de forma a obtermos um valor aproximado para o atraso desses módulos. Esse método consiste em usar diferentes comprimentos de fibra, coletando a latência para cada configuração. Em seguida os dados são inseridos em um gráfico de tempo (latência total) por comprimento de cabo. É esperado que os pontos produzam um segmento de reta, e com isso, é possível obter o valor onde a reta interceptaria o eixo de tempo, onde o comprimento do cabo teoricamente seria zero, retornado as latências constantes que não envolvem as fibras ópticas. Esse conceito será abordado na seção 4 onde os dados estarão propriamente inseridos no gráfico.

Figura 23 – Ambiente de testes do firmware (foto no SPRACE, editada)



Fonte: Autor

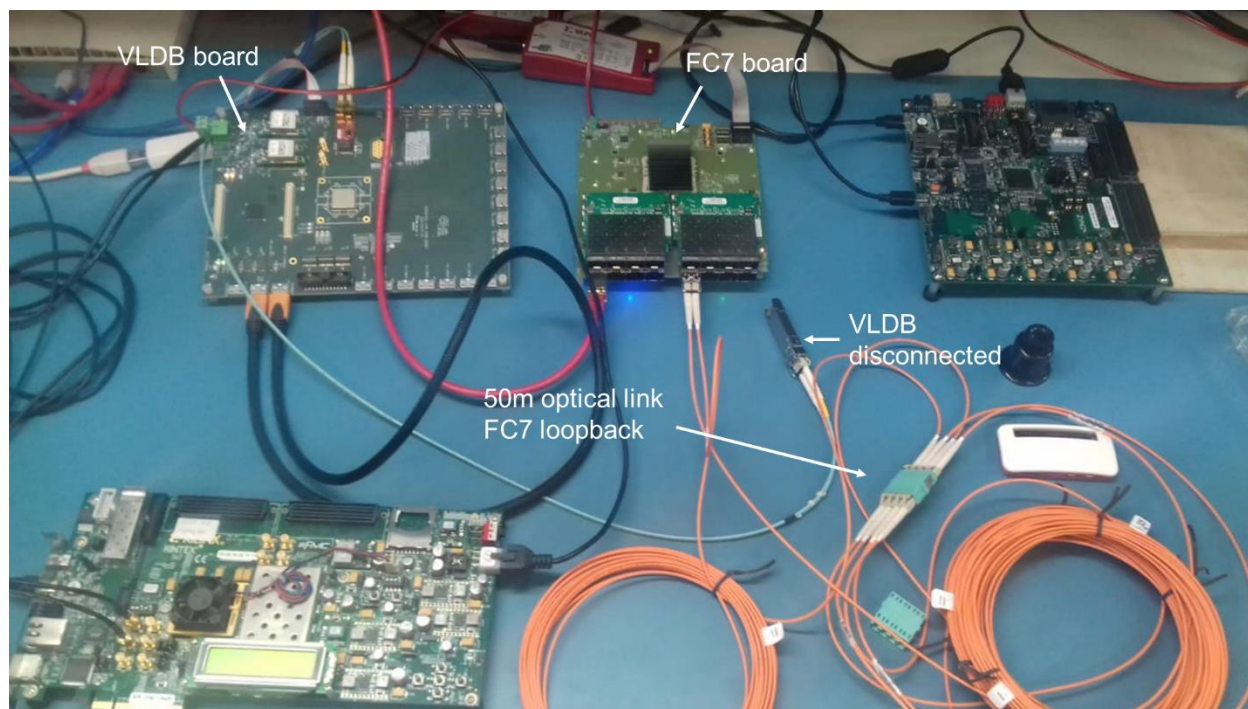
Para essa primeira montagem foram usados os comprimentos totais de 2, 20, 40, 60, 80 e 100 metros. Na Figura 23 pode ser visto como a montagem foi feita usando a associação de vários cabos, o comprimento total no exemplo é de 100 m na transmissão do sinal de sonda.

3.2.2.2 FC7 com loop óptico

O segundo ambiente de testes foi pensado para computar umas das latências envolvidas no processo que não tem relação com as fibras, especificamente a do bloco GBT-FPGA. Esse

teste então consiste em retransmitir o sinal de sonda apenas pelo cabo de fibra óptica, sem a necessidade do loopback do GBTx. Isso é feito apenas conectando o cabo do Tx do transceiver da FC7 no Rx do mesmo componente. Dessa forma, é eliminado um dos componentes de latência indeterminado no link, permitindo então, pela análise gráfica, computar uma latência apenas para o bloco GBT-FPGA.

Figura 24 – Ambiente utilizando a placa FC7 com o loop óptico (foto no SPRACE, editada)



Fonte: Autor

Os comprimentos testados foram 10, 20, 40, 50, 70 e 90 metros. Nota-se que para essa etapa não foi possível atingir um comprimento total de 100 m, isso devido à restrição dos conectores, que permitiam uma montagem com comprimento máximo de 90 m.

3.2.2.3 *Teste de precisão da ferramenta*

O último ambiente testado foi apenas uma configuração para avaliar a precisão do componente desenvolvido. Como mencionado, os cabos usados inserem aproximadamente 5 ns de atraso por metro. Visto que o período do clock do contador do Delay Counter tem valor de 5 ns era esperado que para uma variação de um metro no comprimento total da fibra, o sistema retornasse uma medida com uma unidade acrescentada. Essa precisão foi muito discutida, pois tanto o GBT-FPGA e o GBTx operam com um clock de período de 25 ns, o que poderia

impossibilitar que o sistema fosse sensível a alterações que inserissem latências inferiores ao período de 25 ns. De qualquer forma foi feita a montagem usando ambas as placas de BE e FE, e usado um valor base de 40 m de fibra óptica. Os testes se deram inserindo uma pequena secção de fibra ao link, de 1 m. Dessa forma foram obtidas as medidas para 40, 41 e 42 metros de fibra.

Para uma conclusão final sobre a precisão, foi adquirido um cabo com dimensão de 2,5 m de comprimento, totalizando um comprimento de 42,5 m no link. Isso foi importante pois os 50 cm inseridos por esse cabo não deveriam ser percebidos pelo sistema, se realmente a precisão fosse limitada à 5 ns. Caso a precisão fosse limitada à 25 ns, o sistema deveria retornar os mesmos valores para todos os comprimentos usados nessa etapa de testes.

4 RESULTADOS E DISCUSSÃO

Seguindo o padrão de testes realizados temos que, em cada ambiente, os dados foram coletados e armazenados em arquivos de texto. Essas medidas foram obtidas pelo programa em Tcl, como mencionado, que retornava 100 medições por tamanho total de cabo usado. Apesar disso, para fins de simplificar a análise, serão avaliados no relatório de iniciação os valores médios das 100 medidas, produzindo então tabelas reduzidas. As amostras de dados completas se encontram no APÊNDICE A.

Com os dados devidamente organizados, são elaborados gráficos para avaliar a tendência das medidas. Com isso é possível avaliar a latência para a secção de fibra usada e para os elementos que inserem latências constante o link. A comparação será feita com as referências mencionadas na Revisão Bibliográfica, considerando que cada metro do cabo deveria inserir um atraso próximo à 4,990 ns. Em relação ao atraso no GBT-FPGA, o User Guide [18] apresenta um valor de 47,9 ns para a transmissão e 82,4 ns para a recepção do sinal, isso para o modo Latency Optimized. Ainda deve ser considerado que a lógica do bloco necessita de 1 ciclo de 40MHz para processar o sinal em sua saída e em sua entrada, o que adicionaria 50 ns ao atraso total. Portanto, no percurso total do sinal, devem ser considerados 180,3 ns apenas para o bloco GBT-FPGA.

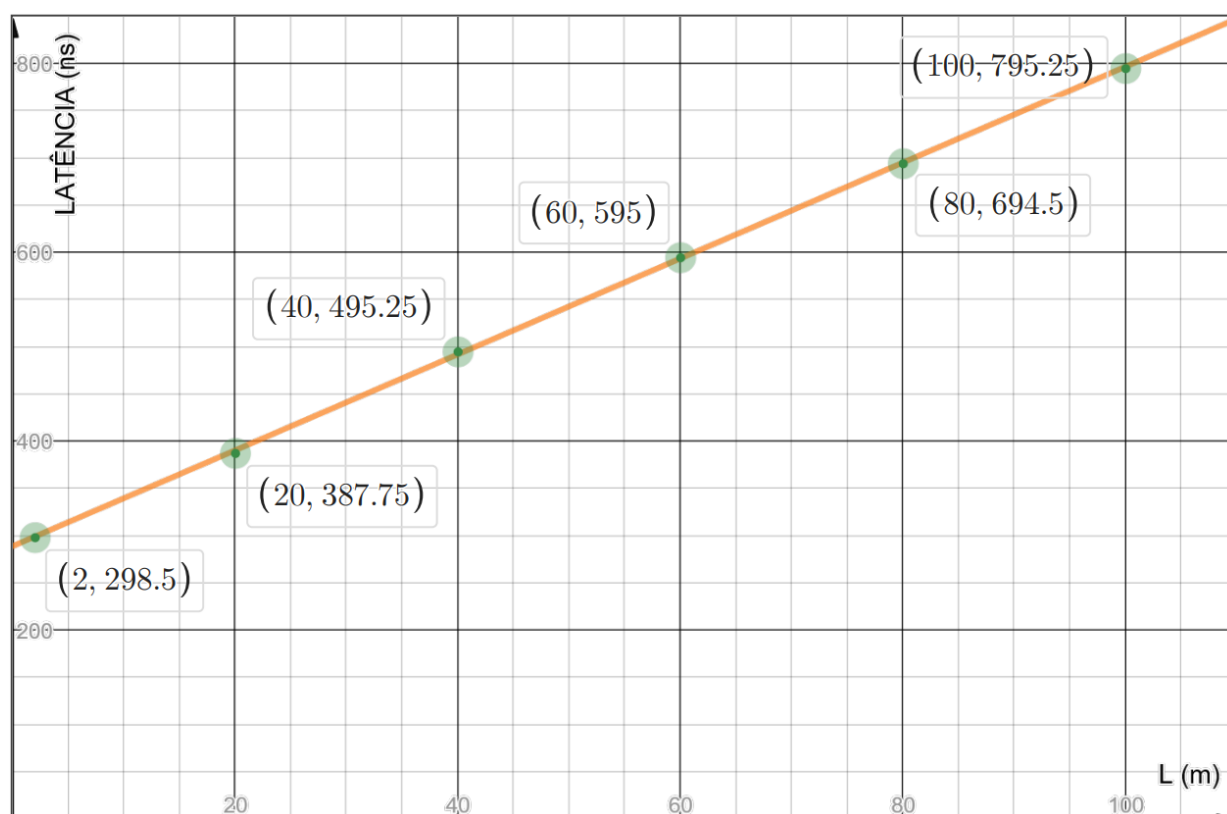
Nas tabelas a seguir se encontram três informações correlacionadas, o comprimento total da fibra no link (L), a média das 100 medidas feitas por comprimento total de fibra, em função do número de ciclos do clock do contador (cc), e a latência do link, convertendo os ciclos de clock para nano segundos (multiplicando o número médio de cc pelo período de 5 ns).

Tabela 1 – Medições do Delay Counter na configuração link óptico BE e FE

Configuração: Link BE + FE						
L (m)	100	80	60	40	20	2
MÉDIA (cc 200MHz)	159,05	138,90	119,00	99,05	77,55	59,70
LATÊNCIA (ns)	795,25	694,50	595,00	495,25	387,75	298,50

Fonte: Autor

Gráfico 1 – Regressão linear com os dados da Tabela 1 (Latência x Comprimento total do cabo)



Fonte: Autor

O primeiro gráfico obtido da composição dos valores médios do atraso para cada comprimento de cabo usado no link foi promissor. É possível notar que as medidas do sistema se mantiveram muito próximas ao modelo linear, e com isso, concluir que os dados estavam coerentes com o esperado.

As informações relevantes do gráfico a serem analisadas são o coeficiente angular (tangente do ângulo formado pela intersecção da reta média com um segmento de reta paralelo ao eixo x) e o termo aditivo (valor onde a reta média cruza o eixo y). A latência por metro nos

testes então tem o mesmo valor que o coeficiente angular do gráfico, com unidade de ns/m. O termo aditivo se refere às latências dos protocolos e componentes usados no VL, descontando a fibra (seria o valor onde o comprimento da fibra tem valor zero), com unidade em ns.

O resultado então da latência por metro de fibra no primeiro ambiente de testes foi de 5,078 ns/m. Considerando que a latência para o tipo de fibra usada é de 4,990 ns por metro, o resultado ficou próximo ao esperado (diferença de 2%). Em relação ao termo aditivo, temos que a latência dos componentes GBT-FPGA e GBTx somam um valor de aproximadamente 288,8 ns.

Nesse momento não é possível avaliar individualmente o valor para os blocos GBT-FPGA e GBTx, dessa forma, a análise deve ser complementada pelos resultados do teste seguinte, usando apenas a placa FC7, onde o termo adicional é o atraso relacionado apenas ao GBT-FPGA.

Abordando as medidas de forma diferente, podemos subtrair o valor constante encontrado do modelo linear das medidas de latência total do link, com isso temos a Tabela 2, onde são comparados os valores individuais da latência apenas para o cabo com o esperado, calculado a partir dos dados do fabricante. Pela comparação dos resultados nota-se que a diferença permanece coerente com a precisão obtida no firmware, indicando a confiabilidade da ferramenta.

Tabela 2 – Comparação dos resultados obtidos para latência apenas do cabo com o esperado

Configuração: Link BE + FE						
L (m)	100	80	60	40	20	2
Latência cabo (ns)	506,45	405,70	306,20	206,45	98,95	9,70
Latência esperada (ns)	499,00	399,20	299,40	199,60	99,80	9,98
Diferença (%)	1,5	1,6	2,3	3,4	0,9	2,8

Fonte: Autor

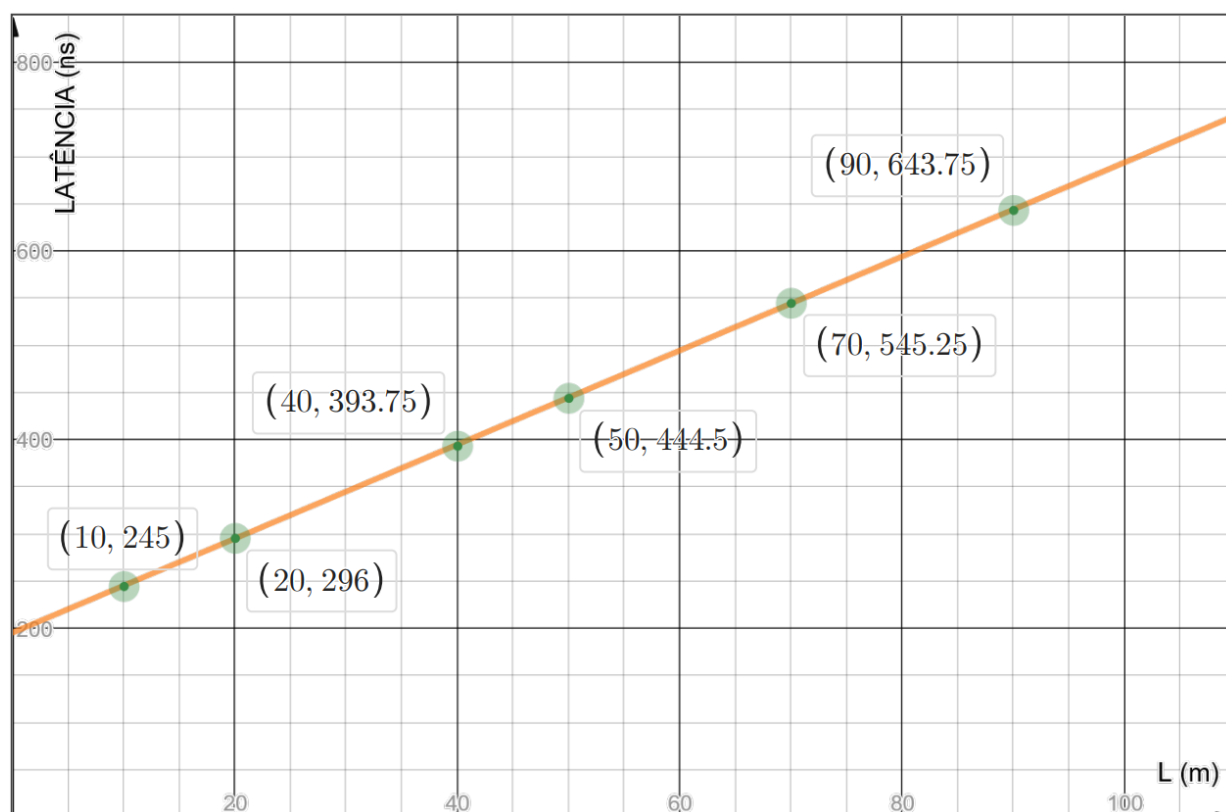
O segundo ambiente de testes também retornou medidas coerente com o esperado, onde os valores da latência total do link diminuíram consideravelmente com a remoção da placa de FE, como mostra os dados da Tabela 3.

Tabela 3 – Composição das medições do Delay Counter na configuração BE com loop óptico

Configuração: BE com loop óptico						
L (m)	90	70	50	40	20	10
MÉDIA (cc 200MHz)	128,75	109,05	88,90	78,75	59,20	49,00
LATÊNCIA (ns)	643,75	545,25	444,50	393,75	296,00	245,00

Fonte: Autor

Gráfico 2 – Regressão linear com os dados da Tabela 3 (Latência x Comprimento total do cabo)



Fonte: Autor

Para o segundo ambiente de testes temos que as medidas também se mantiveram muito próximas ao modelo linear. O sistema então teve o mesmo comportamento e, nesse ambiente, o gráfico tem um coeficiente angular de valor 4,985 ns/m. O valor nesse caso foi ainda mais próximo do esperado para esse tipo de fibra (diferença de 0,1%), ou seja, o componente desenvolvido no projeto foi capaz de obter medidas coerentes ao longo dos testes, mostrando que a precisão obtida com o design em VHDL foi suficiente para avaliar a latência no link óptico usado nos testes.

O segundo valor relevante obtido do gráfico foi o termo adicional, que nesse momento deve conter apenas o atraso inserido pelo protocolo GBT implementado na FPGA. O resultado então foi um componente adicional no valor de 195,4 ns, que também se mostrou próximo ao valor esperado de 180,3 ns para o bloco GBT-FPGA (diferença de 8%).

Assim como no ambiente com ambas as placas, é possível subtrair das medidas de latência total o valor constante do modelo linear, e com isso obter as medidas apenas para o cabo no ambiente sem o FE, como mostrado na Tabela 4.

Tabela 4 – Comparação dos resultados obtidos para latência apenas do cabo com o esperado

Configuração: BE com loop óptico						
L (m)	90	70	50	40	20	10
Latência cabo (ns)	448,35	349,85	249,10	198,35	100,60	49,60
Latência esperada (ns)	449,10	349,30	249,50	199,60	99,80	49,90
Diferença (%)	0,2	0,2	0,2	0,6	0,8	0,6

Fonte: Autor

Com o resultado desse teste é possível fazer uma avaliação, mesmo que indireta, da latência no GBTx, subtraindo o valor adicional total no primeiro teste com o valor do segundo. O resultado então seria um atraso de 93,4 ns. A documentação do GBTx ainda se encontra em desenvolvimento pelo CERN, por esse motivo, não existe um valor certo para comparação com o resultado do projeto de iniciação. De qualquer forma, os colaboradores do SPRACE entenderam como uma medida válida para o componente.

Com as amostras coletadas e análise das medidas usando o VL como meio de comunicação, foi proposto uma apresentação dos resultados para o grupo do DAQ, relacionado com o CMS (esse grupo tem suas pesquisas focadas na análise do fluxo de dados DAQ, mencionado na Revisão Bibliográfica). A apresentação se deu de forma satisfatória, e os pesquisadores do grupo, que estão na Itália, avaliaram positivamente a pesquisa realizada no projeto de medida de latência, sendo então uma contribuição para o desenvolvimento do Phase-2 Upgrade do CMS.

Como componente final da análise da ferramenta, a precisão do sistema foi um tema muito abordado nas discussões dos resultados do Delay Counter, muito em razão do valor do clock de operação do GBT-FPGA e GBTx (40MHz), que poderia limitar a precisão do sistema a apenas 25 ns, independentemente do clock do contador. No entanto, a última avaliação do sistema mostrou que ele é, de fato, sensível a mudanças de 5 ns na latência inserida no link. É possível notar, na Tabela 5, que o valor para o comprimento de 40 m de cabo é de aproximadamente 1 ciclo de clock a menos do que no comprimento de 41 m. Isso se repete também comparando o número de ciclos para um L igual a 41 m, em relação ao número de ciclos do comprimento L igual a 42 m. Portanto, a ferramenta tem uma sensibilidade de aproximadamente 5 ns, como esperado pela composição da lógica do contador, que utiliza o clock de 200MHz para a contagem.

Tabela 5 – Composição das medições do Delay Counter no teste de precisão do sistema

Configuração: Teste de precisão (link BE + FE)				
L (m)	42,5	42	41	40
MÉDIA (cc 200MHz)	101,00	101,05	100,15	99,10
LATÊNCIA (ns)	505,00	505,25	500,75	495,50

Fonte: Autor

Para uma análise ainda mais completa da precisão, foi inserido uma distância no link de 50 cm, que, de acordo com as especificações da fibra, adicionaria uma latência de $4,990/2 = 2,495$ ns. Comparando os resultados para um L igual a 42 m e L igual a 42,5 m, na Tabela 5, nota-se que o sistema retornou um número de ciclos de clock muito parecido, ou seja, a ferramenta não teve sensibilidade para contabilizar o atraso menor que 5 ns, inserido pelos 50 cm de fibra no link.

5 CONCLUSÕES

Os testes com o firmware desenvolvido produziram uma quantidade de dados consideráveis, que podem ser analisados de formas diferentes. Para as conclusões do projeto de iniciação foi decidido que a análise gráfica é a abordagem mais coerente, e que apresenta as conclusões de forma mais clara. Isso deve ser considerado pois em outras análises poderiam ser encontrados erros diferentes, visto que o sistema funciona de maneira muito particular. Outro fator que deve ser considerado é a obtenção de uma média nos resultados das medidas. Essa avaliação também

foi questionada quando feita a análise dos resultados, visto que não foi possível obter uma medida determinística do link, ou seja, diferentes medidas foram retornadas para um único comprimento de fibra. Essa característica, de fato, dificulta uma análise discreta dos valores, no sentido de que estamos tratando de um componente digital, podendo ser questionados inclusive os valores usados (por exemplo 100,15 ciclos de clock).

Apesar de todas limitações da ferramenta, os resultados obtidos pelo firmware foram muito próximos aos valores esperados para o link óptico simulado, e a análise gráfica se mostrou eficiente na obtenção de diversos dados relevantes, inclusive sendo apresentados ao grupo do DAQ, como mencionado. As simulações feitas de forma sistemática ainda colaboraram para a confirmação da confiabilidade do sistema. Portanto, a conclusão é que foi produzido no projeto um componente que permite conhecer o atraso inserido pelas fibras ópticas, na comunicação entre dois módulos, permitindo sua inserção diretamente no sistema operante onde é desejado essa funcionalidade. A implementação da ferramenta também se deu de forma satisfatória, visto que o componente foi testado em dois ambientes diferentes, provando, inclusive, a versatilidade do Delay Counter. Portanto, conhecidos os atrasos constantes nos componentes e protocolos, esse valor pode ser inserido no Delay Counter, de forma que a ferramenta então passará a retornar a latência exclusivamente relacionada ao atraso das fibras ópticas, de forma automática e usando o próprio link para obtê-las, como foi especificado na proposta do projeto.

O projeto ainda agregou muito conhecimento nas áreas de eletrônica digital e telecomunicações, podendo ser observados durante o desenvolvimento do firmware, sendo necessário uma apresentação relativamente extensa ao universo dos componentes e protocolos usados no CMS, além de muitos estudos no desenvolvimento de projetos em HDL. A organização foi também um componente decisivo nos desenvolvimentos, visto que as placas e protocolos são complexos e muito específicos, exigindo uma documentação substancial das adaptações que foram sendo feitas no firmware. Isso teve grande relevância, pois sem uma abordagem organizada, vários processos e detalhes passariam despercebidos. Dessa forma, o projeto não apenas contribuiu no que se refere ao conhecimento, mas também no aprendizado do processo científico, que exige dedicação e método, para que, de fato, as contribuições do projeto possam ser consideradas para uma aplicação futura no detector.

Uma outra menção importante foi o aprendizado sobre os experimentos de HEP, além de diversas abordagens sobre o SM. Apesar da área de física não ser o foco dos estudos do projeto

de iniciação tecnológica, eles complementaram os conhecimentos sobre a construção da máquina do CMS e suas camadas internas, além de mostrar quais são os objetivos dos experimentos no LHC e sua importância para o desenvolvimento dos modelos físicos e para nossa compreensão dos fenômenos do universo.

Para expansão e continuação dos estudos do projeto existem ainda algumas melhorias que podem ser inseridas para aprimorar a ferramenta no cálculo preciso do atraso, como por exemplo, utilizar um clock com período menor do que 5 ns para a referência do contador, o que iria exigir uma avaliação da sintetização do firmware pelo Vivado, além de FPGAs mais sofisticadas. De qualquer forma, o projeto permite que vários caminhos possam ser tomados para aperfeiçoar o sistema e, inclusive, continuar os estudos sobre o CMS e seus componentes, sendo um grande aprendizado na área de engenharia elétrica.

REFERÊNCIAS

- [1] SPRACE. **São Paulo Research and Analysis Center**. Página na internet. Disponível em: <<https://sprace.org.br/>>. Acesso em 21/08/2019.

- [2] BRÜNING, O. **LHC Luminosity Achievements & Limitations**. 2010. Disponível em: <<https://indico.cern.ch>>. Acesso em 21/08/2019.

- [3] GOOGLE. **Cern Surface Locations for the LHC, SPS, and associated sites**. Link: <<https://www.google.com/maps/d/viewer?mid=1tZYHxIanWV9iQDff6jWUHN21jmU&usp=sharing>>. Acesso em 21/08/2019.

- [4] CMS COLLABORATION. **The Phase-2 Upgrade of the CMS Tracker**: Technical Design Report. CMS-TDR-17-001. 2017.

- [5] CMS COLLABORATION. **Highlights from the Compact Muon Solenoid (CMS) Experiment**. 2019. Disponível em: <<https://indico.cern.ch>>. Acesso em 21/08/2019.

- [6] CMS EXPERIMENT, CERN. **Observation of a New Particle with a Mass of 125 GeV**. 2012.

- [7] VASEY, F. **The Versatile Link Project Present & Future**. 2014. Disponível em: <<https://indico.cern.ch>>. Acesso em 21/08/2019.

- [8] ARDUINI, G. **The HL-LHC Machine**. CERN. 2016. Disponível em: <<https://indico.cern.ch>>. Acesso em 21/08/2019.

- [9] GRAY, H. M. **Track reconstruction algorithms in high pile up environments**. 2017. Disponível em: <<https://indico.cern.ch>>. Acesso em 21/08/2019.

- [10] MOREIRA, P. **Inside the LpGBT**. Suíça. 2017. Disponível em: <<https://indico.cern.ch>>. Acesso em 21/08/2019.

- [11] MOREIRA, P. **GBT Project**: Present & Future. Suíça. 2014. Disponível em: <<https://indico.cern.ch>>. Acesso em 21/08/2019.
- [12] VASEY, F. et al. **The Versatile Link PLUS Project**. V2.3. 2015. Disponível em: <<https://indico.cern.ch>>. Acesso em 21/08/2019.
- [13] SOÓS, C. et al. **Versatile Link PLUS transceiver development**. CERN. 2017. Disponível em: <<https://indico.cern.ch>>. Acesso em 21/08/2019.
- [14] MENDEZ, J. et al. **New LpGBT-FPGA IP**: Simulation model and first implementation. Topical Workshop on Electronics for Particle Physics. 2018. Disponível em: <<https://indico.cern.ch>>. Acesso em 21/08/2019.
- [15] MENDEZ, J. BARON, S. **Introduction to the LpGBT-FPGA**. TWEPP. 2018. Disponível em: <<https://indico.cern.ch>>. Acesso em 21/08/2019.
- [16] GBT PROJECT. **GBTx Manual**. V0.16. 2018.
- [17] MARIN, M. B. et al. **The GBT-FPGA core**: features and challenges. TWEPP, França. 2014. Disponível em: <<https://indico.cern.ch>>. Acesso em 21/08/2019.
- [18] BARON, S. MENDEZ, J. **GBT-FPGA User Guide**. Version 1.4. 2016.
- [19] LESMA, R. M. **Versatile Link Demonstration Board (VLDB)**. FTEC 3RD Quarterly Report. 2016. Disponível em: <<https://indico.cern.ch>>. Acesso em 21/08/2019.
- [20] BARON, S. **The VLDB**. BE/BI-PH-ESE GBT/VL meeting. Esquema e Layout do Hardware. 2015. Disponível em: <<https://indico.cern.ch>>. Acesso em 21/08/2019.
- [21] PESARESI, M. **The FC7 AMC for DAQ & control applications in CMS**. 2014. Disponível em: <<https://indico.cern.ch>>. Acesso em 21/08/2019.
- [22] XILINX. **Xilinx Inc**. Página na internet. Disponível em: <<https://www.xilinx.com/>>. Acesso em 21/08/2019.

- [23] MICRON. **DDR3 SDRAM UDIMM**. Features. 2007.
- [24] DURANTE, P. **Optical Links for TDAQ**. ISOTDAQ. 2019. Disponível em: <<https://indico.cern.ch>>. Acesso em 21/08/2019.
- [25] ZANATELI, M. **Comunicações Ópticas I: introdução**. Apostila do curso de graduação em engenharia elétrica da FEI. 2017.
- [26] HUAWEI BRASIL. **Huawei Technologies Co., Ltd**. Página na internet. Disponível em: <<https://www.huawei.com/br/>>. Acesso em 21/08/2019.
- [27] FIBREFOX. **Fibre Optic Cable: General Cable Specification**. Manual Técnico. 2019.
- [28] XILINX. **Vivado Design Suite HLx Editions**. Descrição de Produto. 2018.
- [29] XILINX. **Vivado Design Suite User Guide: Using Constraints**. v2018.3. 2018.
- [30] XILINX. **Kintex-7 FPGAs Data Sheet: DC and AC Switching Characteristics**. v2.18. Especificação de Produto 2019.
- [31] FRAZIER, R. et al. **The IPbus Protocol: An IP-based control protocol for ATCA/ μ TCA**. IPbus version 2.0. 2013.
- [32] TEXAS INSTRUMENTS. **CDCE62005 3:5 Clock Generator, Jitter Cleaner with Integrated Dual VCOs**. Datasheet. 2016.
- [33] CERN. **I2C bus specifications for the CMS tracker 2S & PS modules**. V 2.0. 2016. Disponível em: <<https://espace.cern.ch>>. Acesso em 21/08/2019.
- [34] VAHID, F. **Sistemas Digitais: Projeto, Otimização e HDLs**. 2008.
- [35] RAMALHO, L. A. **An FPGA based 3.8 Tbps Data Sourcing and Emulator System**. 2018. Disponível em: <http://hdl.handle.net/11449/153037> . Acesso em: 19 de julho de 2018.

- [36] FINOTTI, V. CASCADAN, A. CALLIGARIS, L. **CIC emulator using FC7 boards**. 2018. Disponível em: <<https://indico.cern.ch>>. Acesso em 21/08/2019.
- [37] CHEN, K. et al. **Optimization on fixed low latency implementation of the GBT core in FPGA**. Submission to JINST. 2017.

APÊNDICE A – Amostra completa das medições do firmware desenvolvido

Configuração: Link BE + FE																			
L=100 m																			
163	158	163	158	158	158	163	163	158	158	158	158	158	158	158	158	163	158	158	158
158	158	158	158	158	158	158	158	158	158	163	158	163	158	158	163	158	158	158	158
158	158	163	158	158	158	163	158	158	163	158	158	163	158	163	158	158	163	158	158
158	158	158	158	158	158	158	158	163	158	163	158	163	158	158	158	163	158	163	158
158	158	158	158	158	158	158	158	163	158	158	158	158	158	158	158	163	158	158	158
L=80 m																			
138	138	138	138	138	138	138	138	138	138	138	143	143	138	138	138	138	138	138	138
138	138	138	138	138	138	138	138	143	138	143	138	138	138	143	138	138	143	138	138
138	138	138	138	138	138	138	138	138	138	138	138	143	138	138	138	138	138	138	138
138	138	143	138	138	143	138	143	138	143	138	138	138	138	143	138	138	143	138	143
143	138	143	138	138	138	138	138	138	143	138	138	138	143	138	138	138	138	138	138
L=60 m																			
118	118	118	118	118	118	118	123	118	118	118	118	118	118	118	123	118	118	118	123
118	123	118	118	118	123	118	118	118	118	118	123	118	118	118	118	118	118	118	123
118	118	118	118	118	118	118	118	123	123	118	123	118	118	118	118	123	118	123	118
118	123	118	118	118	118	118	118	123	123	118	118	118	118	118	123	118	118	118	118
118	118	118	118	123	118	118	118	118	118	123	118	123	118	118	118	123	118	118	118
L=40 m																			
98	103	98	98	98	103	98	103	98	103	103	98	103	98	98	98	98	103	103	103
98	98	98	98	98	98	98	98	98	98	98	98	98	98	98	98	103	103	103	98
98	98	98	98	98	98	98	98	98	98	98	103	98	98	98	98	98	98	98	98
98	98	98	98	98	98	103	98	98	98	98	98	103	103	98	98	98	98	98	98
98	103	98	98	98	98	98	98	98	98	98	98	98	98	103	98	103	98	98	103
L=20 m																			
77	77	77	77	77	77	77	77	77	77	82	77	77	82	77	77	77	77	77	77
77	77	82	77	77	82	77	77	82	77	77	77	77	77	82	77	77	77	77	77
77	77	77	77	82	77	82	77	77	77	77	77	77	77	77	77	77	77	77	77
77	77	77	77	77	77	77	77	77	77	82	77	77	77	77	77	77	77	77	77
77	77	77	77	82	77	77	77	77	77	82	77	77	77	77	77	77	77	77	77
L=2 m																			
59	64	59	64	59	59	59	59	59	59	59	64	59	59	59	59	59	59	59	59
59	59	59	59	59	59	59	59	59	59	64	59	64	59	59	59	59	59	59	59
59	59	59	59	59	59	59	64	59	64	59	59	59	59	59	64	59	59	59	59
59	59	59	59	59	59	59	59	59	59	59	59	59	59	59	64	59	59	59	59
59	64	64	59	64	59	59	59	59	59	59	59	59	64	59	64	59	59	59	59

Configuração: BE com loop óptico																			
L=90 m																			
128	128	128	128	128	128	128	128	128	128	128	128	128	128	128	128	133	133	128	
133	128	128	128	128	128	128	128	128	128	128	128	128	133	128	128	128	128	128	128
128	128	133	128	128	128	128	128	128	133	128	128	133	128	128	128	133	128	128	128
133	133	128	128	128	128	128	128	128	133	128	128	128	128	128	133	128	133	128	128
128	128	128	128	128	128	128	128	128	128	133	128	128	128	128	128	128	128	133	128
L=70 m																			
108	108	108	108	108	113	108	108	108	113	108	108	113	113	108	108	108	108	113	113
108	113	108	108	108	108	113	108	108	108	108	108	113	108	108	108	113	108	108	108
108	108	108	108	108	108	113	108	113	113	108	108	113	108	108	108	113	108	108	113
108	108	108	108	108	108	108	108	108	108	108	108	108	108	108	108	108	108	108	108
113	108	108	108	108	108	108	108	108	113	108	108	108	108	108	113	108	108	113	113
L=50 m																			
88	88	88	88	88	93	88	88	88	88	88	88	88	88	88	88	88	88	88	88
88	88	93	88	88	93	88	93	88	88	88	88	88	88	88	88	88	93	93	93
88	88	93	88	88	88	88	88	88	88	88	88	88	93	88	93	88	88	88	93
88	88	88	88	88	88	93	88	93	88	88	88	88	88	88	93	88	88	88	93
88	93	88	88	88	88	88	93	88	88	88	88	88	88	88	93	88	88	88	88
L=40 m																			
78	83	78	78	78	83	78	78	78	78	78	78	78	83	78	78	78	78	78	78
78	78	78	78	78	83	78	78	78	78	78	78	78	78	78	78	83	83	78	78
78	78	78	78	78	78	78	78	78	78	78	78	78	78	78	78	78	83	78	83
78	78	78	83	78	78	78	78	78	78	78	78	83	78	78	78	78	78	78	78
78	78	78	83	78	78	78	78	78	78	78	78	78	83	83	78	83	78	83	78
L=20 m																			
58	63	63	58	58	58	58	63	58	58	58	58	63	63	58	58	58	63	58	63
58	58	58	58	58	58	58	58	58	58	58	58	63	63	63	58	58	58	58	58
58	63	58	58	58	58	63	63	58	58	58	58	58	58	63	58	58	58	58	58
58	58	63	58	58	63	58	63	58	58	58	58	63	58	58	58	58	63	58	58
63	58	63	58	58	63	58	58	58	63	58	58	58	58	58	58	58	63	58	58
L=10 m																			
48	48	48	48	48	48	48	48	53	53	53	48	48	48	48	48	48	48	48	53
48	48	48	53	48	48	48	48	48	53	48	48	48	53	48	53	48	53	48	48
48	48	48	48	48	48	48	48	48	53	48	48	48	48	48	48	53	48	53	48
48	48	48	53	53	48	48	48	48	48	48	48	48	48	48	48	53	48	48	53
48	53	48	48	48	48	53	48	48	48	48	48	48	53	53	48	48	48	48	48

Configuração: Teste de precisão (link BE + FE)																			
L=42,5 m																			
100	100	100	105	100	100	100	100	105	105	105	100	100	100	100	100	105	100	100	100
100	100	100	105	100	100	100	100	105	100	100	100	100	100	105	100	100	100	100	100
100	100	100	100	100	100	105	100	105	105	105	100	100	100	100	100	100	100	100	100
100	100	105	100	105	100	100	105	100	100	100	100	105	100	100	100	100	100	105	100
100	100	100	100	100	100	100	100	100	100	100	100	105	100	100	100	105	100	105	100
L=42 m																			
100	100	100	100	100	100	105	100	105	100	100	105	100	100	100	100	100	100	100	100
100	105	100	100	100	100	105	100	105	100	100	100	105	105	105	105	105	105	100	105
100	100	100	100	100	100	105	105	100	100	105	100	100	105	105	100	100	100	100	100
100	105	100	100	100	100	100	100	100	100	100	100	100	100	100	105	100	100	100	105
100	100	100	100	100	105	100	100	100	100	100	100	100	100	100	100	100	100	100	100
L=41 m																			
99	99	104	99	99	99	99	99	99	104	99	99	99	99	104	99	99	99	99	99
99	99	99	104	99	99	99	99	99	99	104	99	99	99	99	99	99	99	99	99
104	99	99	104	104	104	99	99	99	99	99	104	99	99	104	99	99	99	104	104
99	104	99	104	104	99	99	99	99	99	99	104	99	99	104	99	99	99	99	99
99	99	104	99	99	99	104	99	99	99	104	99	99	99	104	99	104	99	99	99
L=40 m																			
98	103	98	98	98	98	98	98	103	98	98	98	98	103	98	98	98	98	98	103
98	98	98	98	98	98	98	98	103	103	98	98	98	103	98	98	98	98	103	98
98	98	98	98	98	98	98	98	98	98	103	103	98	98	98	98	98	98	103	98
98	98	98	98	103	98	98	98	103	103	98	103	103	98	98	103	98	98	98	98
98	103	103	98	103	98	98	103	98	98	98	103	98	98	98	98	98	98	98	98