



Universidade Federal de Roraima
Departamento de Ciência da Computação
Arquitetura e Organização de Computadores

LISTA DE EXERCÍCIO 02

ATENÇÃO: Descrever as soluções com o máximo de detalhes possível. Todos os artefatos (relatório, código fonte de programas, e outros) gerados para este trabalho devem ser adicionados em um repositório (com o seguinte formato nome_ufrr_AOC_2018_2) no site `github.com`.

PRAZO DE ENTREGA: 06/12/2018

- 1) Quais as vantagens de um processador multiciclo em relação a um uniclo?
- 2) Quais as modificações necessárias em um processador multiciclo simples para que se introduza a função de pipeline?
- 3) Considerando o pipeline do MIPS (simples com MEM compartilhada para instrução e dados) e uma iteração de loop conforme o trecho de programa abaixo, relacione os conflitos que podem ocorrer e seus consequentes stalls. Qual o speedup (por iteração) para o programa em relação à versão sem pipeline?

```
Loop: subi $t2, $t2, 4
      lw  $t1, 0($t2)
      add $t3, $t1, $t4
      add $t4, $t3, $t3
      sw  $t4, 0($t2)
      beq $t2, $0, loop
```

- 4) No programa abaixo, relacione as dependências (dados, WAR, WAW e outros) existentes.

```
div.d F1, F2, F3
sub.d F4, F5, F1
s.d   F4, 4(F10)
add.d F5, F6, F7
div.d F4, F5, F6
```

- 5) Em relação a memória cache. Um computador tem CPI 1 quando todos os acessos à memória acertam no cache. Loads e Stores totalizam 50% das instruções. Se a penalidade por miss é de 25 ciclos e o miss rate é 2%, qual o desempenho relativo se o computador acertar todos os acessos?

- 6) Descreva os seguintes conceitos:

- a) Write through
- b) Write back
- c) Localidade Temporal
- d) Localidade Espacial