



# Diseño, Fabricación y Caracterización de un LNA de Banda Angosta

Informe Final

*Glecer, Bruno*

*Guerrero, Tobías*

*Torres, Cristian*

*Yujra, Jonathan*

Medidas Electrónicas II

2024

# Índice

|                                                                                |           |
|--------------------------------------------------------------------------------|-----------|
| <b>I Introducción</b>                                                          | <b>3</b>  |
| 1. Introducción                                                                | 3         |
| 2. Fundamentos teóricos                                                        | 4         |
| 2.1. Necesidad de un LNA . . . . .                                             | 4         |
| 2.2. Parámetros de Ruido . . . . .                                             | 5         |
| <b>II Trabajos del primer cuatrimestre</b>                                     | <b>9</b>  |
| 3. Trabajo Preliminar                                                          | 9         |
| 3.1. Selección de Sustrato . . . . .                                           | 9         |
| 3.2. Esquemático de nota de aplicación . . . . .                               | 10        |
| 3.3. Simulación de Polarización . . . . .                                      | 11        |
| 3.4. Extrapolación de Parámetros . . . . .                                     | 12        |
| 4. Diseño del PCB                                                              | 13        |
| 5. Simulación del diseño de la nota                                            | 14        |
| 5.1. Exportación de Diseño a CST Studio . . . . .                              | 14        |
| 5.2. Esquemático definido en CST . . . . .                                     | 18        |
| 5.3. Resultados de la simulación del diseño de la nota de aplicación . . . . . | 18        |
| 6. Otras simulaciones                                                          | 20        |
| 6.1. PCB Alternativo 1: Menos vías . . . . .                                   | 20        |
| 6.2. PCB Alternativo 2: CPW+G . . . . .                                        | 21        |
| <b>III Trabajos del segundo cuatrimestre</b>                                   | <b>23</b> |
| 7. Mejoras en la simulación                                                    | 23        |
| 8. Primera prueba de fabricación                                               | 25        |
| 9. Rediseño del circuito                                                       | 25        |
| 9.1. Polarización para $V_{CC} = 5$ V . . . . .                                | 25        |
| 9.2. Optimización a 1 GHz . . . . .                                            | 25        |

|                                                                    |           |
|--------------------------------------------------------------------|-----------|
| <b>10. Armado del PCB</b>                                          | <b>28</b> |
| 10.1. Impresión del diseño . . . . .                               | 29        |
| 10.2. Aplicación del fotopolímero . . . . .                        | 29        |
| 10.3. Exposición a luz UV . . . . .                                | 30        |
| 10.4. Revelado . . . . .                                           | 31        |
| 10.5. Ataque del cobre . . . . .                                   | 31        |
| 10.6. Perforaciones . . . . .                                      | 32        |
| 10.7. Remoción del dryfilm restante . . . . .                      | 32        |
| 10.8. Montaje de componentes . . . . .                             | 33        |
| <b>11. Ensayos</b>                                                 | <b>34</b> |
| 11.1. Métodos de medición de $\Gamma_s\Gamma_s$ ) . . . . .        | 34        |
| 11.2. Resultados de medición de $\Gamma_s\Gamma_s$ ) . . . . .     | 36        |
| 11.3. Métodos de medición de parámetros del amplificador . . . . . | 37        |
| 11.3.1. Calibración del VNA por método TOSM . . . . .              | 38        |
| 11.3.2. Estableciendo el piso de ruido . . . . .                   | 40        |
| 11.4. Medición del LNA . . . . .                                   | 41        |
| 11.5. Resultados . . . . .                                         | 42        |
| 11.5.1. Parámetros S . . . . .                                     | 42        |
| 11.5.2. Cifra de Ruido (NF) . . . . .                              | 45        |
| 11.5.3. Punto de compresión en -1 dB . . . . .                     | 46        |
| <b>12. Conclusiones</b>                                            | <b>47</b> |
| <b>13. Componentes utilizados en la versión final</b>              | <b>48</b> |
| <b>14. Índice de Figuras y Tablas</b>                              | <b>49</b> |
| <b>15. Referencias</b>                                             | <b>51</b> |

## **Parte I**

# **Introducción**

### **1. Introducción**

El proyecto del presente año para la materia Electrónica Aplicada 3 consta de la construcción del front-end de un sistema de radar de onda continua modulada en frecuencia (FMCW). Una parte crítica de este sistema es el amplificador de bajo ruido (LNA), el cual debe cumplir con estrictas especificaciones para poder ser utilizado. Para el presente proyecto de la materia Medidas Electrónicas 2 se propone diseñar, fabricar y ensayar el LNA requerido. La frecuencia de funcionamiento será de 1 GHz. Se basará el proceso de diseño y ensayo en la nota de aplicación AN11382 de NXP Semiconductors, con la correspondiente modificación de componentes para llevar la frecuencia de trabajo a la de interés. Se utilizará como componente activo el transistor BFU550A de la misma empresa.

Durante el transcurso del primer cuatrimestre se desarrollaron los fundamentos teóricos sobre los que se basa el mismo, seguido de un diseño de un PCB sobre el cual implementar el circuito. Utilizando un simulador electromagnético se realizó la simulación del circuito del diseño de 866 MHz propuesto en la nota de aplicación en nuestro PCB. Se compararán los resultados con los expuestos en la nota de aplicación para verificar el diseño. Una parte importante de este punto radicará en la elección del sustrato, que se hizo teniendo en cuenta los criterios correspondientes.

Durante el segundo cuatrimestre, se refinó la simulación, se adaptó el circuito para operar a 1 GHz, se armaron dos versiones del mismo circuito sobre PCBs fabricados utilizando el sustrato elegido, y se realizó la caracterización del amplificador.

## 2. Fundamentos teóricos

En esta sección se hará una introducción teórica al funcionamiento, características e importancia de un amplificador de bajo ruido, y se presentarán las especificaciones buscadas en el amplificador a diseñar.

### 2.1. Necesidad de un LNA

En un sistema con muchos dispositivos analógicos colocados en cascada, cada dispositivo introduce ruido adicional que será amplificado por todos los elementos que se encuentran colocados por delante del mismo. Esto lleva a que el primer dispositivo colocado en la cadena, tenga la mayor influencia sobre la cifra de ruido del sistema completo. Este fenómeno se puede ver expresado en la llamada fórmula de Friis (ecuación (1)). Debido a esto, se busca que la primera etapa en cualquier sistema multietapa tenga la menor cifra de ruido posible. Típicamente, esta primera etapa es un amplificador. Un amplificador optimizado para tener una baja cifra de ruido se lo denomina LNA.

Los LNA son muy usados en receptores de radiofrecuencias (RF) como en los teléfonos celulares, receptores de GPS, redes LANs (WiFi) y comunicación satelital, en nuestro caso, lo necesitaremos para amplificar la señal entregada por la antena receptora del radar.

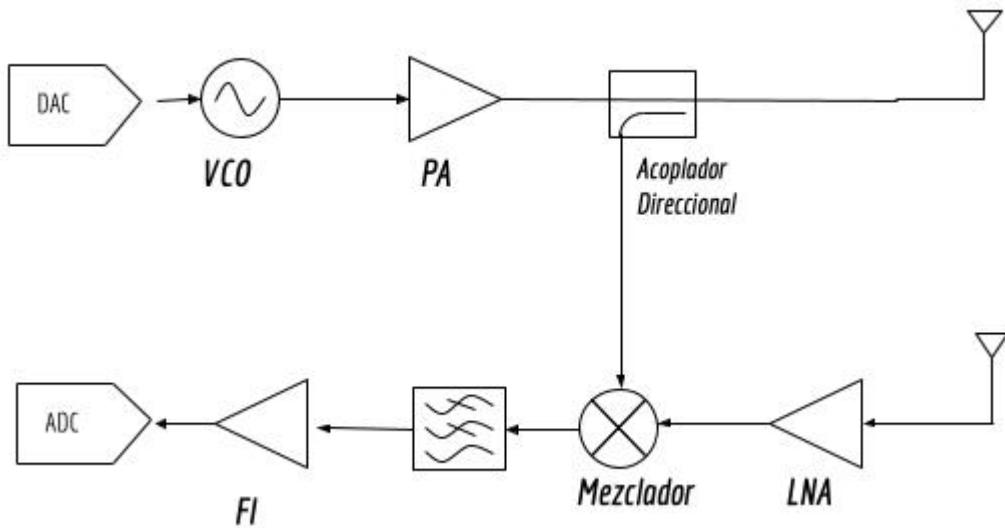


Figura 1: Receptor

$$F_{TOTAL} = F_1 + \frac{F_2 - 1}{G_1} + \frac{F_3 - 1}{G_1 \cdot G_2} + \dots + \frac{F_{n-1} - 1}{G_1 \cdot G_2 \cdot \dots \cdot G_{n-1}} \quad (1)$$

Para asegurar la máxima trasferencia de energía entre generador y carga observando la expresión de la cifra de ruido, es necesario adaptar impedancias. En teoría es posible realizar la adaptación para máxima transferencia de energía y mínima cifra de ruido simultáneamente. Sin embargo, en la práctica esto no es

alcanzable. En el caso del LNA, se opta por degradar la transferencia de energía para obtener la menor cifra de ruido posible. Esta dependerá de la impedancia de fuente, por lo que se busca la impedancia de generador que logra la menor cifra de ruido.

La elección de la topología del circuito dependerá de la aplicación específica. En términos generales, una topología emisor común tiene muy baja cifra de ruido, pero puede tener problemas de estabilidad y bajo ancho de banda. En cambio, una topología base común cuenta con mayor linealidad y estabilidad, pero menor ganancia.

El proceso de diseño puede realizarse tanto analíticamente como prácticamente mediante ensayos. En el caso del presente proyecto, se cuenta con el desarrollo realizado en la nota de aplicación de referencia. El esfuerzo en este punto radica en modificar el circuito para llevar la frecuencia central a la deseada de 1 GHz sin perjudicar la cifra de ruido, buscando mantenerla en ciertos límites.

Las especificaciones que se buscará que el LNA diseñado llegue a cumplir se listan a continuación:

- Cifra de Ruido <1.4 dB
- Ganancia de aproximadamente 13 dB

A continuación mostraremos una introducción al concepto de parámetros de ruido, usado para determinar la cifra de ruido de un amplificador. Esto será relevante para la segunda parte del proyecto, en donde lo usaremos para optimizar el diseño a una frecuencia de operación distinta.

## 2.2. Parámetros de Ruido

Los amplificadores típicamente se modelan como un sistema de dos puertos (cuadripolo), con un puerto de entrada y otro de salida. A continuación, se hará el desarrollo del modelo de un sistema de dos puertos con ruido. Este modelo nos servirá para introducir el concepto de parámetros de ruido de un dispositivo. Este desarrollo fue extraído y resumido del apéndice L del libro *Microwave Transistor Amplifiers: Analysis and Design* [2].

Una red ruidosa de dos puertos puede modelizarse como una red sin ruido a la cual se le agregan dos generadores externos en la entrada: uno de tensión ( $v_n$ ) y otro de corriente ( $i_n$ ). Estas tensiones y corrientes son señales aleatorias con media cero, pero se asume que estas fuentes estarán correlacionadas, ya que surgen del mismo dispositivo. Cabe aclarar, que estas fuentes no modelan ningún efecto individual dentro del dispositivo, si no que modelan el comportamiento que se mide en él. El esquema de este modelo, junto con un generador de corriente ruidoso conectado en la entrada con una corriente de Thevenin equivalente de  $i_s$  y admitancia equivalente de  $Y_s$ , se muestra en la figura 2.

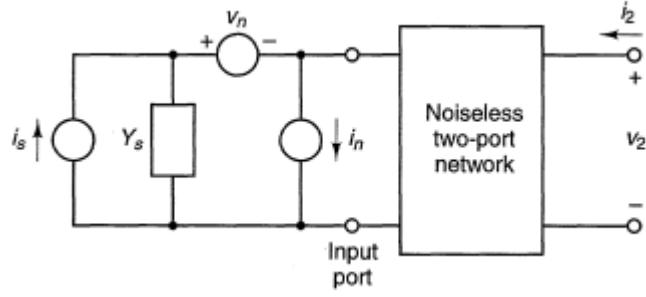


Figura 2: Representación de una red de dos puertos con generadores de ruido externos y un generador con ruido conectado en la entrada

Utilizando el modelo de impedancias (parámetros Z) de un cuadripolo, y definiciones básicas de ruido, se pude demostrar que el ruido en la salida será proporcional a la media del cuadrado de la corriente de cortocircuito en el puerto de entrada de la red sin ruido. Realizando un análisis del circuito, se llega a que la cifra de ruido tendrá la siguiente expresión:

$$F = \frac{\overline{i_{sc}^2}}{\overline{i_s^2}} = 1 + \frac{(i_n + v_n \cdot Y_s)^2}{\overline{i_s^2}} \quad (2)$$

Debido a que existe una correlación parcial entre  $v_n$  y  $i_n$ , podemos descomponer uno de estos valores en su parte completamente correlacionada con el otro valor, y uno completamente descorrelacionado. Haremos esto con la corriente:  $i_n = i_{nu} + i_{nc}$ , donde  $i_{nu}$  es la componente no correlacionada y  $i_{nc}$  es la correlacionada. La componente correlacionada con  $v_n$  la podemos relacionar mediante una admitancia de correlación  $Y_c$  definida por  $i_{nc} = Y_c v_n$ . Remplazando, obtenemos:

$$F = \frac{\overline{(i_{nu} + (Y_c + Y_s)v_n)^2}}{\overline{i_s^2}} \quad (3)$$

Las variables aleatorias de corriente y tensión se pueden remplazar por sus expresiones en términos de: un ancho de banda, una temperatura de ruido y una resistencia equivalente.

La corriente de ruido del generador depende de la conductancia de salida del mismo:

$$\overline{i_s^2} = 4kT_0G_sB$$

Mientras que la tensión y corriente de ruido del cuadripolo dependen de valores de resistencia y corriente arbitrarios que definiremos como  $R_n$  y  $G_u$ :

$$\overline{i_{nu}^2} = 4kT_0G_uB$$

$$\overline{v_n^2} = 4kT_0R_nB$$

Remplazando estos valores en (3) y expandiendo  $Y_s$  a  $G_s + jB_s$  y  $Y_c$  a  $G_c + jB_c$ , obtenemos:

$$F = 1 + \frac{G_u}{G_s} + \frac{R_n}{R_s} \left( (G_s + G_c)^2 + (B_s + B_c)^2 + \right) \quad (4)$$

Para recapitular, la expresión obtenida nos expresa la cifra de ruido del cuadripolo ruidoso (el cual queda definido por los parámetros  $Y_c$ ,  $R_n$  y  $G_u$ ), cuando se le conecta un generador en la entrada con una admitancia equivalente  $Y_s = G_s + jB_s$ .

Los valores  $Y_c$ ,  $R_n$  y  $G_u$  estarán definidos por el dispositivo que estemos modelando como un cuadripolo con ruido, por ende, no son valores que se puedan modificar, en especial si se trata de un componente electrónico simple como un transistor. A lo sumo, estos valores pueden variar con condiciones de operación distintas, como ser temperatura o polarización.

En cambio, se tiene control de  $G_s$  y  $B_s$ , los cuales se pueden variar utilizando una red de adaptación entre el generador y el cuadripolo. Nuestro objetivo será encontrar los valores de  $G_s$  y  $B_s$  que minimicen  $F$ .

Comenzando por  $B_s$ , vemos que  $F$  es mínimo cuando:

$$B_s = -B_c$$

A este valor lo llamaremos  $B_{opt}$ .

Siguiendo con  $G_s$ , se puede demostrar que existe un mínimo. Planteando un problema de optimización igualando la derivada de  $F$  con respecto a  $G_s$  a 0, obtenemos que el valor de  $G_s$  que minimiza  $F$  es:

$$G_s = \sqrt{G_c^2 + \frac{G_u}{R_n}}$$

A este valor lo llamaremos  $G_{opt}$ .

Finalmente, definiremos como  $F_{min}$  al valor de  $F$  cuando se utilice la admitancia equivalente en el generador que minimiza  $F$ , la cual tendrá la siguiente expresión:

$$F_{min} = 1 + \frac{G_u}{G_{opt}} + \frac{R_n}{G_{opt}} (G_{opt} + G_c)^2 \quad (5)$$

Utilizando esta expresión, podemos reescribir 4 como:

$$F = F_{min} + \frac{R_n}{R_s} \left( (G_s - G_{opt})^2 + (B_s - B_{opt})^2 \right) \quad (6)$$

En resumen, logramos obtener una expresión para el factor de ruido de un cuadripolo ruidoso cuando se carga con un generador con una admitancia equivalente  $Y_s$ . Esta expresión dependerá de los parámetros del cuadripolo:  $F_{min}$ ,  $Y_{opt}$  y  $R_n$ . Por practicidad, los valores que se suelen utilizar para describir el ruido en un dispositivo son:

## Cifra de ruido mínima

$$F_{min}$$

## Resistencia de ruido normalizada

$$r_n = \frac{R_n}{Z_o}$$

## Coeficiente de reflexión óptimo

$$\Gamma_{opt} = \frac{1 - Z_0 Y_{opt}}{1 + Z_0 Y_{opt}}$$

Donde  $Z_0$  es la impedancia característica con la que se este trabajando.

A estos tres parámetros se los denomina *Parámetros de Ruido* y permiten una forma sencilla de saber como se debe adaptar la entrada de un dispositivo para lograr una cifra de ruido mínima en la salida.

Finalmente, la expresión completa de la cifra de ruido en función de los parámetros de ruido y del  $\Gamma$  utilizado es:

$$F = F_{min} + \frac{4r_n |\Gamma_s - \Gamma_{opt}|^2}{(1 - |\Gamma_s|^2)(1 + |\Gamma_{opt}|^2)} \quad (7)$$

Como ya se indicó, el desarrollo completo de las ecuaciones y el modelo se encuentran en el apéndice L y el capítulo 4 del libro *Microwave Transistor Amplifiers: Analysis and Design* de Guillermo González [2].

Dispositivos con aplicaciones previstas en circuitos de RF, suelen especificar sus parámetros de ruido. En el caso de estudio, NXP Semiconductors ofrece archivos con los parámetros de ruido para distintas polarizaciones dentro del rango de frecuencia de operación. [1]

Cabe aclarar también que si se adapta un dispositivo para minimizar cifra de ruido, no se podrá adaptar para máxima ganancia ni máxima transferencia de energía. El diseñador debe decidir si puede ser ventajoso adaptar en un punto medio, esto se puede visualizar utilizando el concepto de círculos de ruido constante y ganancia constante que se desarrolla en el capítulo 4 del libro mencionado.

## Parte II

# Trabajos del primer cuatrimestre

### 3. Trabajo Preliminar

Para realizar la simulación electromagnética del circuito, necesitaremos de un diseño de PCB sobre el cual realizarla. La nota de aplicación muestra un diseño de ejemplo, pero no provee los archivos de diseños. En la siguiente sección se diseñará un PCB propio para el proyecto. Igualmente, comenzaremos eligiendo el sustrato sobre el cual se fabricará, debido a que esto definirá la geometría del diseño impreso.

#### 3.1. Selección de Sustrato

Para minimizar posibles desadaptaciones debido al uso de componentes discretos, se decidió utilizar componentes de montaje superficial (SMD) del tamaño mas pequeño con el que se puede trabajar cómodamente. Para componentes pasivos optamos por el tamaño 0603 (0.06in x 0.03in). Además, se desea que si una linea de transmisión se encuentra en serie con un componente, que la linea tenga un ancho similar al del componente, esto reduce el cambio abrupto en la geometría de las trazas, ayudando a reducir las desadaptaciones.

Utilizando estos criterios, determinamos que el ancho de las pistas deberá ser de aproximadamente el ancho de un componente 0603 ( $0.03\text{in} = 762\mu\text{m}$ ). No es crítico que el ancho de las pistas sean exactamente ese valor, primero porque se esta asumiendo que el componente actúa como una extensión perfecta de la pista, lo cual por lo general es falso, y segundo porque el tamaño de los componentes es de por si pequeño a la longitud de onda con la que estarán operando. Pero aún así, es deseable que el ancho de la pista se encuentre en el mismo orden que el de los componentes.

El valor de la impedancia característica con la que estaremos trabajando será el estándar de  $50\Omega$  utilizado casi universalmente en las tecnologías de RF y microondas. Además, por simplicidad, se decidió utilizar lineas microstrip para la conducción de las señales. Con esto tenemos ya definido el ancho de pista y la impedancia característica deseada, el trabajo se reduce entonces a seleccionar un sustrato con una constante dieléctrica y espesor que proporcionen una impedancia característica de  $50\Omega$  para pistas microstrip con un ancho de aproximadamente  $762\mu\text{m}$ .

El proveedor que se dispone para el sustrato es Rogers Corporation y nos vemos limitado a modelos que participen del programa de muestras gratuitas de la empresa. Aún así, el catalogo es muy amplio y logramos encontrar un modelo que satisfaga nuestras necesidades. El sustrato seleccionado es el laminado RO4360G2 ( $\epsilon_r = 6.15$ ) con un espesor de  $508\mu\text{m}$ .

Utilizando la herramienta gratuita TXLine de Cadence, obtenemos que para formar pistas microstrip

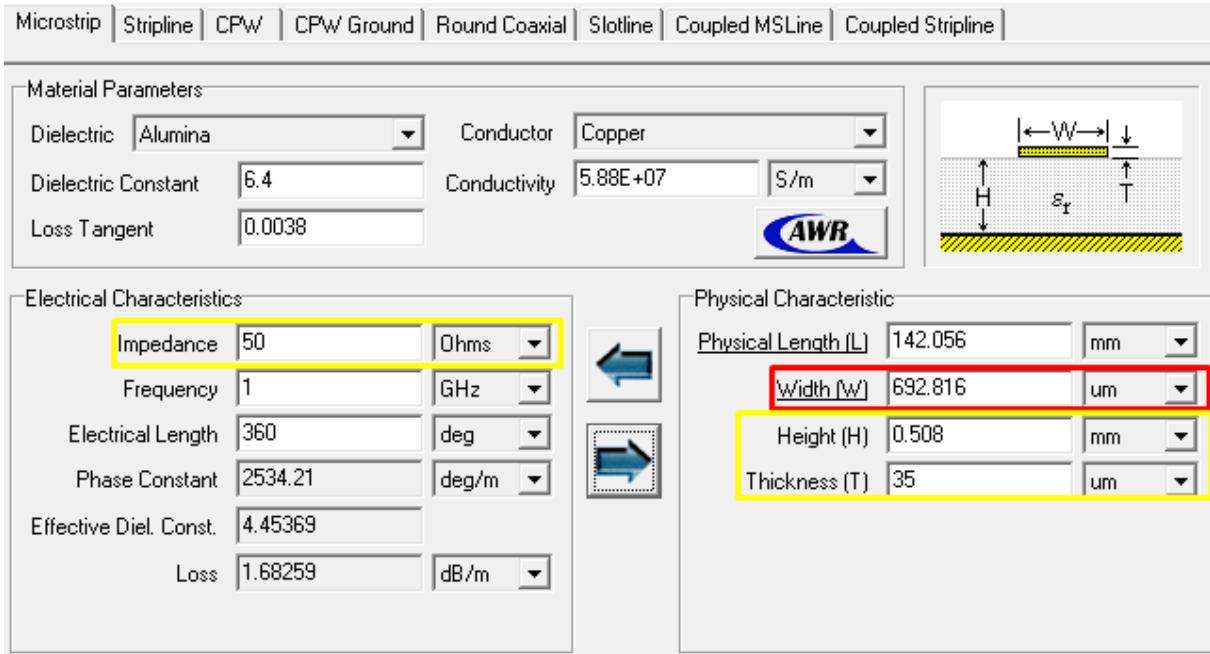


Figura 3: Captura de pantalla del programa TX Line mostrando los cálculos para las pistas microstrip. Los parámetros ingresados se marcaron en amarillo, y el valor de interés de salida se marcó en rojo.

con impedancias características de  $50\Omega$ , se necesitan pistas de  $715\mu m$ . En la figura 3 se muestra el cálculo realizado.

Llegamos así, a que el ancho de las pistas debe ser de  $692\mu m$ .

### 3.2. Esquemático de nota de aplicación

La topología que se utilizó es la misma que se utiliza en la nota de aplicación mencionada anteriormente. Esta consiste de un TBJ en emisor común con dos redes tipo "L" para la adaptación de impedancias y los componentes pasivos necesarios para la polarización del circuito. A continuación, en la figura 4 se muestra el diseño optimizado a 866 MHz propuesto en la nota de aplicación.

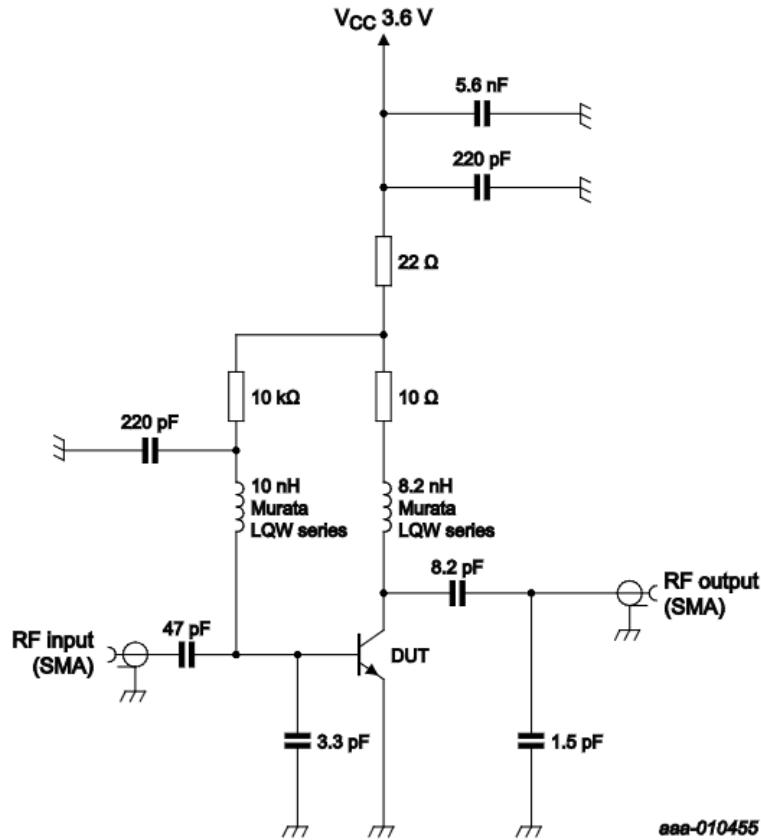


Figura 4: Esquemático del LNA a implementar

Para nuestro diseño final se modificarán los valores para obtener la adaptación deseada en 1 GHz y además se modificará la polarización para permitir utilizar una fuente de 5 V. Este trabajo fue realizado en el segundo cuatrimestre (parte III). Para esta primera parte solamente se intentará simular una implementación del LNA propuesto en la nota de aplicación.

### 3.3. Simulación de Polarización

Comenzaremos utilizando la misma polarización para el TBJ que se utiliza en la nota de aplicación. Para estudiar el comportamiento en corriente continua utilizamos el simulador LTSpice, junto al modelo SPICE del BFU550A [1]. El circuito de la simulación en LTSpice se muestra en la figura 5

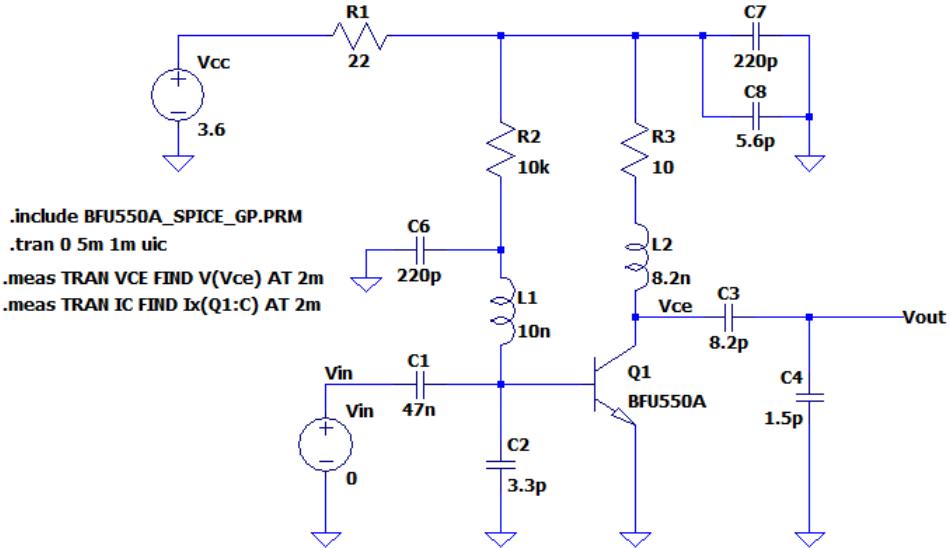


Figura 5: Esquemático y directivas de la simulación en LTSpice

Para poder realizar la simulación, se tuvo que comentar manualmente la linea '+IMAX 2.00' dentro del modelo, debido a que LTSpice no la reconocía como valida. El archivo modificado se encuentra subido en el repositorio del proyecto [3].

Los resultados de interés de la simulación fueron los siguientes:

| $V_{CE}$ | $I_C$  |
|----------|--------|
| 2.99V    | 18.9mA |

Estos valores son similares a la polarización obtenida en la nota de aplicación, donde se obtuvo un valor de  $I_C$  de 19.6 mA.

### 3.4. Extrapolación de Parámetros

En la nota de aplicación las simulaciones fueron realizadas con ADS utilizando modelos propios que se adaptan automáticamente para la polarización que se utilice en el circuito simulado. Desafortunadamente, no logramos extraer los parámetros de este modelo. Esto nos deja con la opción de utilizar los archivos de parámetros Touchstone que el fabricante provee. Los archivos de parámetros se dan para puntos de polarizaciones con valores de  $V_{CE}$  entre 3.3 V y 12 V, y valores de  $I_C$  entre 1 mA y 35 mA, y cada parámetro se especifica en un rango de frecuencias de 40 MHz a 6000 MHz.

El punto de polarización con el que estaremos trabajando ( $V_{CE} = 2.99V$ ,  $I_C = 18.9mA$ ) no corresponde correctamente con ninguno de los archivos. Para obtener una simulación mas precisa, en lugar de realizar una simulación utilizando el archivo que mas se asemeje, se escribió un script en Python [3] que permite extrapolar o interpolar a otros valores para generar un archivo de parámetros que se asemeje

mas al real. En el mismo repositorio se encuentra el archivo Touchstone generado que se utilizará como modelo del BFU550A de pequeña señal para las simulaciones.

El archivo se verificó por inspección para asegurar que no contenga valores espurios y que los parámetros tengan valores similares a los modelos con puntos de polarización similares.

## 4. Diseño del PCB

El PCB fue diseñado utilizando Altium Desginer. Se tuvieron en cuenta la siguientes consideraciones para el diseño:

- Solo se utilizaron componentes SMD 0603, excepto por el puerto de alimentación.
- Pistas de 0.691 mm para lograr  $Z_0 = 50\Omega$
- Se minimizó lo mas posible cambio en dirección de las conexiones principales
- Vías cada 5 mm alrededor de la zona donde se encuentran los componentes.
- Componentes SMD que desembocan a masa, conectan directamente el plano de tierra superior para minimizar inductancias.
- Pliegues de pistas con forma de arcos

A continuación, en la figura 6, se muestra el diseño del PCB final:

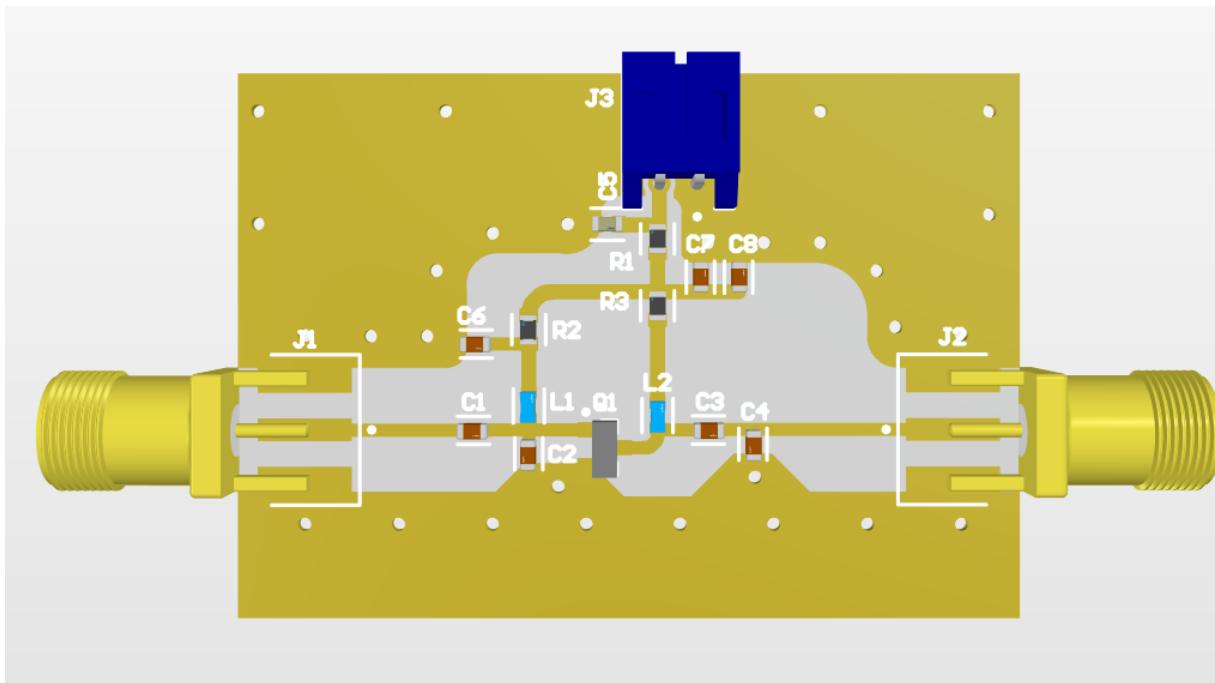


Figura 6: PCB del LNA diseñado en Altium Desginer

Como se mostrará más adelante en la sección 7, se llegó a la conclusión de que si bien el diseño es válido para su fabricación, el diseño importado a CST debe ser modificado previamente para obtener buenos resultados. Esto se desconocía cuando se realizó la primera simulación.

## 5. Simulación del diseño de la nota

Para realizar la simulación, exportaremos el diseño del PCB de Altium Designer a CST Studio. Afortunadamente, CST Studio nos provee con un sistema de importación de archivos de diseño de PCB (también llamado archivos EDA, por Electronic Design Automation), que permite especificar fácilmente modelos para todos los componentes que se encuentren en el diseño, sin tener que especificar manualmente sus ubicaciones. Esta sección tiene como fin mostrar, en un breve tutorial, de cómo se exportaron los archivos de diseño al simulador y se realizó la simulación.

### 5.1. Exportación de Diseño a CST Studio

En primer lugar se exportó el diseño realizado en Altium. Para ello, nos dirigimos a la sección de <File>, luego <Fabrication Outputs> y finalmente se elige la opción <ODB++ Files>. Existen otros formatos intercompatibles, como IPC-2581 y HyperLynx, pero este fue el único con el que logramos obtener una simulación exitosa.

Las configuraciones de la exportación se pueden dejar en las predeterminadas. Los archivos son escritos en el directorio "Project Outputs for <Nombre del proyecto>".

En segundo lugar, en CST Studio, desde la pantalla de inicio creamos un nuevo "template" para nuestra simulación: EDA/Electronics >Broadband Model Extraction >PCB. Utilizaremos el solver "Frequency Domain" y especificamos el rango de frecuencias entre 0 y 2000 MHz para nuestra aplicación.

Una vez configurado el template, se procede a importar los archivos con formato ODB++. Para ello, iremos a <Modeling>, <Import/Export>, <2D/EDA Files> y finalmente <ODB++>.

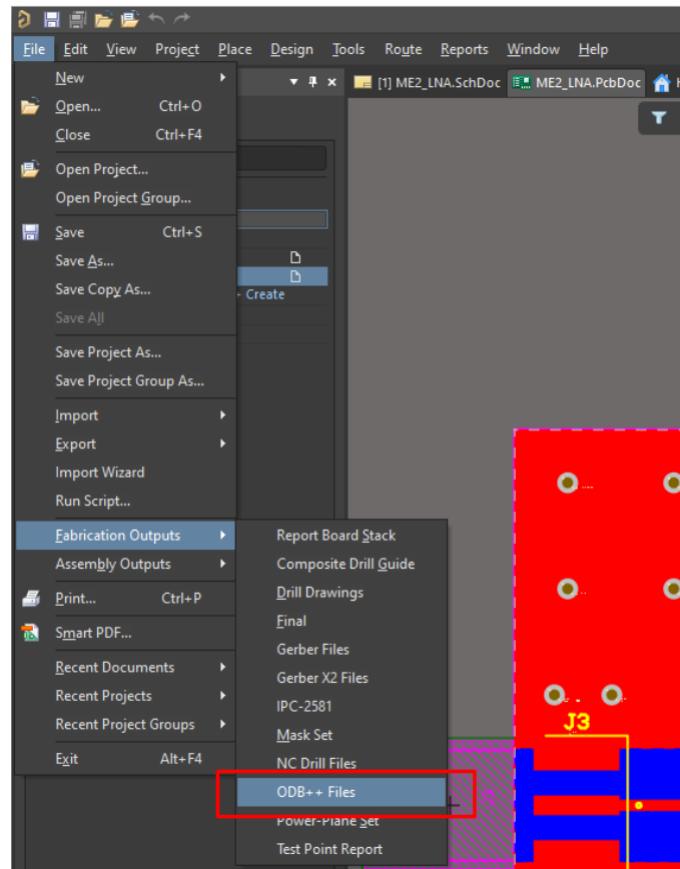


Figura 7: Exportación en formato ODB++ desde Altium

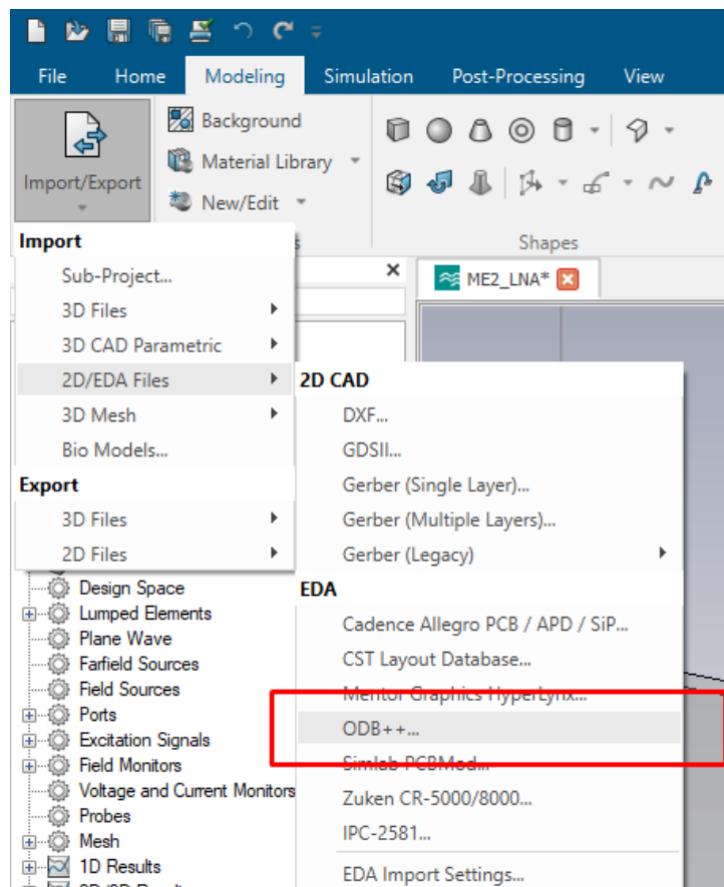


Figura 8: Importación ODB++ en CST Studio

Esto abrirá la ventana de dialogo que se muestra en la figura 9 que permite especificar propiedades del diseño, incluido modelos de componentes, puertos y propiedades de las capas.

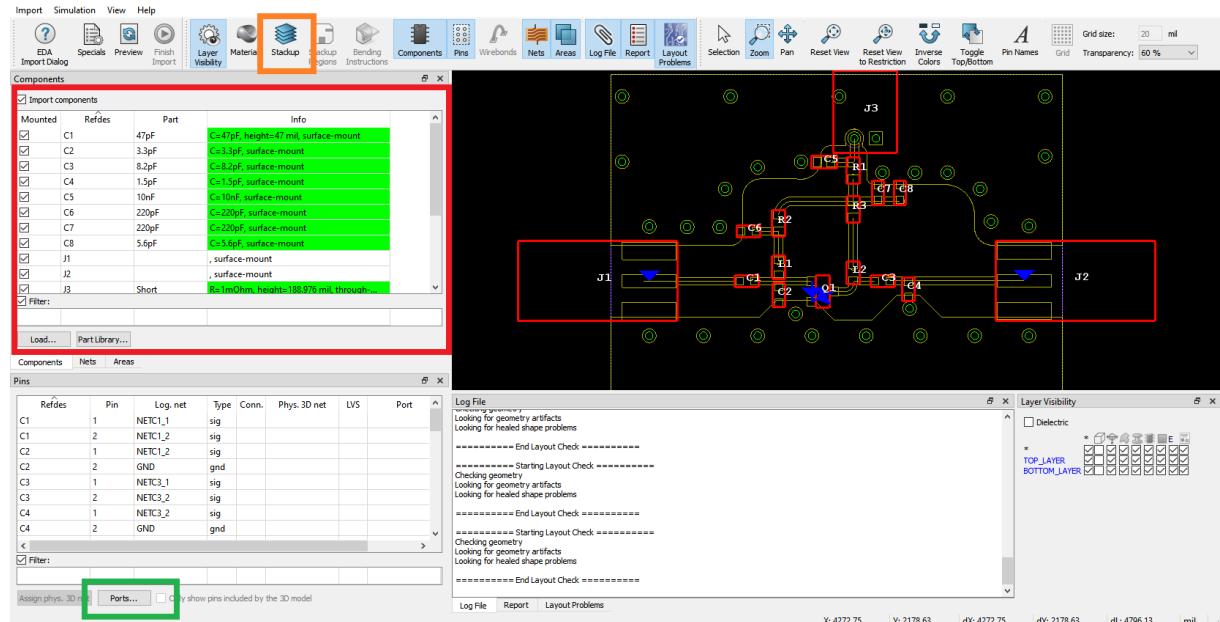


Figura 9: EDA Import Dialog

En la figura 9 se marcó en rojo el área dedicada a especificar modelos para cada componente, el programa intenta reconocer componentes pasivos y crear modelos automáticamente, para esto cada componente debe tener definido un parámetro llamado "Value" con el valor en unidades de faradios (F), henries (H), o ohms (R). Se pueden utilizar prefijos. (Ver figura 10). En caso de que falle se puede usar la opción de definir una resistencia, capacitor o inductor de valor fijo, esto simplifica mucho el proceso para la mayoría de los componentes. Además se puede usar un modelo Touchstone de dos puertos si se desea.

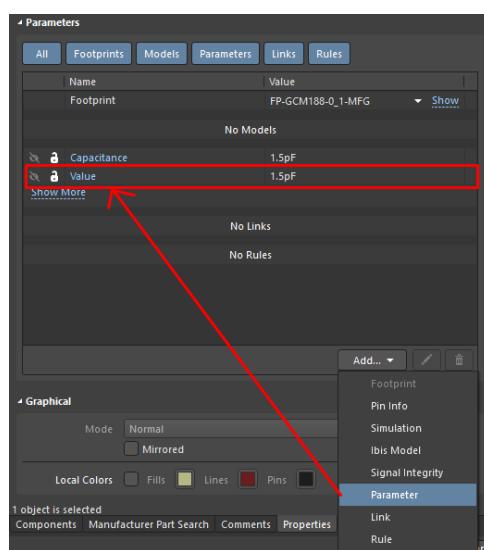


Figura 10: Un parámetro llamado "Value" es necesario para que CST Studio reconozca el valor del componente

Para el caso del transistor, se intentaron varias formas de crear un modelo que se pueda insertar como componente, pero no se tuvo éxito. El problema surge en que el formato mas común en que los fabricantes especifican los modelos lineales de dispositivos de RF, es mediante sus parámetros S en un formato de texto llamado "Touchstone", en nuestro caso NXP provee estos archivos, pero los modelos corresponden a una conexión emisor común de dos puertos, pero el programa espera un modelo de tres puertos para un dispositivo de 3 pines. Se intento de varias formas crear un modelo de 3 puertos en base al de 2 puertos del fabricante, pero no se tuvo éxito.

También se intento utilizar el modelo de SPICE del dispositivo y usar el solver en dominio de tiempo, pero no se logró debido a incompatibilidades entre el modelo de SPICE y CST.

Como solución, se recurrió a definir dos puertos adicionales, uno entre la base y el emisor y otro entre el colector y emisor. No se colocó un modelo para el transistor dentro de la simulación electromagnética. Esto resulta en un modelo 3D de cuatro puertos, completamente pasivo, que se debe simular. El transistor será conectado dentro de la parte de esquemático como se mostrará mas adelante.

Además se recuerda que las fuentes de alimentación de tensión deben ser modeladas como un corto circuito debido a que se esta trabajando con un modelo puramente dinámico. Esto se puede lograr definiendo al puerto de alimentación como una resistencia de valor muy bajo.

Dentro del menú "Stackup" se pueden definir las capas del PCB. En nuestro caso las capas son las siguientes:

| Nombre       | Material                | Espesor     | Permit. Rel. |
|--------------|-------------------------|-------------|--------------|
| TOP_LAYER    | Copper                  | 35 $\mu$ m  | 1            |
| DIELECTRIC_1 | Rogers RO4360G2 (lossy) | 508 $\mu$ m | 6.4          |
| BOTTOM_LAYER | Copper                  | 35 $\mu$ m  | 1            |

Una vez importado el PCB, se verá así:

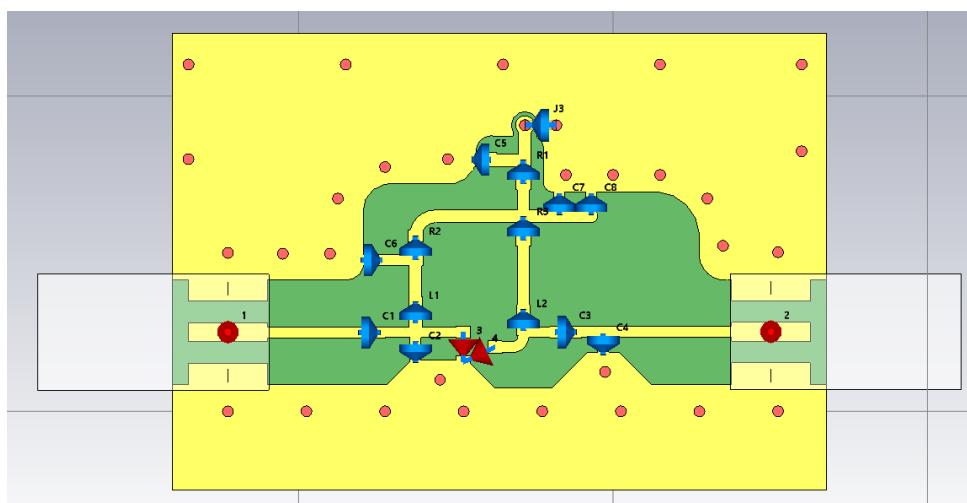


Figura 11: Vista 3D CST Studio

CST Studio marca los componentes con flechas azules y los puertos con flechas rojas.

## 5.2. Esquemático definido en CST

En la pestaña del esquemático encontraremos el componente de 4 puertos que representa el resultado de la simulación electromagnética. Los puertos 1 y 2 corresponden a la entrada y salida del amplificador respectivamente y los puertos 3 y 4 corresponden a la conexión base y colector del TBJ. Utilizando un "Generic 2-Pin device" podemos importar nuestro modelo Touchstone en la simulación y conectarlo al resto del PCB. El modelo de esquemático es el siguiente:

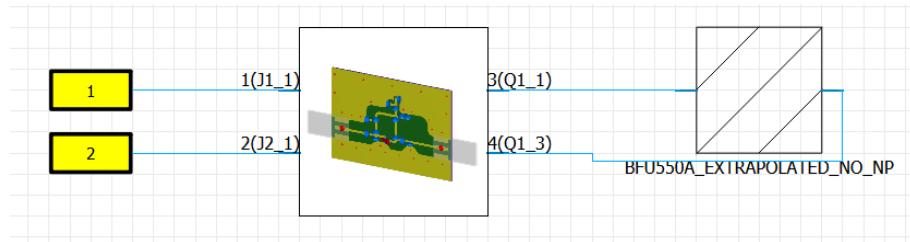


Figura 12: Esquemático en CST Studio

Presionando el botón <Update> en la pestaña <Home>, realizará la simulación electromagnética y luego la circuital del proyecto. Una vez hecho esto, se pueden analizar los parámetros S del esquemático definiendo el "Task" apropiado,

## 5.3. Resultados de la simulación del diseño de la nota de aplicación

La figura 13 muestra el gráfico generado por el simulador de los parámetros S del esquemático.

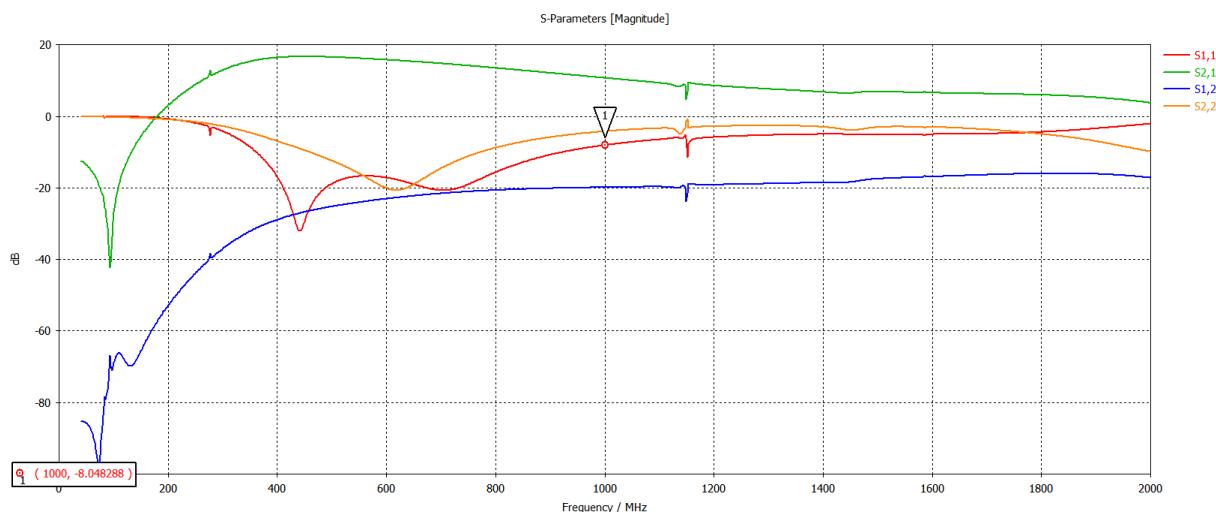


Figura 13: Resultados de la simulación en CST

El parámetro de transmisión directa tiene el comportamiento esperado, teniendo un máximo de alrededor de 18 dB, mientras la transmisión inversa se mantiene por debajo de -20 dB en todas las frecuencias.

Este comportamiento nos indica que el dispositivo se está comportando como un amplificador unilateral. Pero realizando una comparación más precisa con los resultados de la nota de aplicación, vemos que los parámetros de reflexión difieren considerablemente. La figura 14 muestra lado a lado las curvas obtenidas por la simulación electromagnética, con las que la nota de aplicación nos provee.

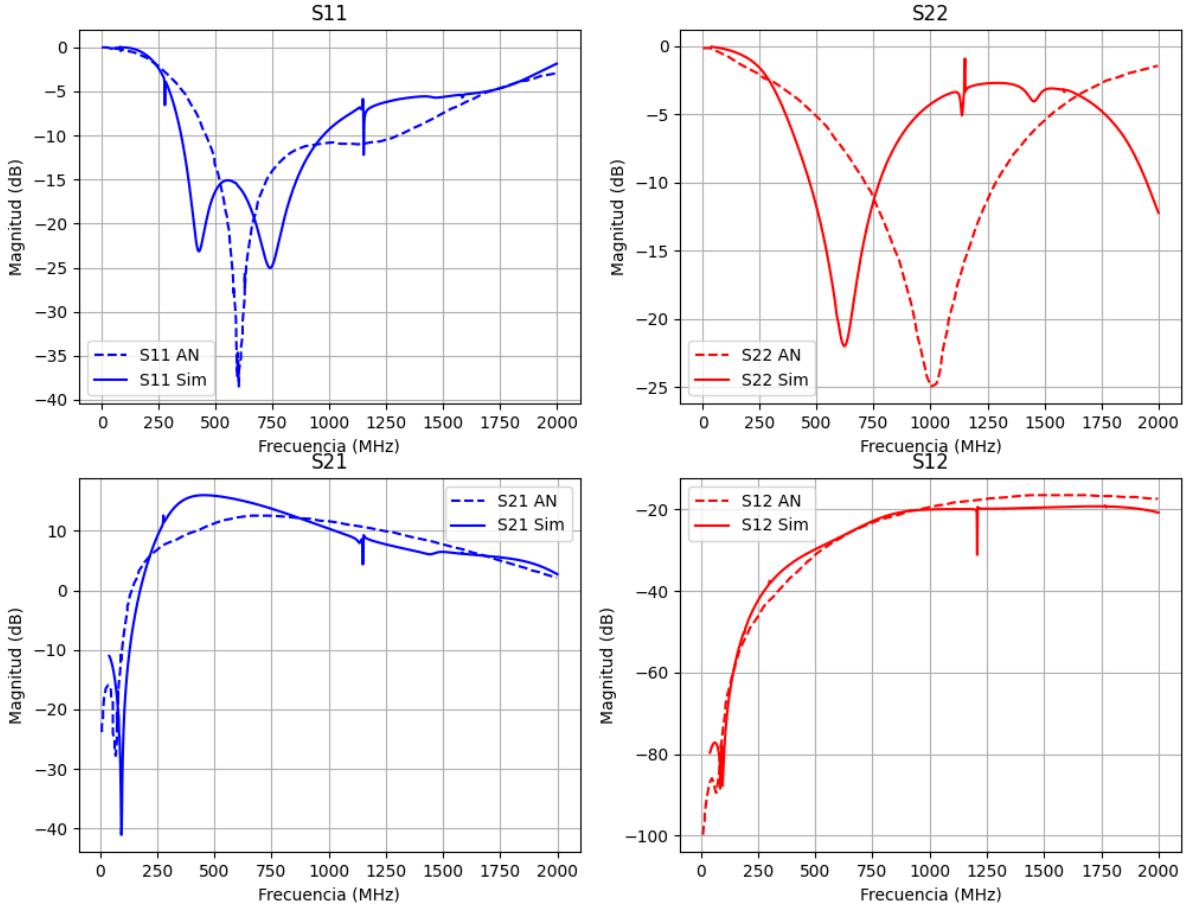


Figura 14: Comparación de resultados de simulación con datos de la nota de aplicación

Los parámetros de transmisión son similares. El parámetro  $S_{21}$  de nuestra simulación tiene valores más elevados cerca de los 400 MHz que los de la nota de aplicación, mientras que el parámetro  $S_{12}$  es muy similar.

Desafortunadamente, los parámetros de reflexión difieren sustancialmente de los de la nota de aplicación. La nota no provee información de la fase de los parámetros, pero se puede asumir que también difieren altamente de los obtenidos por la simulación.

Como se mencionó en la sección anterior, el diseño importado en CST Studio no estaba optimizado correctamente, lo cual puede ser la causa de estas discrepancias. Otro factor que desconocíamos durante el primer cuatrimestre, es lo extremadamente sensible que es la respuesta en frecuencia a leves cambios en la geometría del PCB.

## 6. Otras simulaciones

Decidimos incluir en el informe otras dos simulaciones que se realizaron para estudiar como los parámetros S varían según el diseño del PCB. Uno de estos diseños es una versión anterior del mismo PCB que solamente difieren de la colocación de las vías. El otro, es el mismo PCB pero rediseñado con líneas de transmisión CPW+G.

### 6.1. PCB Alternativo 1: Menos vías

El diseño del PCB se muestra en la figura 15. Se puede observar una colocación de vías diferente a la usada en la simulación original (ver figura 11).

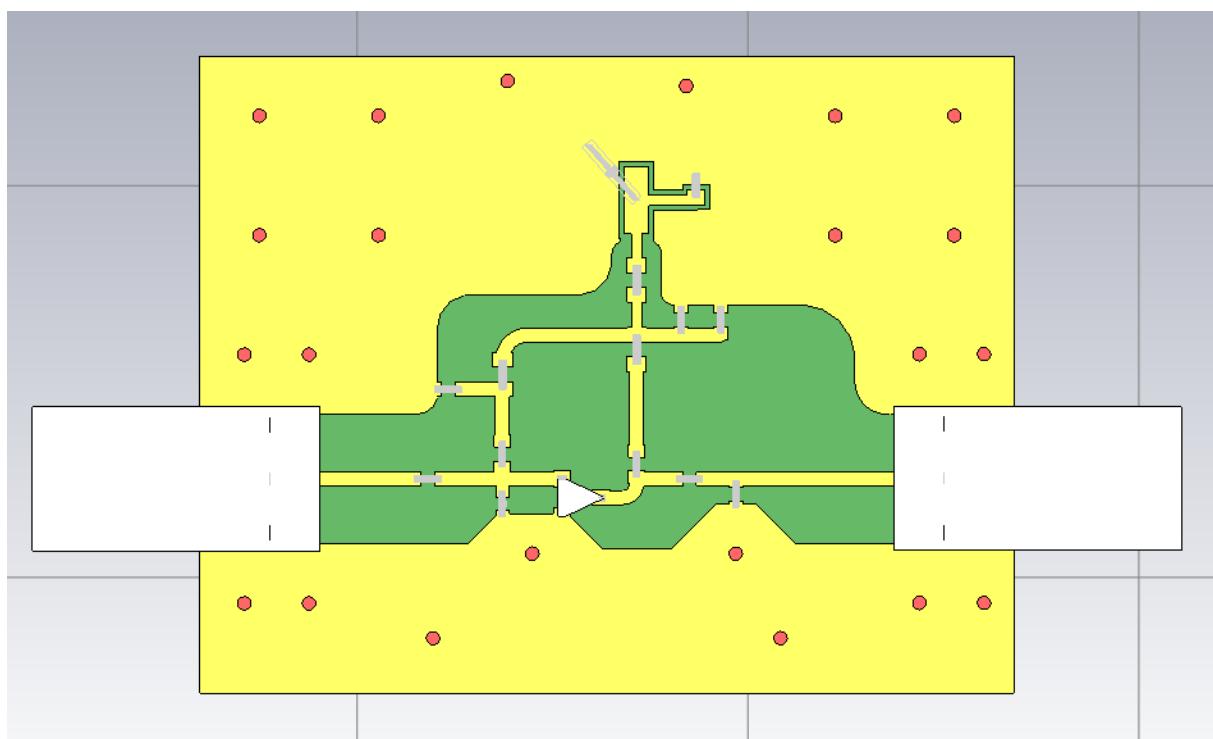


Figura 15: Diseño del PCB (Diseño alternativo #1)

Los resultados de la simulación fueron los siguientes:

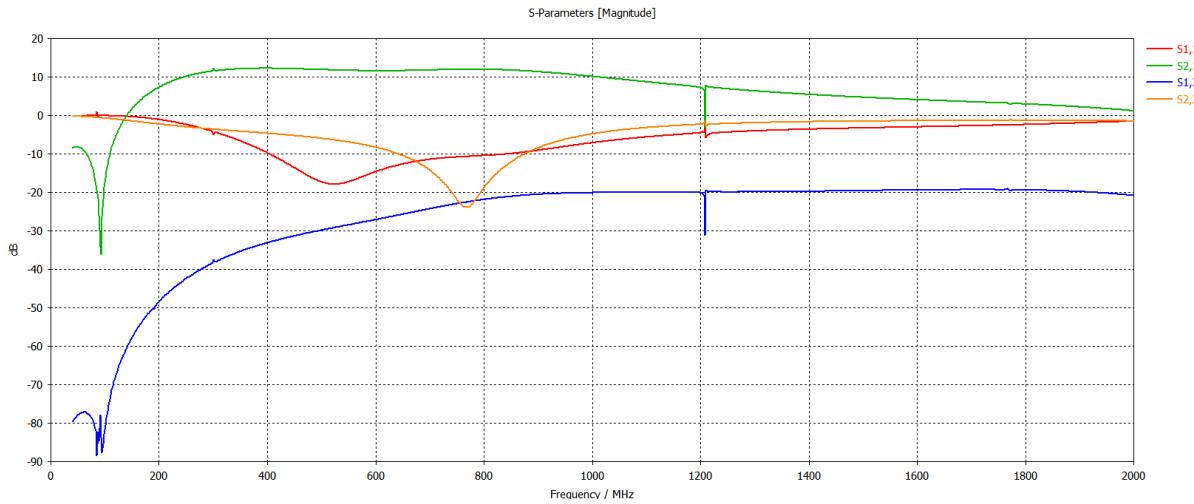


Figura 16: Resultado de la simulación (Diseño alternativo #1)

A simple vista se puede ver una gran diferencia entre la simulación de la sección anterior y esta, sobre todo en los parámetros de reflexión.

## 6.2. PCB Alternativo 2: CPW+G

Otro diseño intentado es el mismo diseño que el principal, pero modificando el ancho de las pistas, el relleno y la ubicación de las vías para formar líneas CPW+G.

Se utilizaron pistas de  $497\mu\text{m}$  y gap de  $250\mu\text{m}$  sobre el mismo sustrato para obtener una impedancia característica de  $50\Omega$  según los cálculos en TXLine. El diseño del PCB es el siguiente:

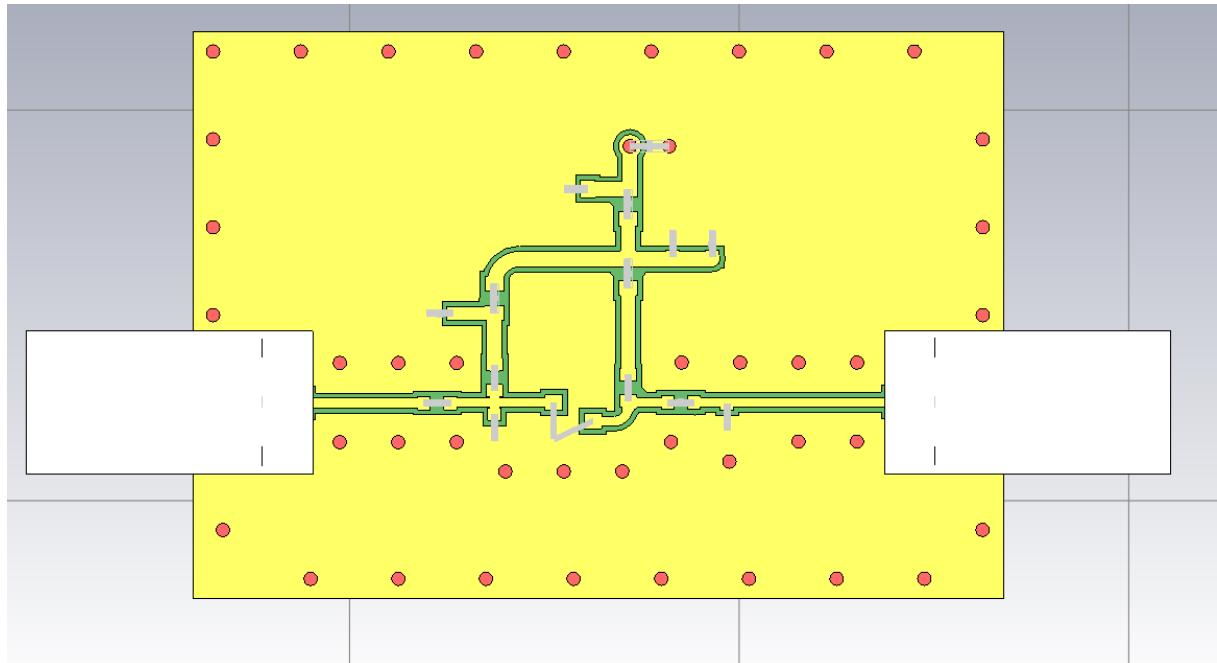


Figura 17: Diseño del PCB (Diseño alternativo #2)

Y los resultados de la simulación obtenidos:

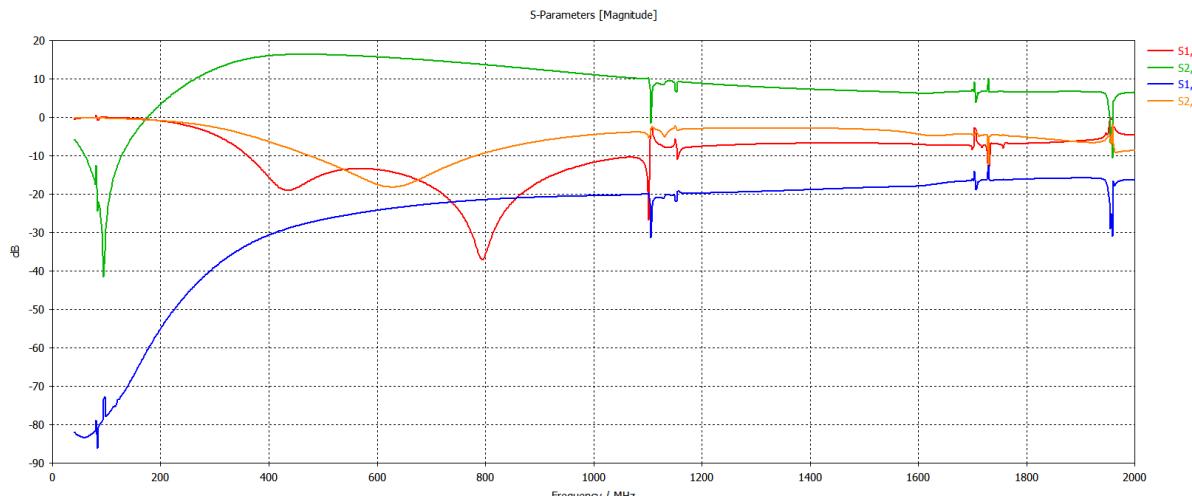


Figura 18: Resultado de la simulación (Diseño alternativo #2)

Esta simulación nuevamente resultó en parámetros de reflexión completamente distintos a los esperados, e incluso muy distintos a los de la simulación anterior. Estas grandes variaciones de los resultados con cambios en la implementación y diseño del PCB sin la modificación de valores de componentes pueden ser indicativo de problemas de diseño del PCB, o problemas en la simulación de dicha PCB, ya que el comportamiento del circuito debería estar fijado por los componentes y no por el diseño.

## Parte III

# Trabajos del segundo cuatrimestre

## 7. Mejoras en la simulación

El trabajo del segundo cuatrimestre comenzó intentando validar las simulaciones que realizamos. Para esto decidimos simular una simple linea microstrip con dos puertos SMA para verificar que CST Studio se encuentre configurado correctamente y lo estemos utilizando de manera correcta.

Esto nos llevó a observar que los parámetros de reflexión del circuito en la figura 19 que idealmente deberían estar completamente adaptados y tener un valor de cero (visualizado como un punto en el centro del diagrama de Smith), no se encontraba así, sino que a medida que se aumenta la frecuencia, se desadapta significativamente. Esto se puede apreciar en la medición de  $S_{11}$  visualizado en la figura 20

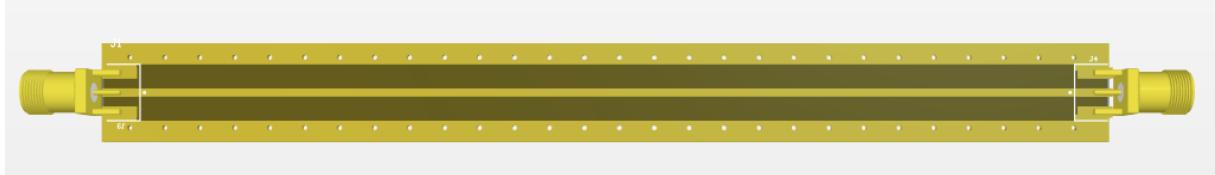


Figura 19: Diseño utilizado para probar el funcionamiento de la simulación

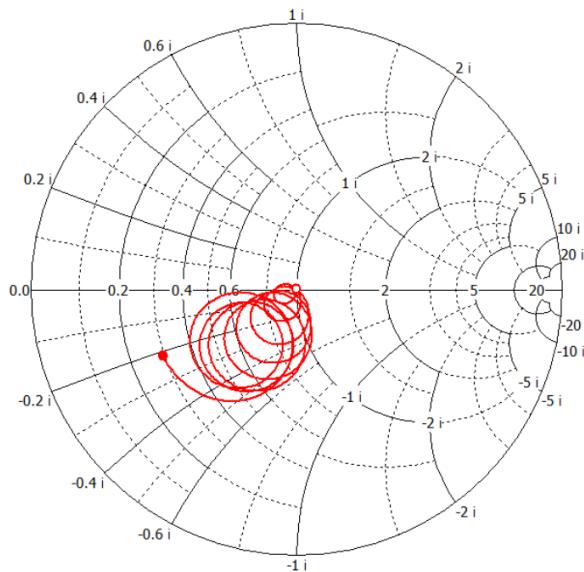


Figura 20: Valor de  $S_{11}$  de la simulación de la placa 19

Antes de continuar con el proyecto era necesario identificar si esto se debía a errores en la simulación o una falla en el diseño.

Inspeccionando el circuito, se identificaron dos posibles problemas. Primero, CST Studio aplica la excitación de la señal en el centro geométrico del pad central del conector SMA. El pad se extiende para

el lado de la microstrip y para el lado opuesto. Hipotetizamos que la extensión del pad hacia afuera estaba actuando como un stub, afectando la impedancia de entrada. Y segundo, CST al definir un puerto sobre un componente, por defecto genera un plano de masa a 2 mm de la superficie del cobre, con un tamaño que cubre todo el área del modelo 3D del componente si este esta presente.

Debido a estas sospechas, decidimos cambiar el footprint de los conectores SMA que utilizamos como puertos en la simulación a un footprint que solamente sirva para hacer contacto en un punto como el que se muestra en la figura 21

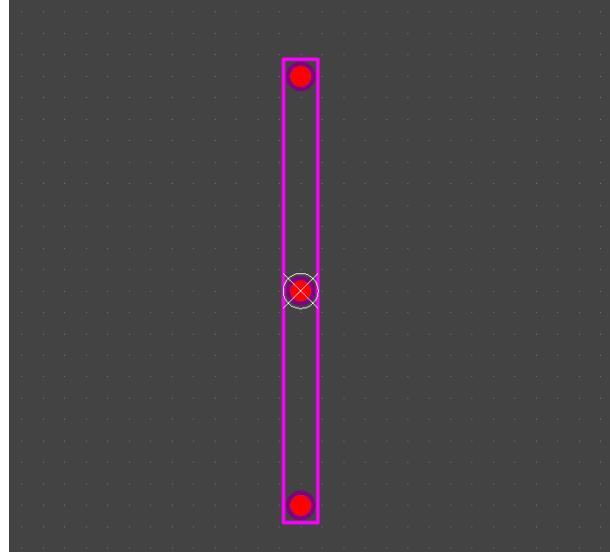


Figura 21: Footprint para utilizar como puerto en una simulación de CST Studio. El pad central es la señal, mientras que los otros pads son masa. El diseño se debe adaptar al diseño que se desea simular

El valor de  $S_{11}$  al cambiar el puerto se muestra en la figura 22

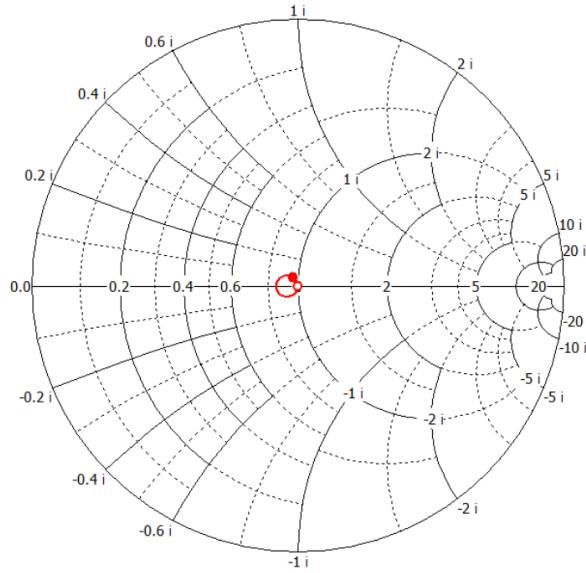


Figura 22: Nuevo valor de  $S_{11}$  en una pista microstrip al cambiar el footprint por el de la figura 21

Como se puede apreciar, hay una gran diferencia realizando este cambio. La entrada ahora se encuentra

casi completamente adaptada, con perdidas de retornos mínimas de 20 dB.

## 8. Primera prueba de fabricación

Esta sección se mantendrá breve ya que no aporta mucha información útil al lector.

Mientras se trabajaba en rediseñar el circuito, se comenzó armando el PCB diseñado en la sección 4 con el método que se describirá en la sección 10. El esquemático utilizado fue el de la nota de aplicación (figura 4). Al LNA armado se le midieron los parámetros S y se verificó que sea estable. El diseño aparentaba funcionar bien, pero surgieron problemas relacionados al footprint del conector de alimentación, que al poco tiempo debido a estrés mecánico terminó fallando. Para solucionar esto se agrandaron los pads del footprint para la próxima iteración.

Este diseño no se estudió en mas detalle y se continuó con el rediseño del circuito.

## 9. Rediseño del circuito

Nuestro objetivo para el circuito final que armaremos es que pueda ser alimentado con 5 V y que se encuentre optimizado para operar a 1 GHz. A continuación mostraremos los cambios necesarios para que el circuito cumpla con nuestras especificaciones.

### 9.1. Polarización para $V_{CC} = 5$ V

Para llevar la frecuencia de operación a 5V se cambió R2 de 10 k $\Omega$  a 15 k $\Omega$ . Según una simulación en LTSpice esto daría el siguiente punto de operación del transistor:

| $V_{CE}$ | $I_C$  |
|----------|--------|
| 4.34V    | 20.2mA |

Nuevamente se utilizó el programa que se mostró en la sección 3.4 para generar un archivo Touchstone que modela el transistor en este punto de operación. Esto nos servirá para la simulación del LNA y para determinar los parámetros de ruido del transistor a 1 GHz, que fueron los siguientes:

| $F_{min}$ | $\Gamma_{opt}$            | $r_n$  |
|-----------|---------------------------|--------|
| 1.12 dB   | 0.302 $\angle -152^\circ$ | 0.0797 |

### 9.2. Optimización a 1 GHz

Para lograr esto, nos interesa rediseñar la red de adaptación a la entrada para obtener la condición  $\Gamma_s = \Gamma_{opt} = 0.302 \angle -152^\circ$  a 1 GHz. Además, se intentó rediseñar la red de adaptación a la salida para lograr un valor de  $S_{22}$  mínimo en 1 GHz.

Para lograr esto se realizaron varias simulaciones con distintos valores comerciales de componentes. Para esto se utilizaron una simulaciones de CST Studio iguales a la empleada en la sección 5, la diferencia radica en que se utilizó el diseño nuevo del PCB, y se usó el modelo de parámetros S correspondiente a la nueva polarización. Además, todas las simulaciones fueron realizadas cambiando el footprint del componente SMA por el que se introdujo en la sección 7.

Los componentes variados para lograr la adaptación de  $\Gamma_s$  fueron C1, C2 y L1. Mientras que los componentes variados para lograr la adaptación de  $S_{22}$  fueron L2, C3 y C4.

Primero se intentó utilizar la herramienta de optimización de valores integrada en CST Studio, pero no logramos que esta converja a valores útiles, entonces se recurrió a prueba y error.

Luego de una serie de iteraciones de los cuales solamente presentaremos el mejor resultado, se llegó a los valores de componentes de la figura 23, que representa el circuito final a armar y ensayar.

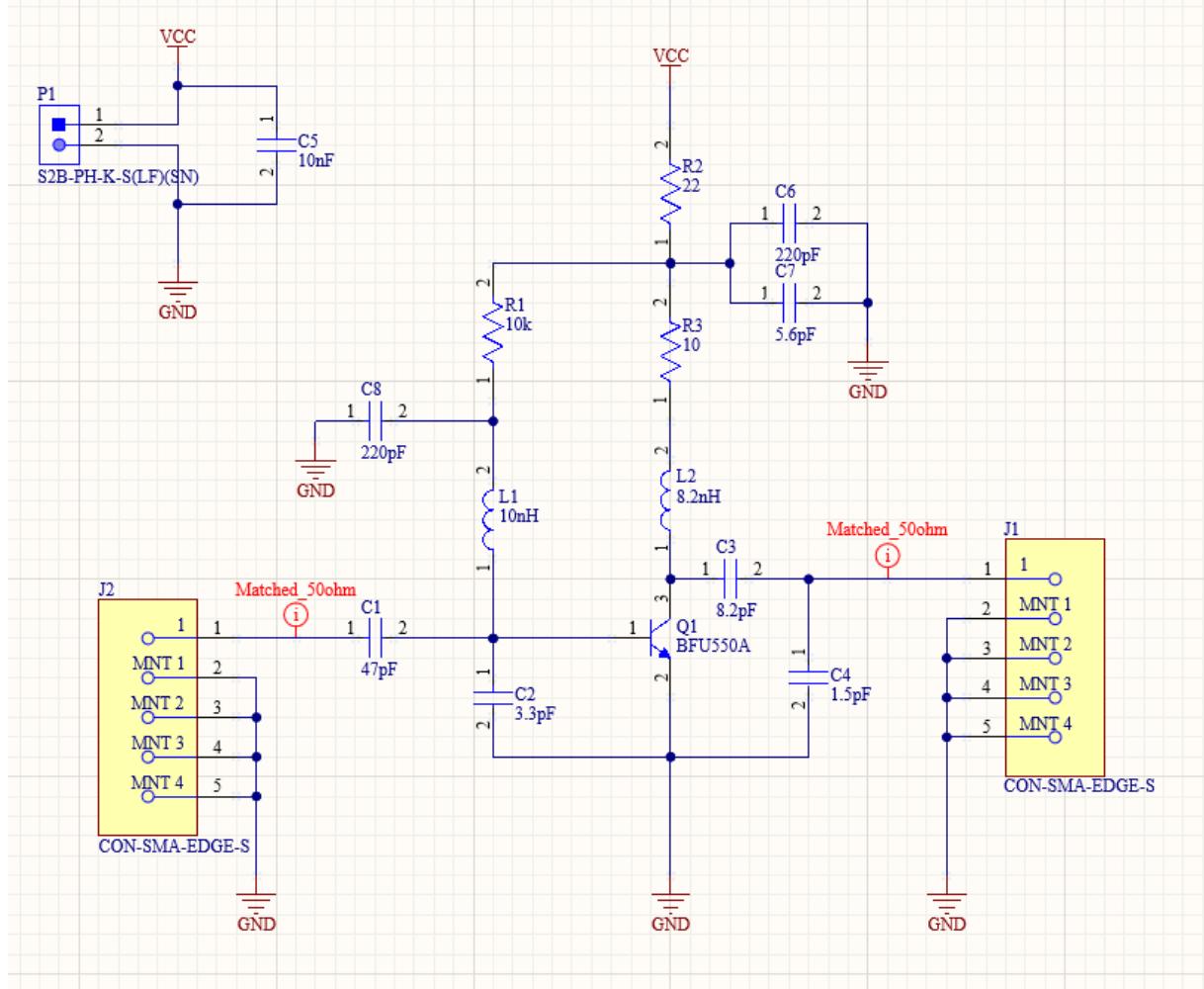


Figura 23: Circuito final, adaptado a 1 GHz

El valor de  $\Gamma_s$  se muestra en función de la frecuencia entre 20 MHz y 2 GHz en la figura 24, junto con su valor en 1 GHz (marcado  $\Gamma_s$ ) y el valor deseado de  $\Gamma_s$ , es decir,  $\Gamma_{opt}$

Como se puede ver en la figura anterior, el valor de  $\Gamma_s$  se encuentra muy cerca de  $\Gamma_{opt}$ . Y como

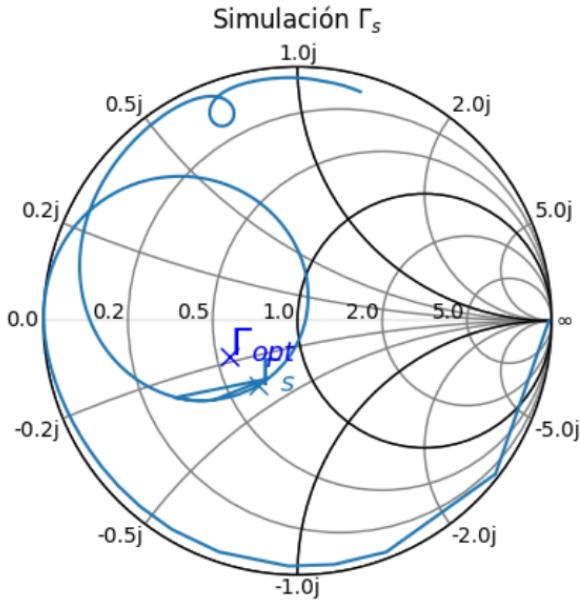


Figura 24: Valor de  $\Gamma_s$  obtenido en la simulación entre 20 MHz y 2 GHz con un marcador en 1 GHz y un marcador en el punto  $\Gamma_{opt}$

veremos mas adelante, esta diferencia es irrelevante para la figura de ruido.

Desafortunadamente,  $S_{22}$  no logramos adaptarlo correctamente a 1 GHz. La mejor respuesta lograda fue la siguiente:

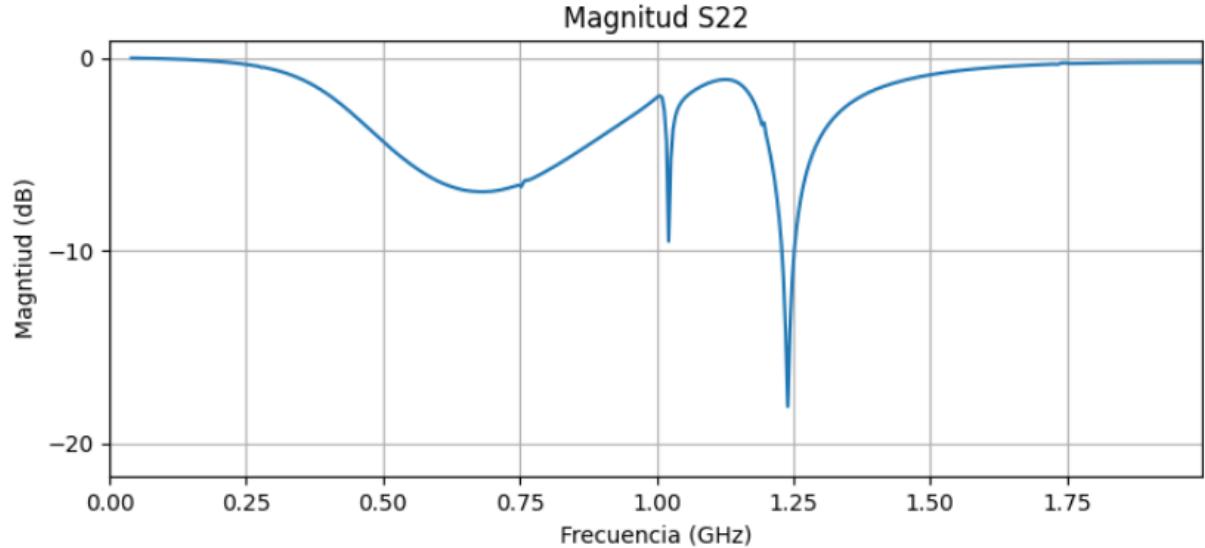


Figura 25: Módulo de  $S_{S22}$  obtenido de la simulación

$S_{22}$  toma un valor de -4 dB, lo cual representa un valor muy pobre de perdidas de retorno. Sospechamos que se puede deber a que no es posible lograr una adaptación buena a 1 GHz utilizando esta topología debido a que  $\Gamma_{out}$  (el coeficiente de reflexión en la salida del TBJ mirando hacia el transistor) se encuentra en una zona distinta del diagrama se Smith a la que se encontraba en la nota de aplicación. Otra posible razón puede ser limitaciones de la geometría del PCB. Queda para un trabajo futuro investigar este

problema en detalle. A pesar de no lograr un  $S_{22}$  bajo, se decidió continuar con el proyecto ya que este parámetro no es tan central al proyecto como el valor de  $\Gamma_s$ .

## 10. Armado del PCB

La fabricación del PCB se realizó por un método casero. A continuación se detallaran los pasos que se siguieron, se explicarán de forma que puedan ser replicados en futuras experiencias. Para este proceso utilizamos los siguientes materiales:

- Fotopolímero para PCBs en forma de dryfilm como se muestra en la figura 26.
- Carbonato de sodio como revelador del fotopolímero
- Hidróxido de sodio como removedor del fotopolímero
- Agua destilada para preparar soluciones y humedecer la placa
- Alcohol isopropílico de alta pureza (>99 %)
- Solución de cloruro férrico para el ataque de cobre.
- Atomizador de líquidos (Cualquier botella tipo "spray" limpia sirve)
- Insoladora ultravioleta
- Papel para transparencias y un método sobre el cual imprimir en él
- Lana de acero fina
- Contenedores apropiados para químicos
- Cinta adhesiva (Embalaje o Scotch sirven)
- Elementos de seguridad apropiados para el uso de los químicos

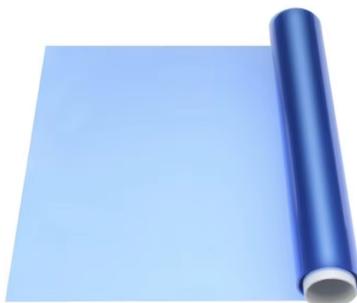


Figura 26: Dryfilm photoresist

## 10.1. Impresión del diseño

Desde el programa de ECAD se debe exportar el diseño del cobre en blanco y negro. En caso de que el fotopolímero sea positivo, las zonas de cobre deben ser oscuras y las zonas donde se desea remover el cobre deben ser transparentes. En caso de que el fotopolímero sea negativo, se debe invertir la imagen, como en nuestro caso. Para esto utilizamos el programa de edición de imágenes vectoriales Inkscape. Además utilizamos el programa para crear varias copias del diseño en una misma impresión.

El diseño se debe imprimir en una de las filminas transparentes. Para ahorrar material se recortaron por la mitad para formar hojas A5. Si se utiliza una impresora láser se debe tener mucho cuidado de asegurar que las transparencias sean compatibles. De no ser así, las filminas se fundirán dentro de la impresora. Es importante prestar atención a que la impresora se encuentre configurada en su modo de máxima resolución, y si tiene un modo de ahorro de tinta, que se encuentre deshabilitado.

Si la placa es doble faz, se recomienda incorporar marcas para la alineación de ambas filminas. Nuestras filminas se encuentran mostradas en la figura 27.

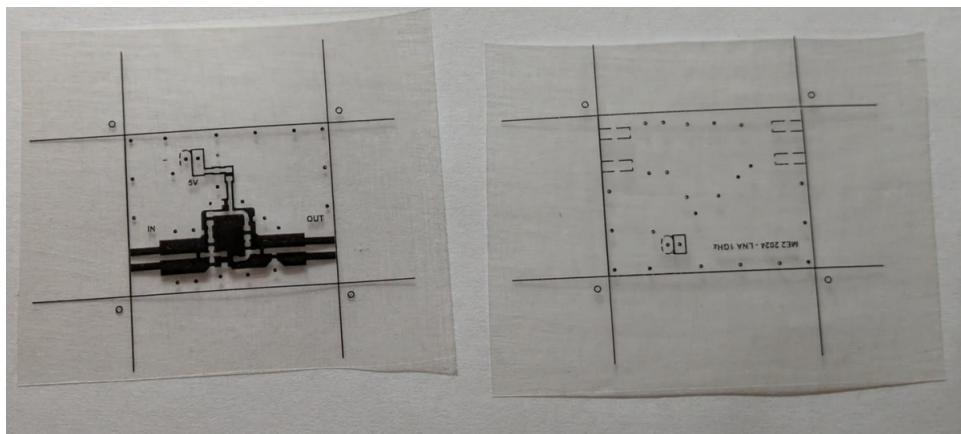


Figura 27: diseño impreso en lamina transparente

## 10.2. Aplicación del fotopolímero

Esta es la parte mas delicada del proceso, ya que requiere manejar el fotopolímero de manera cuidadosa y mantener todas las superficies lo mas limpias posibles. El fotopolímero en ninguna parte del proceso debe ser expuesto a luz solar o a luz de lamparas fluorescentes. En nuestra experiencia, luz de lamparas LED blancas no lo afecta.

Primero se prepara una sección del fotopolímero que viene en forma de dryfilm para que cubra completamente la placa. El excedente puede ser recortado luego de la aplicación.

Se limpia la superficie de la placa con alcohol isopropílico para asegurar que esté libre de grasa y polvo. Para limpiar el cobre es indispensable usar un material que no desprenda pelusa, como por ejemplo los paños para limpiar anteojos. Luego, se humedece ligeramente la superficie de cobre con agua destilada

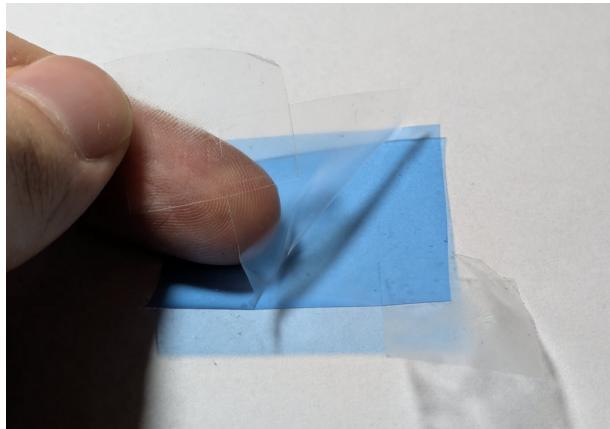


Figura 28: Separación de una de las películas protectoras del dryfilm utilizando cinta adhesiva

utilizando un atomizador. Se realizó una sola aplicación a una distancia de alrededor de 40 cm.

El dryfilm en sí es un material naturalmente pegajoso, este se encuentra protegido por dos capas plásticas transparentes de ambos lados. Para separar una de estas capas se utilizaron dos cortes grandes de cinta adhesiva para embalamiento. La mitad de cada una se coloca sobre lados opuestos del dryfilm, mientras que la otra mitad quedan unidas entre sí. (Observar figura 28). Cuando se tira de ambas cintas, una de las capas protectoras se comenzará a despegar del dryfilm, de esta manera se logra exponer uno de los lados del fotopolímero mientras que el otro permanecerá pegado y sostenido por la cinta. Luego se debe aplicar el dryfilm sobre el cobre húmedo de la placa. Luego utilizando una plancha a su mínima potencia se colocó calor y presión para adherir el dryfilm al cobre.

Como el PCB es doble faz, se repitió el proceso para ambas caras. Luego, se utilizó la cinta adhesiva nuevamente para remover la otra capa protectora de los dryfilm colocados.

### 10.3. Exposición a luz UV

La placa con el dryfilm aplicado se debe exponer a luz ultravioleta a través de la filmina para proyectar el diseño sobre ella. Para esto utilizamos una insoladora casera que consiste de una caja de zapatos con un marco de fotos insertado en un agujero en la tapa. Dentro de la caja, se encuentran 8 LEDs ultravioleta de 1W cada uno. En nuestro caso, determinamos que el tiempo de exposición ideal es de 45 a 90 segundos por lado.

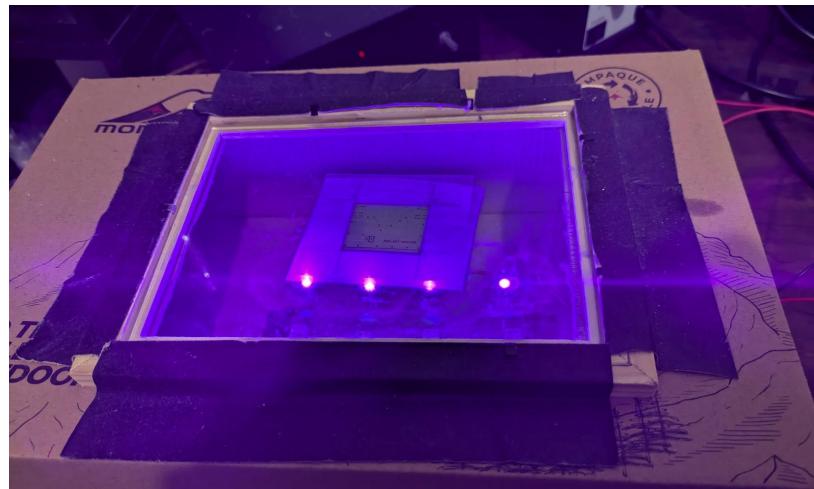


Figura 29: Exposición a Luz UV

#### 10.4. Revelado

Se prepara una solución de carbonato de sodio ( $Na_2CO_3$ ) en un recipiente plástico. Se sumerge la placa en la solución y se agita suavemente hasta que las áreas no activadas (en caso de fotopolímero negativo) del dryfilm se disuelvan, revelando el cobre a quitar. Luego se enjuaga con abundante agua.

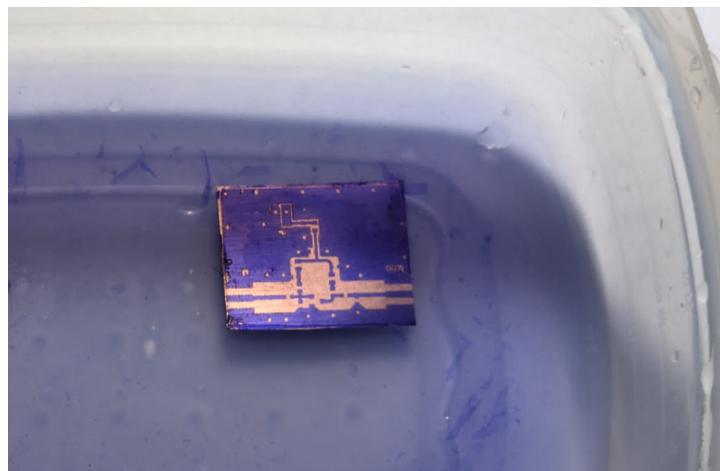


Figura 30: PCB en recipiente plastico con  $Na_2CO_3$

#### 10.5. Ataque del cobre

Se agrega una solución de cloruro férrico en un recipiente de plástico (usar guantes de protección). Se sumerge la placa en la solución y se agita ocasionalmente para asegurar una reacción uniforme. Cuando el sustrato quede expuesto, enjuaga la placa con agua para remover cualquier residuo de cloruro férrico.

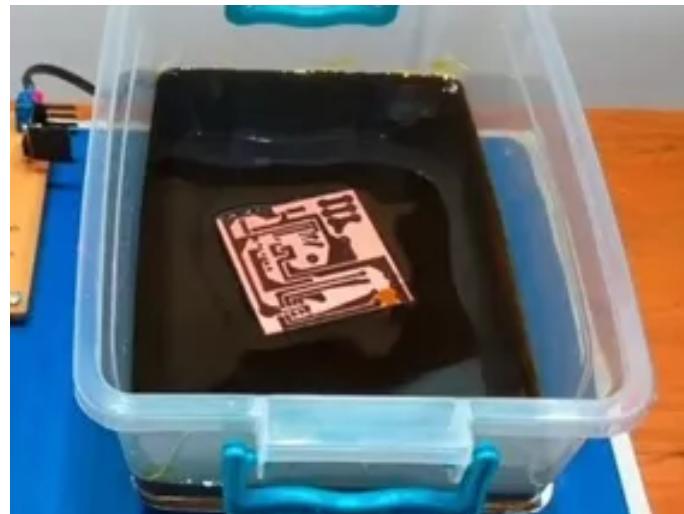


Figura 31: Ataque con  $FeCl_3$  (Imagen ilustrativa)

## 10.6. Perforaciones

Se perfora manualmente los agujeros de la placa, usando una mecha (de 0.6mm) insertada en un objeto que presente el encastre adecuado, quedando como un perillero. No se recomienda utilizar una herramienta eléctrica ya que presenta vibraciones que pueden ocasionar la destrucción de la mecha.

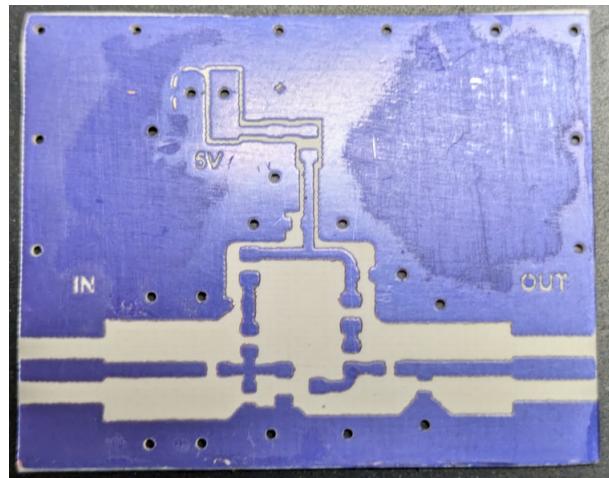


Figura 32: PCB perforado

## 10.7. Remoción del dryfilm restante

Se agrega una solución de hidróxido de sodio ( $NaOH$ ) en una recipiente plástico. Se sumerge la placa en la solución y agita suavemente hasta que el dryfilm activado se disuelva completamente, dejando las pistas de cobre expuestas. Se enjuaga la placa con agua para remover cualquier residuo de  $NaOH$ .



Figura 33: remoción del fotoresistivo

### 10.8. Montaje de componentes

Se limpia la placa con alcohol isopropílico para asegurarse de que las áreas de soldadura estén libres de residuos. Se coloca y suelda los componentes SMD y through-hole en la placa, siguiendo el diseño. Se deja el transistor sin soldar con el fin de determinar el parámetro  $\Gamma_s$  en la sección 11. Luego de determinar dicho parámetro, se suelda el transistor y queda finalizada la placa.

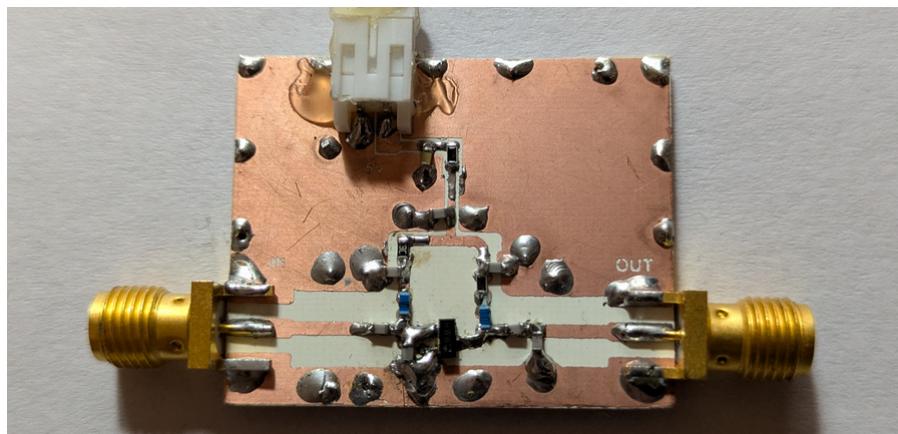


Figura 34: PCB con componentes montados

## 11. Ensayos

### 11.1. Métodos de medición de $\Gamma_s$

Como se explicó anteriormente, el parámetro que nos es de especial interés que se encuentre bien diseñado es  $\Gamma_s$ . Debido a esto, es deseable medir su valor antes de colocar el transistor, imposibilitando su medición.

Para realizar este ensayo de medición de  $\Gamma_s$ , se utilizó un conector SMA soldado a pines con resortes (Ver figura 35), también conocidos como pogo pins. Estos pines permiten hacer un contacto seguro y preciso sobre los pads del circuito impreso, asegurando una conexión estable y minimizando las pérdidas que podrían afectar la precisión de la medición.

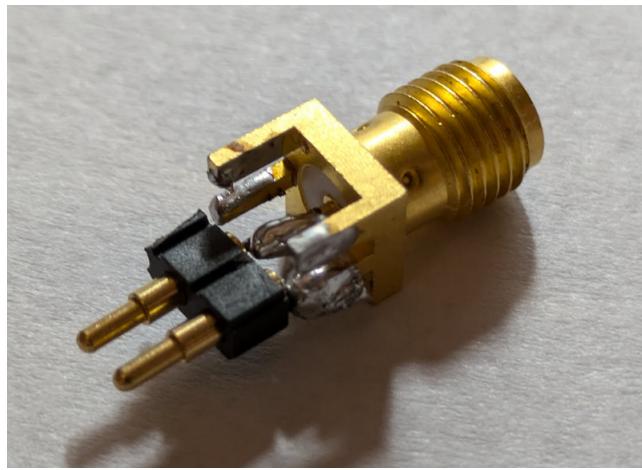


Figura 35: Conector SMA acoplado

La medición del  $\Gamma_s$  fue realizada con un analizador de redes vectorial LiteVNA (Figura 36). En cuanto al procedimiento de calibración, se aplicó el método de calibración a un solo puerto utilizando la técnica OSM (Open-Short-Match). Para este fin, se diseñó y fabricó de forma casera un kit de calibración. Este kit consiste en una placa (Figura 37), en la cual se encuentran las tres cargas distintas.



Figura 36: LiteVNA utilizado para la medición de  $\Gamma_s$

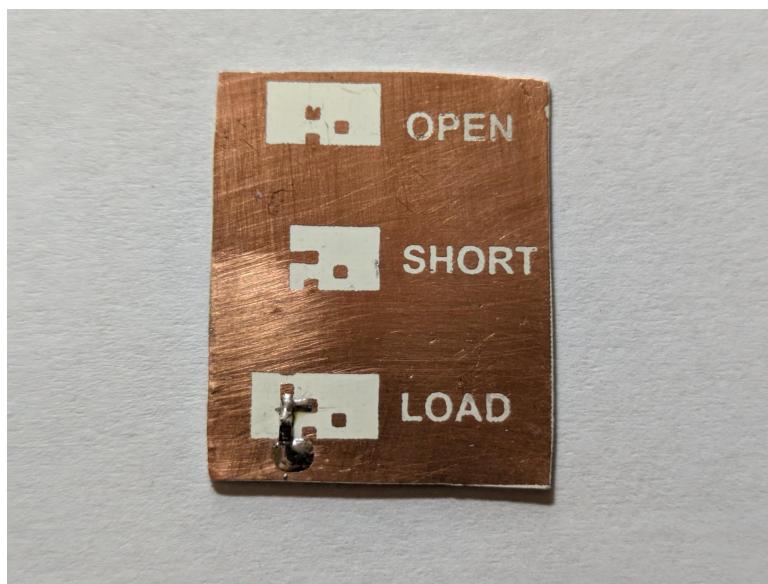


Figura 37: Kit de Calibración OSM

Una vez calibrado el VNA, la medición se llevó a cabo en los pads donde se ubicaría el transistor (ver figura 38). De este modo, se mide el coeficiente de reflexión que ve el transistor hacia la entrada ( $\Gamma_s$ ).

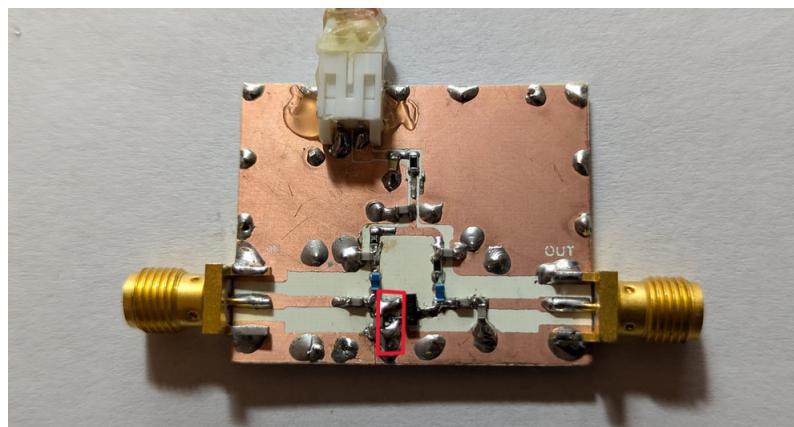


Figura 38: Ubicación donde se realizó la medición de  $\Gamma_s$  (El transistor no se encontraba colocado en ese momento)

## 11.2. Resultados de medición de $\Gamma_s$ )

El valor de  $\Gamma_s$  medido se gráfico en un diagrama de smith, junto con el valor producido en la simulación en la figura 39. Ambas curvas muestran  $\Gamma_s$  entre 20 MHz y 2 GHz. Como se puede ver, en bajas frecuencias ambas comienzan en el extremo derecho del gráfico (circuito abierto). Se colocó un marcador mostrando el valor medido de  $\Gamma_s$  en 1 GHz. Además, se graficaron distintos círculos de NF constante. Estos círculos son los valores de  $\Gamma_s$  que producirían un determinado NF y se pueden encontrar desarrollando la ecuación 7 de la sección 2.

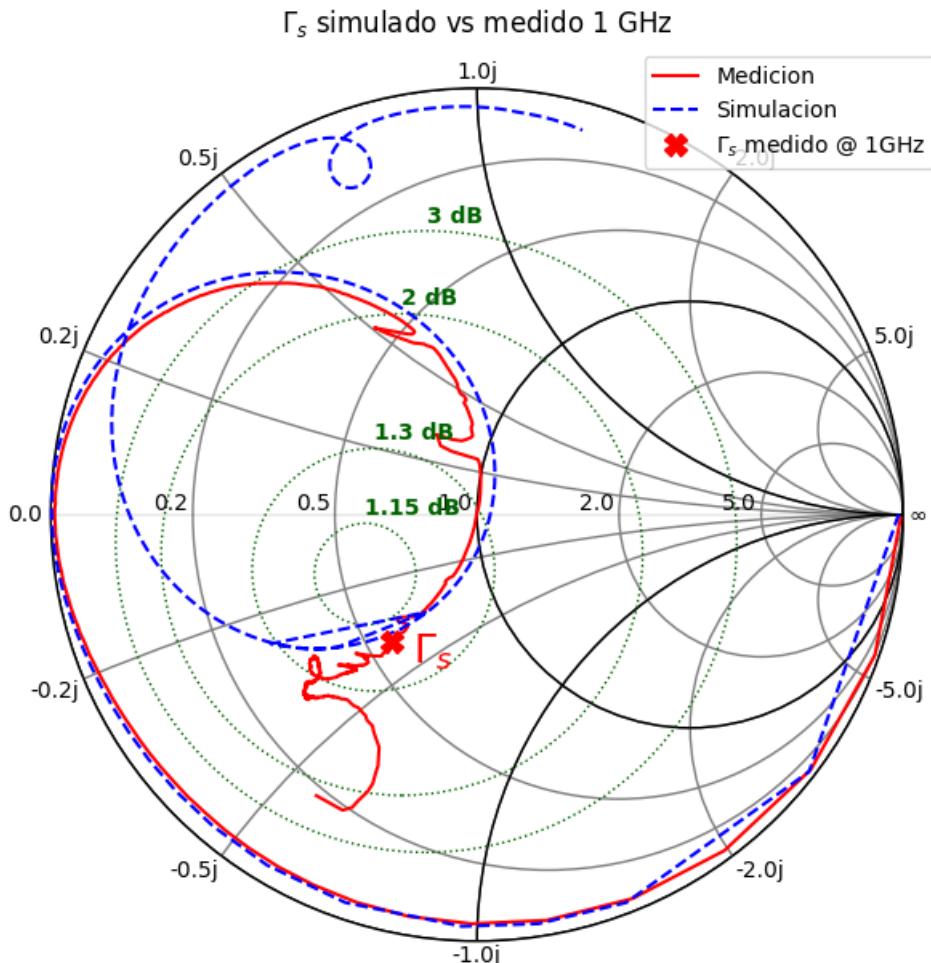


Figura 39: Gráfico comparativo entre  $\Gamma_s$  simulado y medido. Se visualizaron círculos de ruido

Como se puede ver en el gráfico anterior, el valor de  $\Gamma_s$  en 1 GHz se encuentra muy cerca del círculo de ruido constante más pequeño que representa una cifra de ruido de 1.15 dB. Este valor se encuentra dentro de nuestro requisito de 1.4 dB. Se puede ver que después de los 1 GHz la medición comienza a desviarse significativamente de la simulación. La causa de esto se puede deber a limitaciones del método de medición o a problemas que se comentarán en la sección 12. De todos modos consideramos esta medición exitosa.

Adicionalmente, se utilizó esta medición para graficar la cifra de ruido en función de la frecuencia, relacionándolas con la ecuación 4

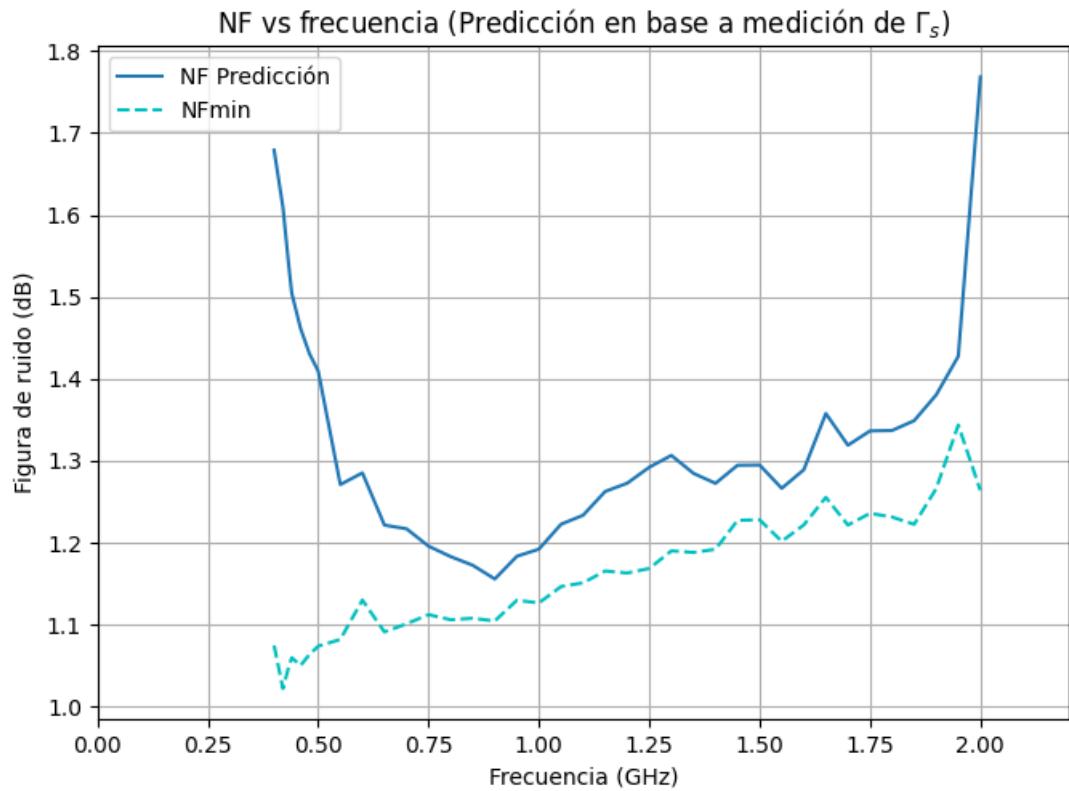


Figura 40: Cifra de ruido vs Frecuencia

Cabe resaltar que esté gráfico podría no ser preciso mas allá de 1 GHz si es cierto que la medición no es válida luego de esta frecuencia.

### 11.3. Métodos de medición de parámetros del amplificador

Luego de finalizar las mediciones anteriores se colocó el transistor en la placa para finalizar su armado. Ahora podemos proceder a caracterizar el amplificador. Se busca medir los siguientes parámetros: Parámetros-S de reflexión y transmisión, figura de ruido y punto de compresión a 1 dB. Para estas mediciones se utilizó el analizador de redes Keysight PNA-X N524B disponible en el laboratorio del Instituto de Tecnología en Detección y Astropartículas (ITeDA) bajo la supervisión de Matías Hampel. Este instrumento cuenta con la capacidad realizar la caracterización completa del LNA si se calibra correctamente.



Figura 41: VNA Keysight N524B PNA-X

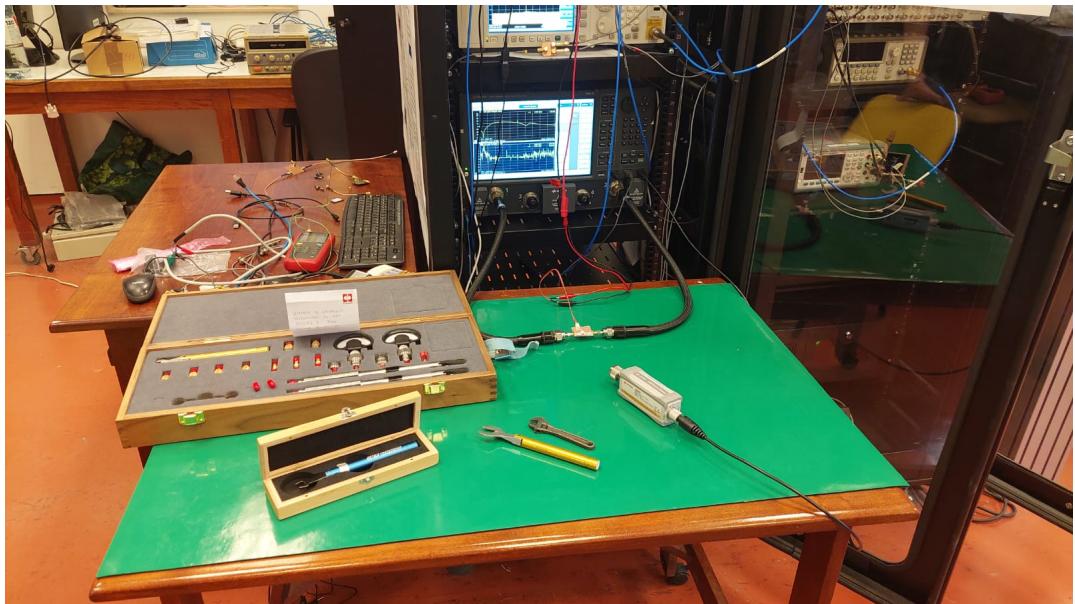


Figura 42: Banco de pruebas en el laboratorio, mostrando el VNA, el kit de calibración, medidor de potencia y llaves torquimétricas utilizadas

### 11.3.1. Calibración del VNA por método TOSM

El método TOSM es un método de calibración estándar a 2 puertos utilizado en los VNA para eliminar las incertidumbres introducidas por los métodos de medición, como pueden ser los cables, conectores y por el propio VNA. El método es esencial para obtener mediciones precisas, o incluso válidas, de los dispositivos bajo prueba (DUT).

El método consiste en la calibración de 4 tipos de configuraciones que se producen previo a las mediciones del DUT, de manera de eliminar errores sistemáticos producidos por los componentes que forman parte de la medición. Las 4 configuraciones son:

- **Open:** Se conecta un circuito abierto en el puerto 1 y 2 del VNA
- **Short:** Se conecta un circuito cerrado en el puerto 1 y 2 del VNA
- **Match:** Se conecta una carga conocida ( $50\Omega$ ) al puerto 1 y 2 del VNA.
- **Thru:** Se conectan los puertos 1 y 2 entre sí.

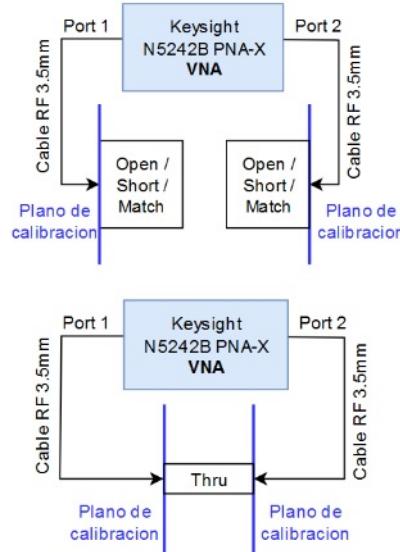


Figura 43: Esquema de la calibración por método TOSM

Para esta calibración se utilizó un kit específico para cables RF de 3.5 mm, el kit de calibración Keysight 85052A que se muestra en la figura 44



Figura 44: Kit de calibración Keysight 85052A

### 11.3.2. Estableciendo el piso de ruido

El establecimiento de un piso de ruido de un VNA es fundamental para garantizar la precisión y confiabilidad de los resultados. Este piso de ruido representa el límite inferior de detección de nuestro sistema, determinando la sensibilidad de nuestras mediciones. Al conocer este límite, podemos evaluar la cantidad de ruido externo que aporta nuestro dispositivo a través de una diferencia en la cifra de ruido.

En el experimento realizado, se configuró un circuito de prueba conectando el puerto generador de un VNA a un sensor de potencia. El VNA como generador, produjo una señal muy pocos dBm que fue enviada a través del cable hacia el sensor de potencia. La señal medida por el sensor se reinyectó al VNA a través de un cable USB, con el objetivo de que este último realice un barrido de frecuencias para ese nivel de potencia medida por el sensor. Una vez igualados los niveles de potencia de la señal generada por el VNA y la medida por el sensor para el ancho de banda, la calibración concluye.

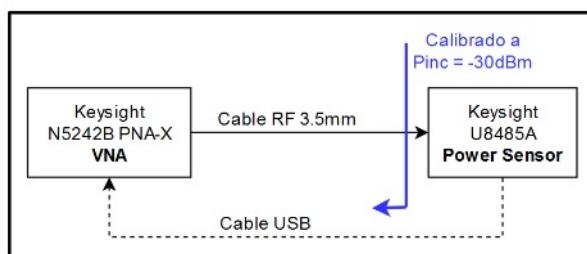


Figura 45: Setup para establecer el piso de ruido

Para esta etapa de calibración se utilizó el sensor de potencia Keysight U8485A (figura 46)

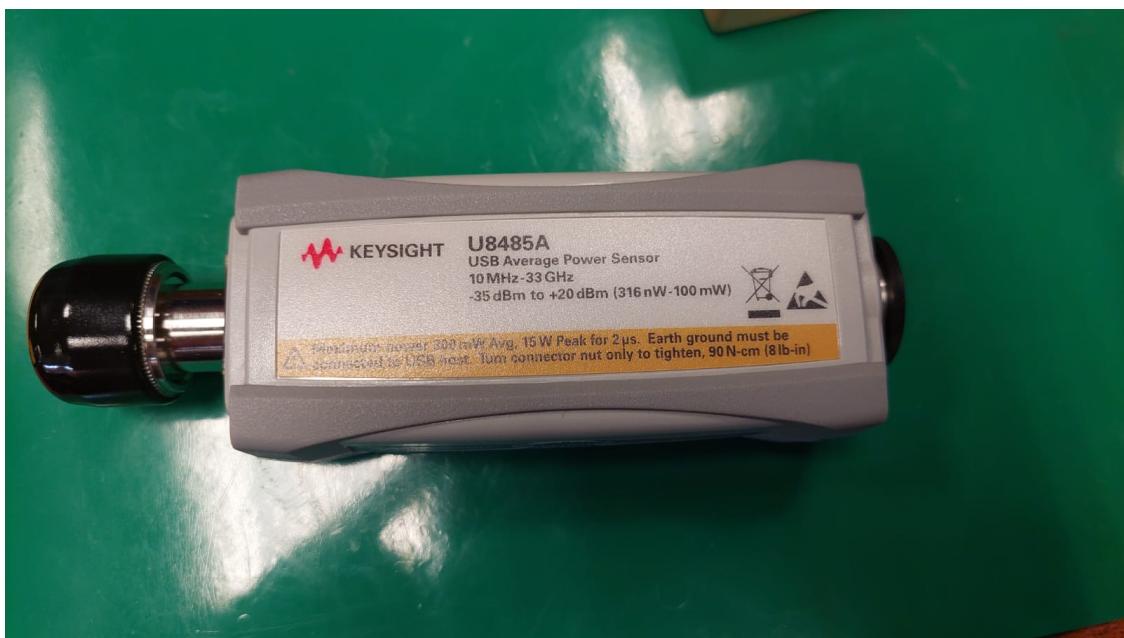


Figura 46: PWR Sensor Keysight U8485A

## 11.4. Medición del LNA

Luego de la calibración del VNA se procede a la medición del DUT. En nuestro experimento, el VNA y el plano de referencia estaban unidos por un cable de 3.5mm. mientras que el LNA contaba con puertos SMA, por lo que debió utilizar adaptadores que serán sumados a la medición. El setup de medición se muestra en la figura 42

El setup completo de medición estuvo conformado por:

- VNA Keysight N5242B PNA-X
- Cables de 3.5mm.
- Adaptadores 3.5mm-SMA
- Fuente de tensión de 5V
- LNA [DUT]

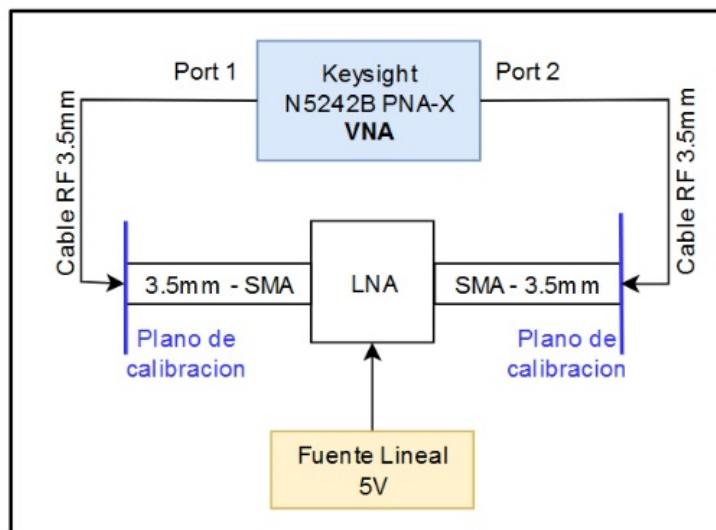


Figura 47: Esquemático de la medición del LNA

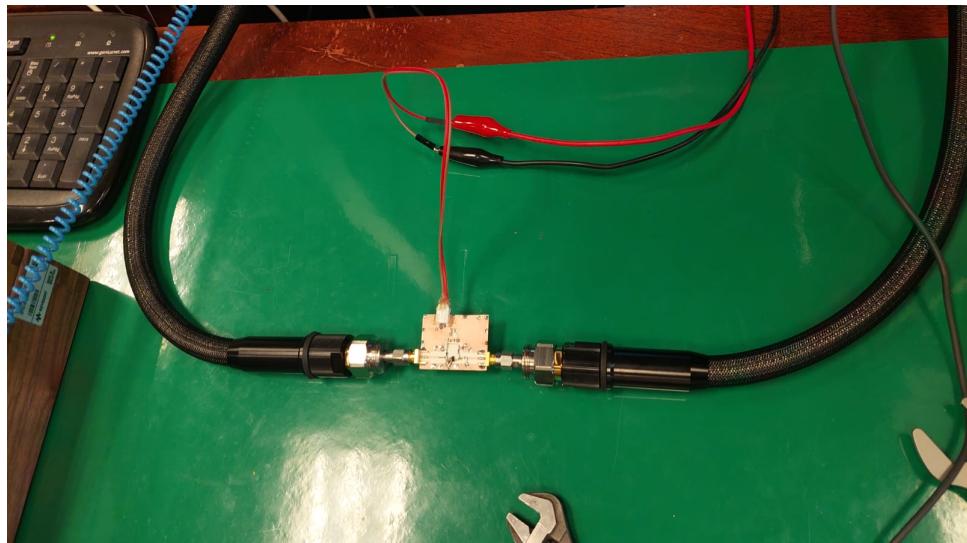


Figura 48: Setup de medición del LNA

Como se mencionó anteriormente, el establecimiento del piso de ruido fue parte de la calibración del VNA, debido a esto es que se puede establecer la cifra de ruido que entrega el LNA como diferencia entre el nuevo nivel de ruido medido como una diferencia del piso establecido anteriormente.

## 11.5. Resultados

### 11.5.1. Parámetros S

Las mediciones de los parámetros S del LNA se muestran a continuación. Las curvas sólidas indican el valor medido mientras que las curvas punteadas indican el valor obtenido en la simulación.

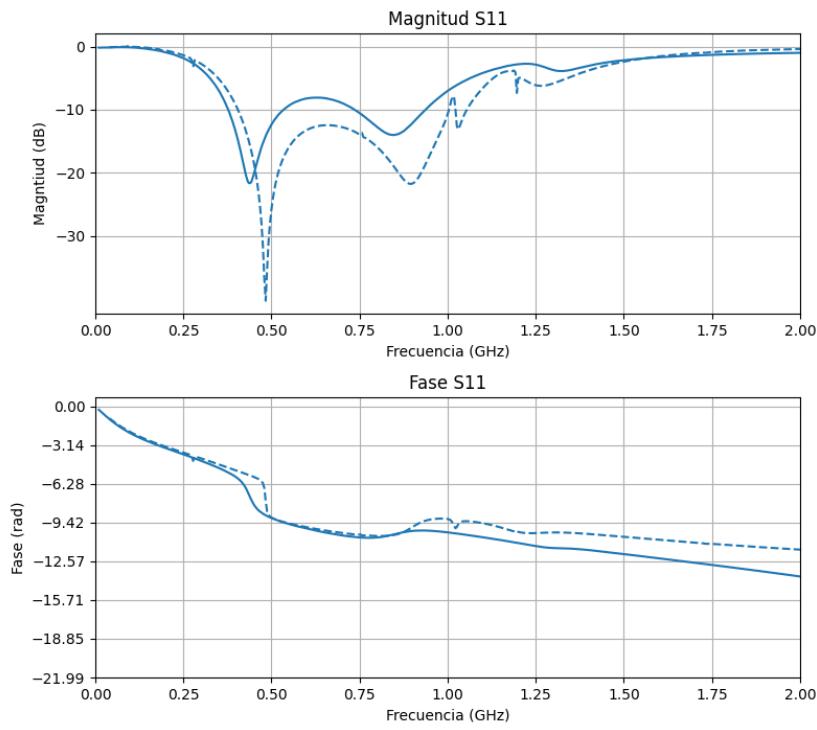


Figura 49: Magnitudes y fases de la medición y de la simulación del parámetro  $S_{11}$

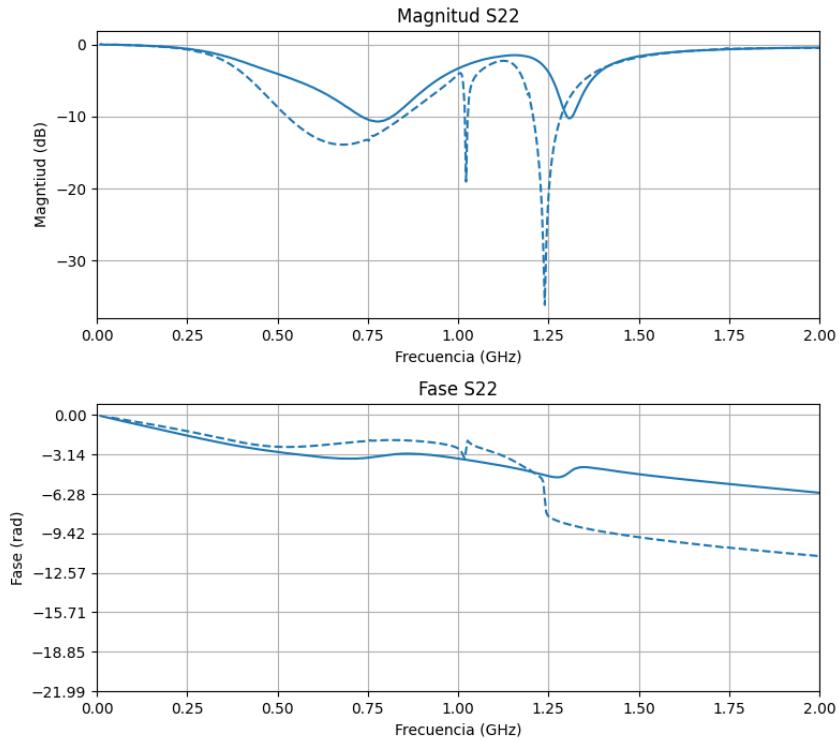


Figura 50: Magnitudes y fases de la medición y de la simulación del parámetro  $S_{22}$

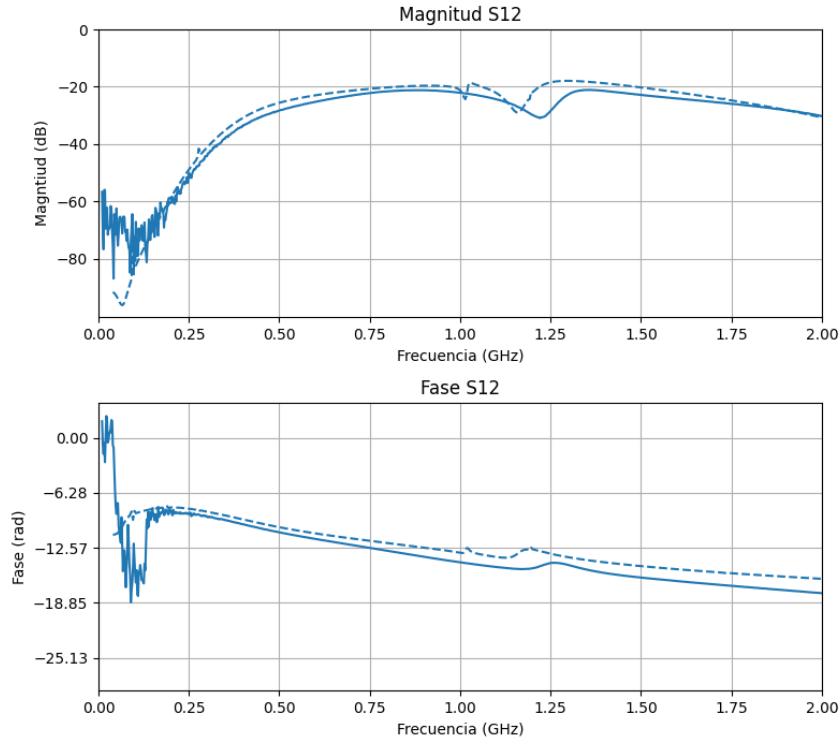


Figura 51: Magnitudes y fases de la medición y de la simulación del parámetro  $S_{12}$

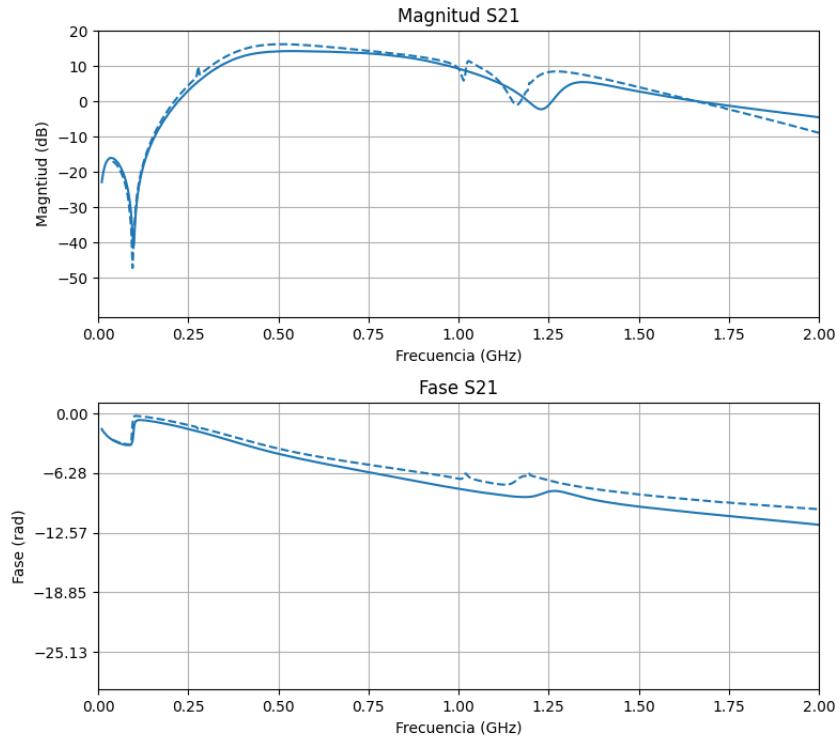


Figura 52: Magnitudes y fases de la medición y de la simulación del parámetro  $S_{21}$

Comenzando con el parámetro  $S_{11}$ , podemos ver que la magnitud medida se asemeja a la simulada, solo que la medida tiene valores más altos. Las fases son muy similares también y muestran las mismas

características.

Continuando con el parámetro  $S_{22}$  vemos que efectivamente, no se encuentra bien adaptado en 1 GHz como se esperaba. Las pérdidas de retorno son solamente de 3.5 dB. La fase parece desviarse significativamente después de los 1.25 GHz.

El parámetro  $S_{12}$  parecen coincidir muy bien las magnitudes y fases medidas con las simuladas. Presentan incluso los mismos detalles pequeños como picos alrededor de los 1.25 GHz.

Finalmente, el parámetro  $S_{21}$  parece coincidir muy bien, en magnitud y en fase. El valor de  $S_{21}$  en 1 GHz es de 10 dB. Esto no cumple con nuestro objetivo de ganancia de 13 dB, pero al no haber diseñado teniendo en cuenta esto, era de esperar que este valor podía no llegar a cumplirse. De todas formas, 10 dB es un valor aceptable.

#### 11.5.2. Cifra de Ruido (NF)

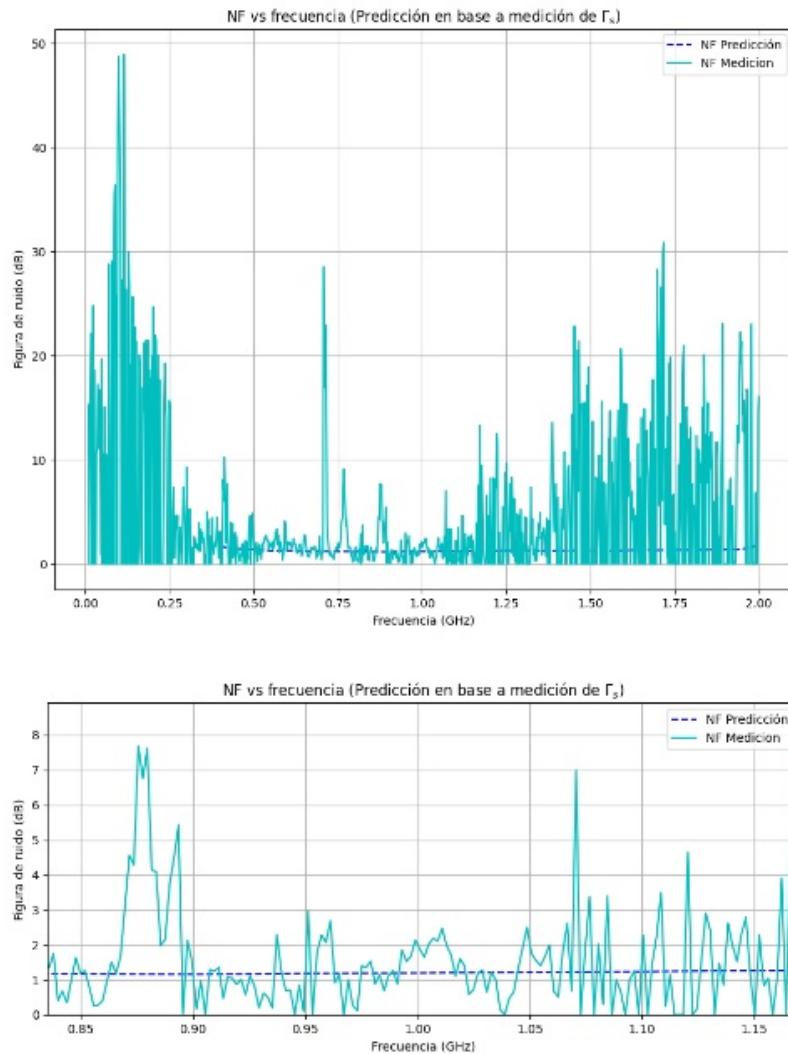


Figura 53: Comparación de NF medido con la predicción del NF en base a la medición de  $\Gamma_s$

En cuanto a la cifra de ruido, se obtuvo un valor de 1.88 dB en 1 GHz, pero visualizando la cifra de ruido medida en función de la frecuencia, vemos que esta medición tiene mucho ruido, y que el valor de 1.88 dB en 1 GHz no se puede considerar significante. Lamentablemente, esta medición no se puede considerar exitosa.

Se desconoce la fuente de este ruido en la medición, puede deberse a factores externos, limitaciones con la calibración, configuraciones incorrectas o limitaciones del equipo.

#### 11.5.3. Punto de compresión en -1 dB

También se midió la potencia de entrada del punto de compresión a -1 dB ( $P_{1dB, in}$ ). En la figura 54 se gráfica  $P_{1dB, in}$ . El VNA se encontraba limitado a una potencia máxima de salida de 0 dBm, debido a esto, en las regiones donde el amplificador pierde ganancia, la medición satura en 0 dBm. El valor de  $P_{1dB, in}$  a 1 GHz es de -2 dBm.

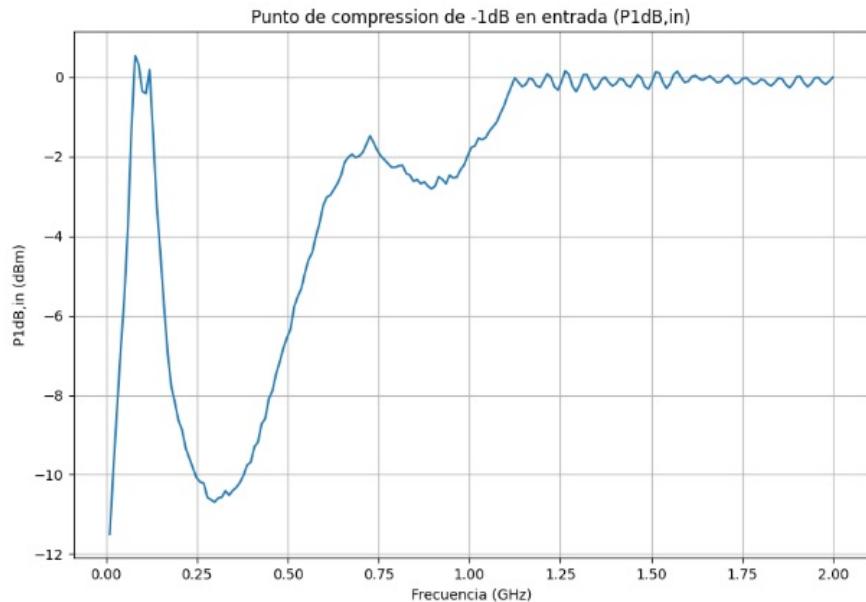


Figura 54: Punto de compresión

## 12. Conclusiones

Este trabajo abarcó muchos temas diferentes. Listaremos las ideas principales presentadas en este informe.

- **Amplificadores de bajo ruido (LNA):** Se introdujo el concepto de un LNA y su necesidad en sistemas de radiofrecuencia.
- **Parámetros de ruido:** Se dio un desarrollo riguroso del origen del concepto de adaptación para minimizar cifra de ruido. Este concepto se utilizó para diseñar el LNA.
- **Topología típica de LNA:** Se mostró una topología de un LNA usada en una nota de aplicación
- **Diseños de PCB:** La necesidad de diseñar un PCB para el circuito llevó a determinar características de sustratos a usar y buenas prácticas de diseño.
- **Exportar de ECAD a CST Studio:** Para simular los diseños se mostró un método fácil para exportar diseños de Altium Designer a CST Studio utilizando archivos de formato ODB++.
- **Fabricación de PCBs con método fotosensible:** Se fabricó el PCB mediante un método por litografía UV para obtener mejor resolución.
- **Medición de parámetros S utilizando un VNA:** Se utilizó para medir los parámetros S del LNA y el  $\Gamma_s$  visto por el transistor. Estas mediciones coinciden con las simulaciones.
- **Medición de cifra de ruido:** Se utilizó un VNA con un módulo de medición de ruido para caracterizar la cifra de ruido del LNA. Desafortunadamente, no se logró una buena medición.

A continuación definimos algunos puntos a mejorar si se realiza otra iteración de este trabajo:

- **Mejorar la medición de cifra de ruido:** La medición de cifra de ruido no fue exitosa. La cifra de ruido es posiblemente el parámetro más importante del proyecto, lograr medirlo tiene mucha importancia en el desarrollo de un LNA.
- **Utilizar mejores componentes:** Alguno de los componentes fueron erróneamente seleccionados, y no son aptos para aplicaciones de RF.
- **Lograr una mejor adaptación en la salida:** La pérdida de retorno que se obtuvo en el puerto de salida es muy pobre. Esto podría solucionarse probando con topologías diferentes de adaptación.
- **Realizar un análisis de estabilidad:** Queda para un trabajo futuro realizar un análisis de estabilidad del circuito para determinar si es condicionalmente o incondicionalmente estable.

- **Explorar otras herramientas de simulación:** Es posible que el simulador 3D de CST Studio no sea el mas apropiado para esta aplicación. Otras herramientas como Keysight ADS tienen mejor soporte para simulación electromagnética de PCBs. Se podría realizar comparaciones con simulaciones 2D, 2.5D o circuitales.

### 13. Componentes utilizados en la versión final

| Nombre   | Valor  | Fabricante                   | Modelo de Fabricante    |
|----------|--------|------------------------------|-------------------------|
| Q1       | -      | NXP                          | BFU550A                 |
| R1       | 22Ω    | Panasonic                    | ERJ-3EKF22R0V           |
| R2       | 15kΩ   | Panasonic                    | ERJ-3EKF1502V           |
| R3       | 10Ω    | Panasonic                    | ERJ-3EKF10R0V           |
| L1       | 10nH   | Murata                       | LQW18AS10NG0ZD          |
| L2       | 8.2nH  | Murata                       | LQW18AN8N2D00D          |
| C1       | 47pF   | Murata                       | GCM1885C2A470FA16D      |
| C2       | 3.3pF  | Murata                       | GRM1885C1H3R3BA01D      |
| C3       | 4.7pF  | Murata                       | GRM1885C1H4R7BA01D      |
| C4       | 1.5pF  | Murata                       | GRM1885C1H1R5BA01D      |
| C5       | 10nF   | Murata                       | GCM188R72A103KA37D      |
| C6       | 220pF  | Murata                       | GCM1885C2A221FA16D      |
| C7       | 5.6pF  | Murata                       | GRM1885C1H5R6BA01D      |
| C8       | 220pF  | Murata                       | GCM1885C2A221FA16D      |
| J1       | SMA    | Cinch Connectivity Solutions | 142-0711-841            |
| J2       | SMA    | Cinch Connectivity Solutions | 142-0711-841            |
| J3       | Header | JST                          | S2B-PH-K-S              |
| Sustrato | Dk=6.4 | Rogers                       | RO4360G2, 0.508mm, 35 m |

## 14. Índice de Figuras y Tablas

### Índice de figuras

|     |                                                                                                                                                                                                           |    |
|-----|-----------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|----|
| 1.  | Receptor . . . . .                                                                                                                                                                                        | 4  |
| 2.  | Representación de una red de dos puertos con generadores de ruido externos y un generador con ruido conectado en la entrada . . . . .                                                                     | 6  |
| 3.  | Captura de pantalla del programa TX Line mostrando los cálculos para las pistas microstrip. Los parámetros ingresados se marcaron en amarillo, y el valor de interés de salida se marcó en rojo. . . . .  | 10 |
| 4.  | Esquemático del LNA a implementar . . . . .                                                                                                                                                               | 11 |
| 5.  | Esquemático y directivas de la simulación en LTSpice . . . . .                                                                                                                                            | 12 |
| 6.  | PCB del LNA diseñado en Altium Desginer . . . . .                                                                                                                                                         | 13 |
| 7.  | Exportación en formato ODB++ desde Altium . . . . .                                                                                                                                                       | 15 |
| 8.  | Importación ODB++ en CST Studio . . . . .                                                                                                                                                                 | 15 |
| 9.  | EDA Import Dialog . . . . .                                                                                                                                                                               | 16 |
| 10. | Un parámetro llamado "Value. <sup>es</sup> " necesario para que CST Studio reconozca el valor del componente . . . . .                                                                                    | 16 |
| 11. | Vista 3D CST Studio . . . . .                                                                                                                                                                             | 17 |
| 12. | Esquematico en CST Studio . . . . .                                                                                                                                                                       | 18 |
| 13. | Resultados de la simulación en CST . . . . .                                                                                                                                                              | 18 |
| 14. | Comparación de resultados de simulación con datos de la nota de aplicación . . . . .                                                                                                                      | 19 |
| 15. | Diseño del PCB (Diseño alternativo #1) . . . . .                                                                                                                                                          | 20 |
| 16. | Resultado de la simulación (Diseño alternativo #1) . . . . .                                                                                                                                              | 21 |
| 17. | Diseño del PCB (Diseño alternativo #2) . . . . .                                                                                                                                                          | 21 |
| 18. | Resultado de la simulación (Diseño alternativo #2) . . . . .                                                                                                                                              | 22 |
| 19. | Diseño utilizado para probar el funcionamiento de la simulación . . . . .                                                                                                                                 | 23 |
| 20. | Valor de $S_{11}$ de la simulación de la placa 19 . . . . .                                                                                                                                               | 23 |
| 21. | Footprint para utilizar como puerto en una simulación de CST Studio. El pad central es la señal, mientras que los otros pads son masa. El diseño se debe adaptar al diseño que se desea simular . . . . . | 24 |
| 22. | Nuevo valor de $S_{11}$ en una pista microstrip al cambiar el footprint por el de la figura 21 .                                                                                                          | 24 |
| 23. | Circuito final, adaptado a 1 GHz . . . . .                                                                                                                                                                | 26 |
| 24. | Valor de $\Gamma_s$ obtenido en la simulación entre 20 MHz y 2 GHz con un marcador en 1 GHz y un marcador en el punto $\Gamma_{opt}$ . . . . .                                                            | 27 |

|     |                                                                                                                                               |    |
|-----|-----------------------------------------------------------------------------------------------------------------------------------------------|----|
| 25. | Módulo de $S_{S22}$ obtenido de la simulación . . . . .                                                                                       | 27 |
| 26. | Dryfilm photoresist . . . . .                                                                                                                 | 28 |
| 27. | diseño impreso en lamina transparente . . . . .                                                                                               | 29 |
| 28. | Separación de una de las peliculas protectoras del dryfilm utilizando cinta adhesiva . . . . .                                                | 30 |
| 29. | Exposición a Luz UV . . . . .                                                                                                                 | 31 |
| 30. | PCB en recimiente plastico con $Na_2CO_3$ . . . . .                                                                                           | 31 |
| 31. | Ataque con $FeCl_3$ (Imagen ilustrativa) . . . . .                                                                                            | 32 |
| 32. | PCB perforado . . . . .                                                                                                                       | 32 |
| 33. | remoción del fotoresistivo . . . . .                                                                                                          | 33 |
| 34. | PCB con componentes montados . . . . .                                                                                                        | 33 |
| 35. | Conecotor SMA acoplado . . . . .                                                                                                              | 34 |
| 36. | LiteVNA utilizado para la medición de $\Gamma_s$ . . . . .                                                                                    | 35 |
| 37. | Kit de Calibración OSM . . . . .                                                                                                              | 35 |
| 38. | Ubicación donde se realizó la medición de $\Gamma_s$ (El transistor no se encontraba colocado en ese momento) . . . . .                       | 35 |
| 39. | Gráfico comparativo entre $\Gamma_s$ simulado y medido. Se visualizaron círculos de ruido . . . . .                                           | 36 |
| 40. | Cifra de ruido vs Frecuencia . . . . .                                                                                                        | 37 |
| 41. | VNA Keysight N524B PNA-X . . . . .                                                                                                            | 38 |
| 42. | Banco de pruebas en el laboratorio, mostrando el VNA, el kit de calibración, medidor de potencia y llaves torquimétricas utilizadas . . . . . | 38 |
| 43. | Esquema de la calibración por método TOSM . . . . .                                                                                           | 39 |
| 44. | Kit de calibración Keysight 85052A . . . . .                                                                                                  | 39 |
| 45. | Setup para establecer el piso de ruido . . . . .                                                                                              | 40 |
| 46. | PWR Sensor Keysight U8485A . . . . .                                                                                                          | 40 |
| 47. | Esquemático de la medición del LNA . . . . .                                                                                                  | 41 |
| 48. | Setup de medición del LNA . . . . .                                                                                                           | 42 |
| 49. | Magnitudes y fases de la medición y de la simulación del parámetro $S_{11}$ . . . . .                                                         | 43 |
| 50. | Magnitudes y fases de la medición y de la simulación del parámetro $S_{22}$ . . . . .                                                         | 43 |
| 51. | Magnitudes y fases de la medición y de la simulación del parámetro $S_{12}$ . . . . .                                                         | 44 |
| 52. | Magnitudes y fases de la medición y de la simulación del parámetro $S_{21}$ . . . . .                                                         | 44 |
| 53. | Comparación de NF medido con la predicción del NF en base a la medición de $\Gamma_s$ . . . . .                                               | 45 |
| 54. | Punto de compresión . . . . .                                                                                                                 | 46 |

## 15. Referencias

### Referencias

- [1] *BFU550A*. URL: <https://www.nxp.com/part/BFU550A>.
- [2] G Gonzalez. *Microwave Transistor Amplifiers: Analysis and Design 2nd Edition*.
- [3] *Repositorio de Proyecto*. URL: <https://github.com/brunogle/me2-proyecto>.