

Université de Toulon

IUT de Toulon

Département Génie Electrique et Informatique Industrielle (GEII)

# ADC/DAC

## Rapport de TP

écrit le 18 décembre 2023

par

Bruno HANNA

*Encadrant universitaire :* Sebastien PIOCH

---



# Table des matières

<b>Introduction</b>	<b>1</b>
<b>Chapitre 1 Étude Théorique</b>	<b>2</b>
1.1 Étude du DAC . . . . .	2
1.1.1 Expression des potentiels aux points $A_n$ . . . . .	2
1.1.2 Expression des courants traversant les résistances . . . . .	2
1.1.3 Expression de la tension de sortie $V_{out}$ . . . . .	2
1.1.4 Définition de la tension de pleine échelle et du quantum . . . . .	2
1.2 Étude de l'ADC . . . . .	3
<b>Chapitre 2 Étude expérimentale</b>	<b>4</b>
2.1 Étude du DAC . . . . .	4
2.2 Étude de l'ADC . . . . .	4
2.2.1 Mesure de la sortie inversée du DAC . . . . .	5
2.3 Étude de la quantification . . . . .	5
<b>Conclusion</b>	<b>7</b>

# Introduction

Ce rapport expose les résultats d'une série d'expériences sur les convertisseurs numérique-analogique (DAC) et analogique-numérique (ADC). À travers des protocoles de tests rigoureux, nous avons étudié les caractéristiques et performances de ces dispositifs fondamentaux dans le traitement des signaux numériques.

# Étude Théorique

## 1.1 Étude du DAC

Nous étudions le DAC AD 7524, un convertisseur à 8 bits à réseaux en échelle R/2R. L'objectif est d'exprimer les potentiels aux points  $A_n$  en fonction de  $V_{REF}$ .

### 1.1.1 Expression des potentiels aux points $A_n$

Pour  $A_0$ , nous avons :

$$V_{A0} = \frac{V_{A1}}{R} + \frac{V_{A1}}{2R} = \frac{1}{2}V_{A1} \quad \text{avec } R = 10 \text{ k}\Omega \quad (1.1)$$

Cette relation peut être généralisée pour tout point  $A_n$  :

$$V_{An} = \frac{1}{2}V_{An+1} \quad (1.2)$$

Sachant que  $V_{A7} = V_{REF}$ , on en déduit :

$$V_{An} = \frac{V_{REF}}{2^{7-n}} \quad (1.3)$$

### 1.1.2 Expression des courants traversant les résistances

Les courants qui traversent les résistances reliées du point  $A_n$  à la masse sont :

$$I_n = \frac{V_{An}}{2R} = \frac{1}{2^{8-n}} \times \frac{V_{REF}}{R} \quad (1.4)$$

### 1.1.3 Expression de la tension de sortie $V_{out}$

On sait que  $V^+ = 0$  et que  $V^- = \sum_{n=0}^7 b_n V_{An}$  avec  $b_n$ , une variable binaire (1 ou 0) selon la valeur du bit n. Donc :

$$V_{OUT} = V^+ - V^- = - \sum_{n=0}^7 b_n V_{An} \quad (1.5)$$

$V_{OUT}$  sera négatif à cause du montage inverseur du convertisseur.

### 1.1.4 Définition de la tension de pleine échelle et du quantum

On définit l'expression de la tension de pleine échelle  $V_{PE}$  ainsi que du quantum  $q$  :

$$V_{PE} = V_{REF} - q \quad \text{et} \quad q = \frac{V_{REF}}{2^N} \quad \text{avec } N = 8 \quad (1.6)$$

On en déduit pour  $V_{PE} = 9.961 \text{ V}$  et  $V_{REF} = 10 \text{ V}$  :

$$V_{REF} = \frac{V_{PE}}{1 - \frac{1}{2^N}} \quad \text{et} \quad q = 9.961 \times \frac{1}{2^{8-1}} \approx 0.039 \text{ V} \quad (1.7)$$

## 1.2 Étude de l'ADC

L'étude se concentre sur un ADC à approximations successives. Le processus de conversion implique plusieurs tests, correspondant au nombre de bits du convertisseur. Pour chaque test, la tension d'entrée  $V_{IN}$  est filtrée et comparée à une tension de comparaison  $V_{COMP}$ . Si  $V_{IN} > V_{COMP}$ , un bit 1 est enregistré dans le mot binaire COUT, en commençant par le bit de poids fort jusqu'au bit de poids faible.

En fixant  $n = 4$ ,  $V_{REF} = 10\text{ V}$  et  $V_{IN} = 6.5\text{ V}$ , nous observons les étapes intermédiaires suivantes :

Test	COUT	Tension bit	VCOMP
1	1000	5V	$5\text{V} < 6.5\text{V}$
2	1100	2.5V	$7.5\text{V} > 6.5\text{V}$
3	1010	1.25V	$6.25\text{V} < 6.5\text{V}$
4	1011	0.625V	$6.875\text{V} > 6.5\text{V}$

Le mot binaire correspondant à 6.25V est 1010.

# Étude expérimentale

## 2.1 Étude du DAC

1. Le convertisseur a été câblé comme spécifié, et la tension de référence  $V_{REF}$  a été ajustée pour obtenir une pleine échelle à la sortie soit 9.961V.
2. La quantité élémentaire  $q$  a été mesurée pour les configurations à 8 et 4 bits.
3. La caractéristique du DAC a été observée en se limitant aux 4 bits de poids fort.

## 2.2 Étude de l'ADC

1. L'ADC a été configuré pour une conversion continue. Les résultats observés à l'oscilloscope permettront de valider le processus de conversion tel que prédit par la théorie.
2. Les connexions entre les bits de poids fort de l'ADC et ceux du DAC ont été réalisées, et les observations correspondantes seront discutées en lien avec la théorie.

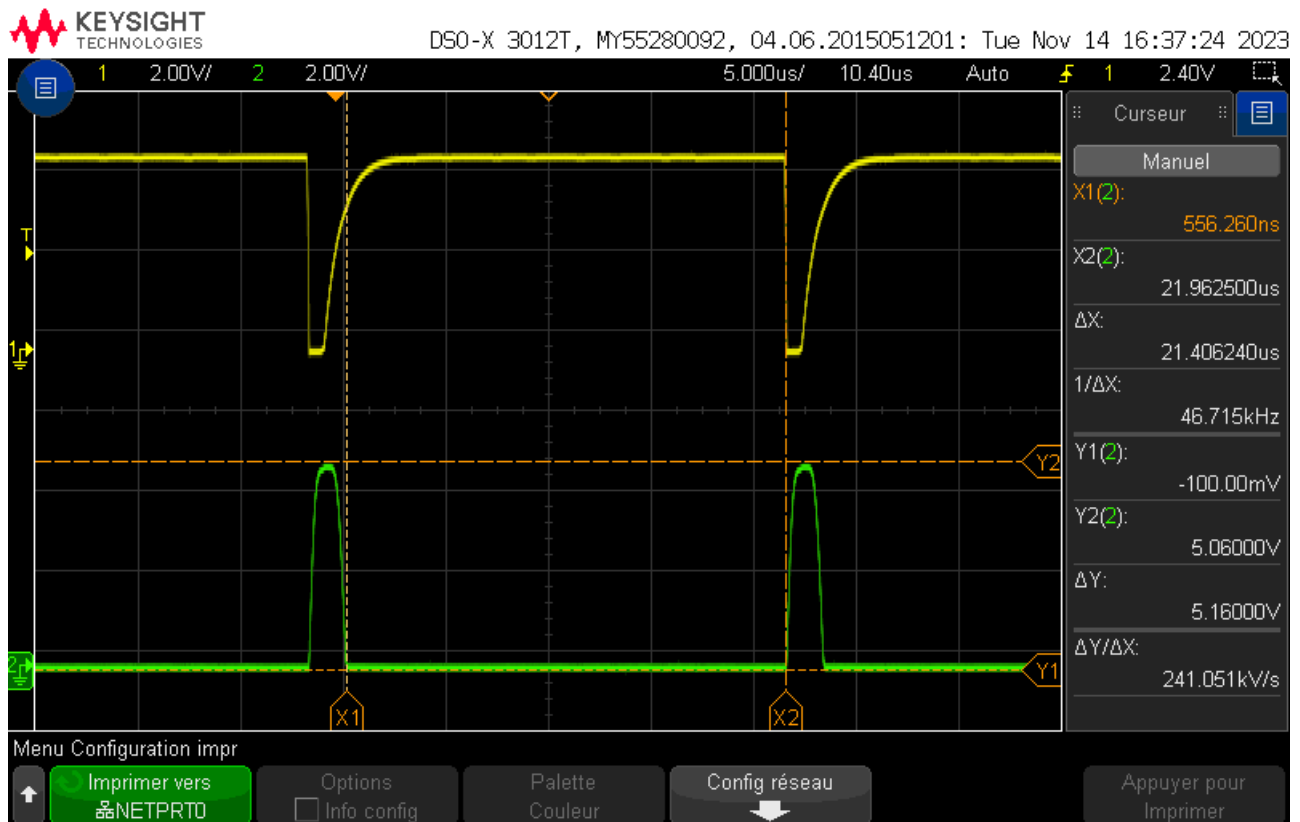


Figure 2.1 – Représentation des étapes de conversion de l'ADC.

### 2.2.1 Mesure de la sortie inversée du DAC

Après avoir appliqué une tension continue à l'entrée analogique  $A_{IN}$ , nous avons procédé à la mesure des niveaux intermédiaires. Une résistance a été utilisée pour atténuer les oscillations parasites et nous avons relevé la sortie inversée  $-V_{OUT}$  du DAC.

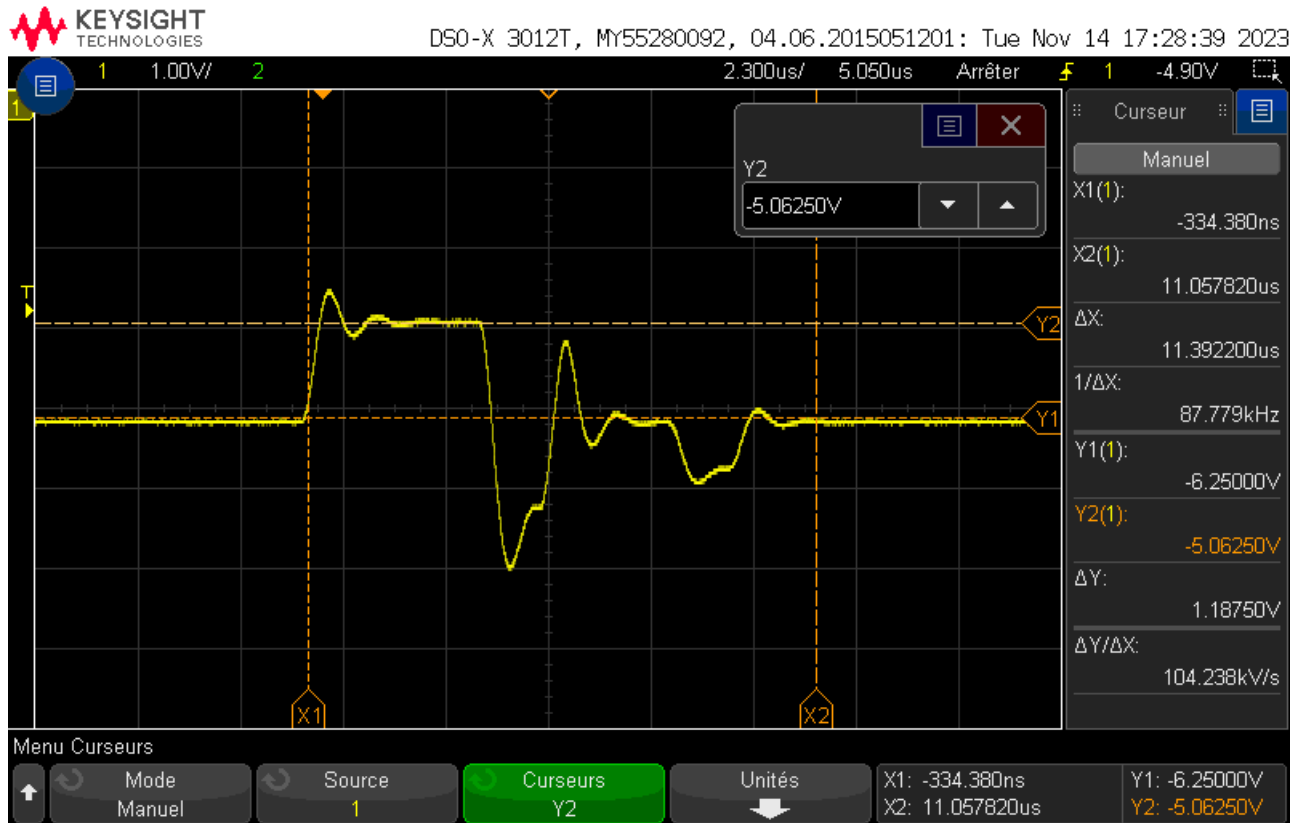


Figure 2.2 – Sortie inversée  $-V_{OUT}$  du DAC

## 2.3 Étude de la quantification

La caractéristique du DAC a été visualisée en appliquant un signal triangulaire et des impulsions de commande à l'entrée. Les signaux obtenus ont été reconvertis en tension pour observer l'erreur de quantification.

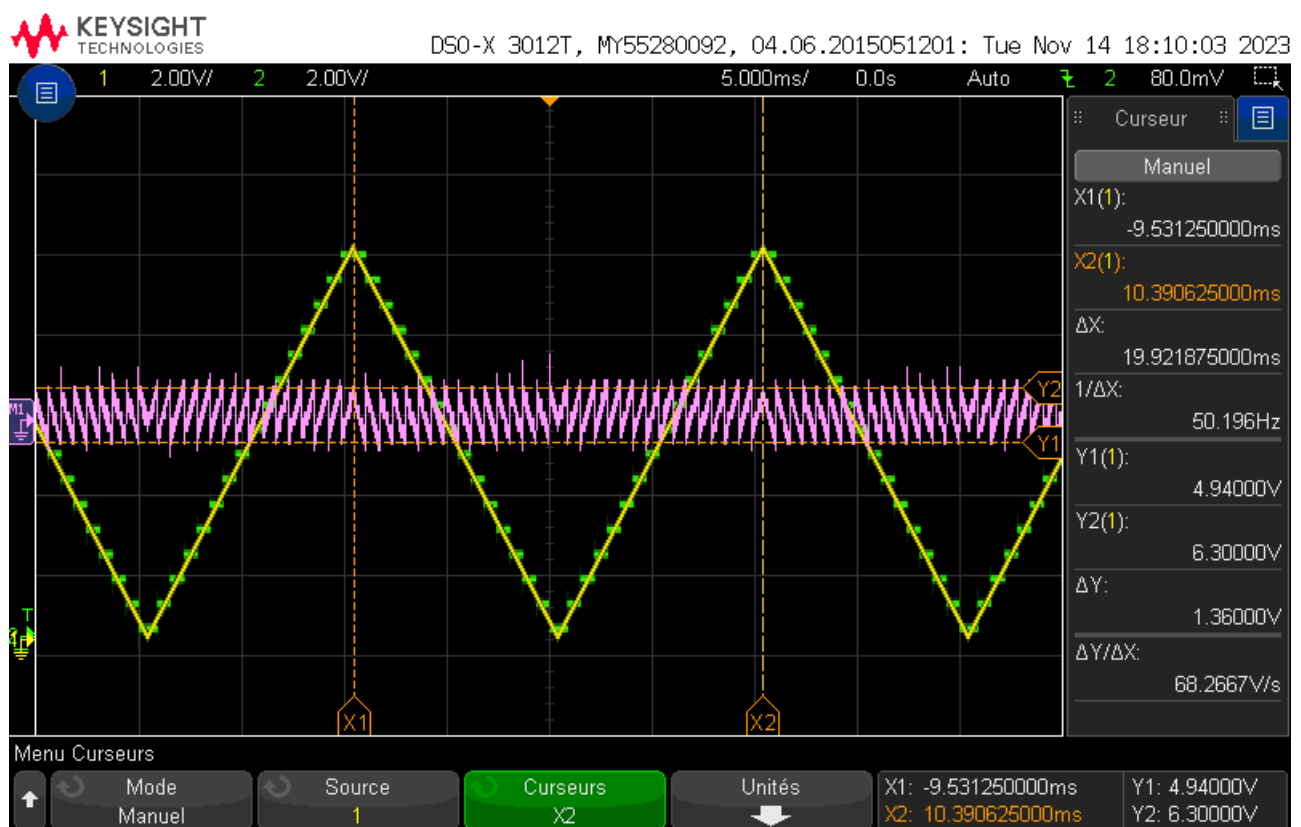


Figure 2.3 – Erreur de quantification mesurée à l'oscilloscope.



# Conclusion

Les expérimentations menées ont permis de valider les comportements attendus des convertisseurs DAC et ADC. Les résultats, en adéquation avec la théorie, soulignent l'efficacité des modèles étudiés pour ces composants essentiels en électronique numérique.