

Universidade de Aveiro

Dep. de Electrónica, Telecomunicações e Informática

Frequência 2, 21/05/2007 **Interfaces e Periféricos**

(Teste A)

Nome: _____, Nº Mec: _____

Note bem:

1. Verifique, para as questões de escolha múltipla, qual a resposta correcta e assinale com uma cruz a sua escolha na tabela ao lado.
2. Nas questões de escolha múltipla, por cada resposta incorrecta será descontada, à cotação global, 1/3 da cotação da respectiva pergunta.
3. Durante a realização do teste não é permitida a posse ou uso de calculadoras, telemóveis ou outros dispositivos electrónicos.
4. Cotações:

Parte I: 1) a 10) 1;

Parte II: a) 1.5 b) 2.5 c) 3 d) 3

Parte I

- 1) Um barramento disponibiliza uma única linha de interrupção, a qual deverá ser partilhada pelos diversos dispositivos a ele ligados. O tipo de *driver* que deverá ser usado para controlar esta linha é:
a) *Totem-pole* b) *Tri-state* c) *Open collector* d) Qualquer um dos anteriores
- 2) Para atenuar o efeito da interferência electromagnética na transmissão de dados:
a) Pode usar-se transmissão em modo diferencial em detrimento do modo “single-ended”
b) Pode aumentar-se a diferença entre os níveis de tensão correspondentes aos níveis lógicos “0” e “1”
c) Pode usar-se cabo entrançado
d) Todas as alternativas anteriores são válidas
- 3) Considere um barramento paralelo multiplexado, constituído por 16 linhas informação. Sobre este barramento pretende-se implementar um protocolo de comunicação que apresenta um espaço de endereçamento de 16 bits e um comprimento de palavra de 8 bits. Admitindo que não há *pipelining* a máxima eficiência de utilização encontra-se limitada a:
a) 100% b) 75% c) 50% d) Não há dados suficientes para responder
- 4) Pretende desenvolver-se um protocolo para interligar dois dispositivos por meio de um barramento paralelo. É necessário suportar operações de escrita e de leitura. Deve utilizar-se:
a) Uma linha sinalizar a operação de leitura e outra linha para sinalizar a operação de escrita
b) Uma única linha que codifica leitura (“1”) ou escrita (“0”), acompanhada de um sinal de *strobe*
c) Uma única linha que codifica leitura (“0”) ou escrita (“1”), acompanhada de um sinal de *strobe*
d) Todas as opções acima indicadas são possíveis
- 5) Os protocolos síncronos são vantajosos quando:
a) Todos os dispositivos presentes no sistema são rápidos
b) Todos os dispositivos presentes no sistema são lentos
c) Os dispositivos presentes no sistema apresentam uma velocidade homogénea
d) Os dispositivos presentes no sistema apresentam uma velocidade heterogénea

6) A Figura 1 apresenta um bloco básico utilizado para implementar um árbitro distribuído com prioridades codificadas. Quando a entrada Req* está activa:

- A saída BitEn_{n-1} toma sempre o valor lógico “0”
- A saída PRB_n ficará em aberto ou toma o valor lógico “0” conforme a entrada BP_n tome os valores lógicos “0” ou “1”, respectivamente
- Ambas as alíneas anteriores estão correctas
- O circuito representado não serve o propósito indicado

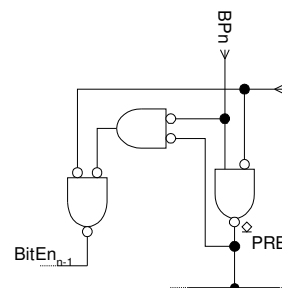


Figura 1

7) Em termos de arquitecturas de interligação, o protocolo SPI permite:

- A existência de vários *slaves*, ligados em cascata, sendo a selecção efectuada por meio de *Chip Selects* independentes
- A existência de vários *slaves*, sendo a selecção efectuada por meio de um campo de identificação embebido na trama
- Ligar apenas dois dispositivos, um *master* e um *slave*
- Todas as opções anteriores estão erradas

8) O standard RS-232 prevê a possibilidade de realizar-se *handshaking* por hardware entre dois dispositivos do tipo DTE com base nos sinais “RTS” e “CTS”. Quando o receptor deseja interromper o envio de dados:

- Desactiva a sua saída “RTS”, a qual se encontra ligada à entrada “CTS” do transmissor
- Desactiva a sua saída “CTS”, a qual se encontra ligada à entrada “RTS” do transmissor
- Desactiva a sua saída “RTS”, a qual se encontra ligada à entrada “RTS” do transmissor
- Desactiva a sua saída “CTS”, a qual se encontra ligada à entrada “CTS” do transmissor

9) Uma transacção no bus PCI inicia-se por uma fase de endereçamento que é do tipo:

- Síncrono
- Semi-síncrono, com sinalização de espera pelo sinal *TRDY* (*Target Ready*)
- Com *handshake*, realizado pelo sinal *TRDY* (*Target Ready*)
- Nenhuma das opções anteriores está correcta

10) Pretende-se ler o endereço 0xAAAA3 do espaço de endereçamento de memória de um dispositivo PCI com um bus de 32 bit. Esta operação

- Pode ser realizada endereçando directamente essa posição de memória
- Requer a leitura do endereço 0xAAAA2, colocando o *initiator* informação complementar acerca dos dados a ler nas linhas *C/BE#*
- Requer a leitura do endereço 0xAAAA0, colocando o target informação apenas no bits *AD[8:15]*
- Requer a leitura do endereço 0xAAAA0, colocando o *initiator* informação complementar acerca dos dados a ler nas linhas *C/BE#*

Parte II

Um dado Centro de Saúde pretende implementar um sistema de informação ao público capaz de mostrar informação alfanumérica. O sistema de visualização é construído a partir de 12 *displays* alfanuméricos, os quais apresentam uma interface SPI básica, constituída por uma linha de dados e uma linha de relógio. O microcontrolador que gere o sistema possui também uma interface SPI básica, bem como um porto de saída digital.

- a) Apresente um esquema eléctrico que permita interligar o microcontrolador aos *displays*.
- b) Apresente um circuito lógico que permita modificar a interface dos *displays* acima referidos, permitindo que estes apresentem uma entrada adicional de selecção (*Chip Select*). Nestas condições indique, justificando, qual o número mínimo de bits que o porto de saída deverá possuir para permitir o controlo individual de cada *display*.
- c) Nas condições da alínea anterior escreva uma função, em linguagem “C”, que permita efectuar o *update* de um dado *display*. A função deve apresentar o protótipo *int update_info(unsigned char car, unsigned char pos)*, em que *car* é o carácter a mostrar (em ASCII) e *pos* é a identificação (0..11) do *display* em que o carácter deve aparecer. Admita que o porto de saída está mapeado no endereço DISP_PORT e que o buffer de transmissão do controlador SPI se encontra mapeado no endereço SPI_TX_BUF. Admita ainda que se encontram disponíveis as funções *poke(unsigned int ENDEREÇO, unsigned int VALOR)* e *pokeb(unsigned int ENDEREÇO, unsigned char VALOR)*, as quais permitem escrever o valor VALOR no endereço ENDEREÇO.
- d) Admita que o microcontrolador usado não possui interface SPI integrada. Indique, justificando, se é possível implementar uma interface com os *displays* mencionados baseada apenas no porto de saída. Em caso afirmativo escreva, em linguagem “C”, uma função com o protótipo *int SPI_send(char car)* que efectue o envio de um dado carácter. Admita ainda que se encontram disponíveis as funções *poke(unsigned int ENDEREÇO, unsigned int VALOR)* e *pokeb(unsigned int ENDEREÇO, unsigned char VALOR)*, as quais permitem escrever o valor VALOR no endereço ENDEREÇO.