



Seminário



Ponto de Checagem 1



Aluno: Bruno Ogata Franchi

RA: 101893

UC: Laboratório de Arquitetura e Organização de Computadores

Projeto proposto pelo Prof. Dr. Tiago de Oliveira

Projeto



Projeto

Desenvolvimento de um processador em FPGA

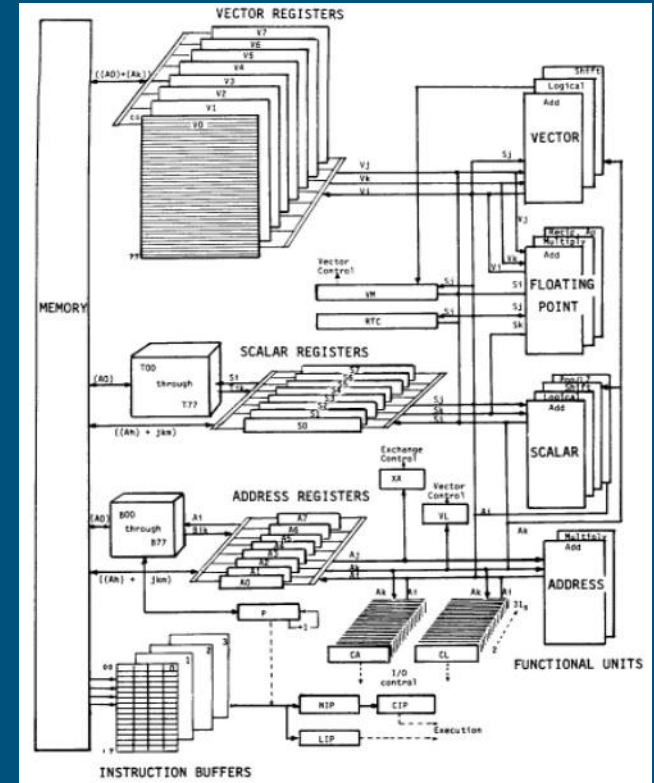
- **Conjunto de Instruções**
- Unidade de Processamento
- Unidade de Controle

Processador NorMIPS

- Arquitetura MIPS
- Conjunto de Instruções RISC
- SISD (Single Instruction Single Data)

Processador VectorIPS

- Arquitetura MIPS-Adaptada
- Conjunto de Instruções RISC
- SIMD (Single Instruction Multiple Data)



Fundamentação Teórica

Fundamentação Teórica

- CPU (Unidade de Central de Processamento)
- Quartus
- Verilog
- RISC e CISC
- SISD e SIMD
- FPGA

Conjunto de Instruções

Conjunto de Instruções

3 Formatos de Instrução:

- Tipo R (Lógico-Aritmética)
- Tipo I (Transferência de Dados/Branch)
- Tipo J (Jump)

O processador NorMIPS contará com 21 instruções:

- 14 R-type
- 5 I-type
- 2 J-type

Formatos de Instrução

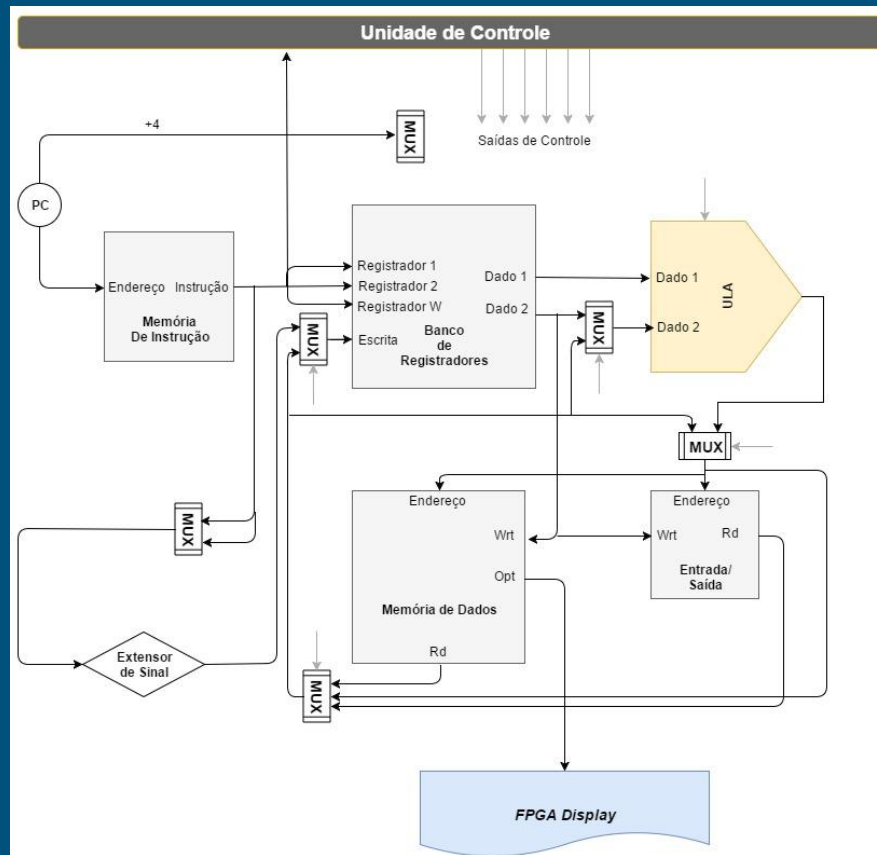
			NorMIPS			
Formato	op	rs	rt	rd	shamt	funct
Tipo R	6 bits	5 bits	5 bits	5 bits	5 bits	6 bits
Formato	op	rs	rt		endereço	
Tipo I	6 bits	5 bits	5 bits		16 bits	
Formato	op			endereço		
Tipo J	6 bits			26 bits		

* As instruções de NorMIPS contém 32 bits de largura

Conjunto de Instruções

	NorMIPS	
R-type	I-type	J-type
add	lw	j
sub	sw	jal
mult	slti	
div	beq	
mfhi	bne	
mflo		
and		
or		
xor		
nor		
slt		
sll		
srl		
jr		

Arquitetura Base



Arquitetura Base de NorMIPS