 <p>UFRR</p>	<p align="center"><Laboratório VHDL> por <Bruno Rodrigues > - 2017.2 Boa vista, 05/12/2017</p>
--	--

Resolução da lista de exercícios

Bruno Rodrigues Caputo (brunorcx@hotmail.com)

DCC301-Arquitetura e Organização de Computadores 2017.2-Turma 01

Universidade Federal de Roraima

DCC -Departamento de Ciência da Computação - Bloco V

Campus Universitário do Paricarana - Aeroporto

69310-000 Boa vista, RR

(i)Descrição:d

(ii) Imagem da RTL viewer:d

(iii) waveform:waveform.vwf

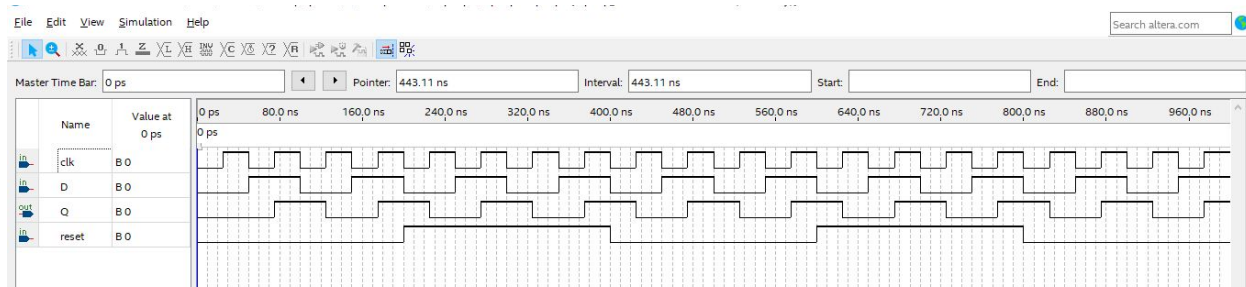
(iv) Descrição dos testes:d

[COMPONENTE 01]. Registrador Flip-Flop do tipo D e do tipo JK.

(i)Descrição:Com um total de 4 pinos , sendo 3 para entrada com o clk(clock) D(entrada) e reset(entrada) a lógica se diz quando o clock event e o clk for igual então a saída deverá corresponder com a entrada D

(ii) Imagem da RTL viewer:flipflopRTL.pdf

(iii) waveform:waveform.vwf




(iv) Descrição dos testes:Com a waveform é possível ver que o Q está seguindo p resultado esperado e está corroborando com D quando atende às condições de clock.

[COMPONENTE 02]. Multiplexador de quatro opções de entrada.

(i)Descrição: São 7 pinos, sendo 4 entradas representados por D(0),D(1),D(2),D(3) duas portas de seleção S(0) e S(1) e a saída na porta Y, conforme a lógica no código, considerando os casos possíveis temos que: se S for 00 ou 01, deverá resultar no valor de D(0) e (D1),respectivamente, enquanto que se S for 10 ou 11 deverá resultar no calor de D(2) e D(3), respectivamente.

(ii) Imagem da RTL viewer:Mux_RTL_Viewer.pdf

(iii) waveform:waveform.vwf

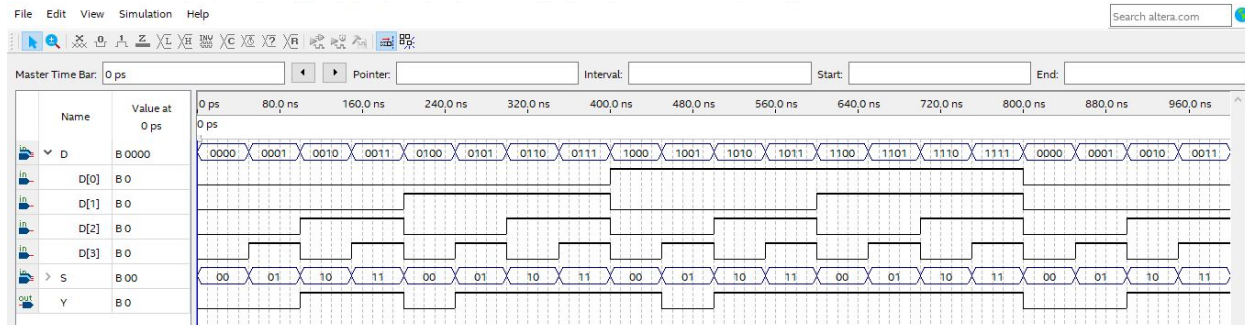


UFRR

<Laboratório VHDL>

por <Bruno Rodrigues > - 2017.2

Boa vista, 05/12/2017



(iv) Descrição dos testes: Nos testes é possível verificar com a simulação funcional que o resultado condiz com o esperado de um multiplexador, com os 4 pinos de entradas servindo como o valor que sairá na saída de acordo com os dois seletores.

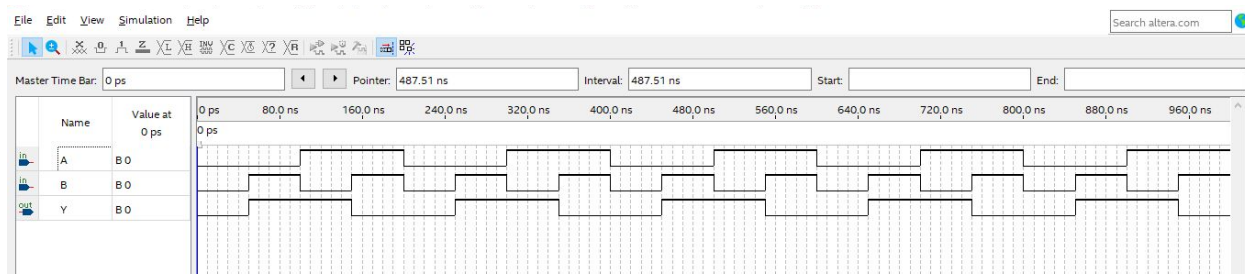
[COMPONENTE 03]. Porta lógica XOR usando port map com os componentes: AND, NOT, e OR.

(i) Descrição: Total de 3 pinos, sendo A e B as entradas e Y a saída, a lógica vem de aritmética booleana em que a equivalência da porta xor pode ser descrita por:

$$p \oplus q = (p \vee q) \wedge \neg(p \wedge q)$$

(ii) Imagem da RTL viewer: XorRTL.pdf

(iii) waveform: waveform.vwf




(iv) Descrição dos testes: Observando a waveform é possível gerar testes em que as saídas correspondem ao esperado pela porta xor quando as duas entradas são iguais a saída deve ser 0, e a saída (Y) será 1 caso contrário.

[COMPONENTE 04]. Somador que recebe um valor inteiro e soma com o valor 4.

(i) Descrição: Com um total de 8 pinos sendo 4 para entrada, representando um número inteiro e 4 para saída, a lógica está na saída obedecer a entrada somado ao valor 4 em decimal.

(ii) Imagem da RTL viewer: somador4RTL.pdf

(iii) waveform: waveform.vwf

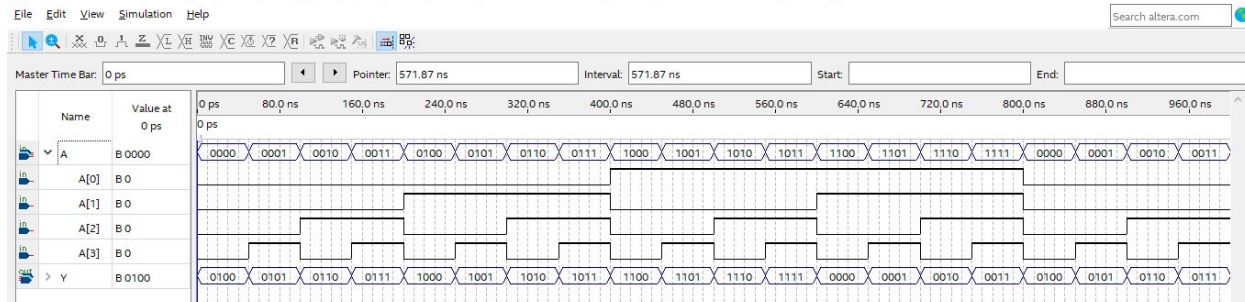


UFRR

<Laboratório VHDL>

por <Bruno Rodrigues > - 2017.2

Boa vista, 05/12/2017



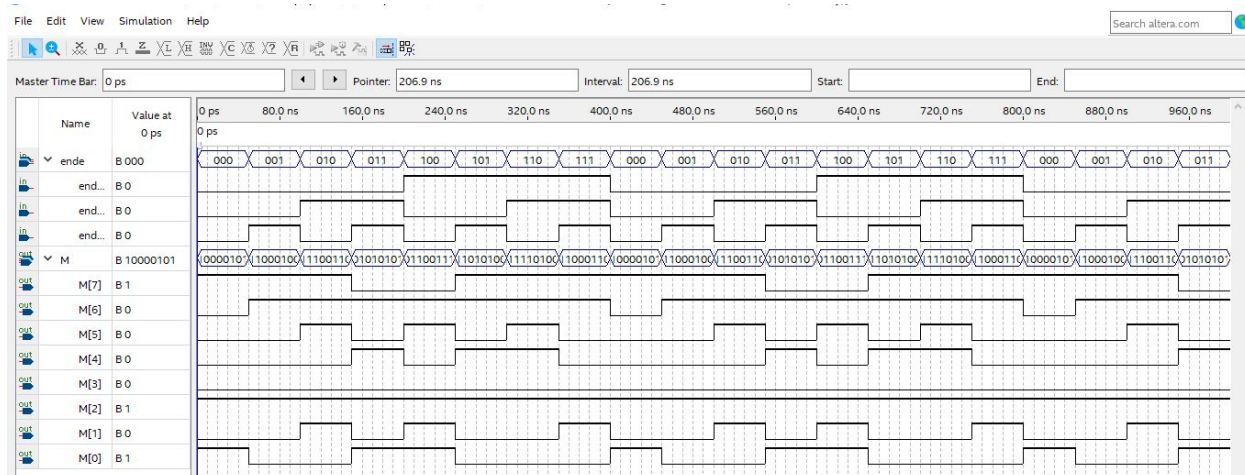
(iv) Descrição dos testes: Através da waveform fica mais simples de seguir a soma do valor 4 dada a entrada, logo no primeiro caso teste temos o valor 0100 para a saída Y representando a soma a entrada que começa com 0000.

[COMPONENTE 05]. Memória ROM de 8 bits.

(i) Descrição: total de 11 pinos, sendo 3 de entrada representando o endereço de memória e 4 para saída

(ii) Imagem da RTL viewer: memROMRTL.pdf

(iii) waveform: waveform.vwf



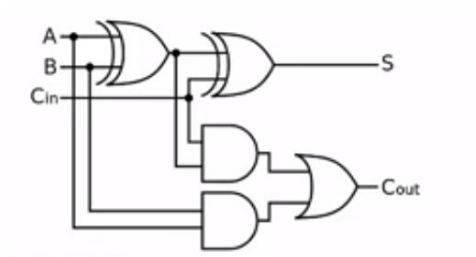
(iv) Descrição dos testes: através de 3 pinos de entradas e utilizando 5 multiplexadores contendo as entradas na seleção, e contendo as constantes declaradas (como exemplo) para a memória é possível se obter o resultado em M equivalente a ROM.

[COMPONENTE 06]. Memória RAM de 8 bits.

[COMPONENTE 07]. Banco de Registradores de 8 bits.

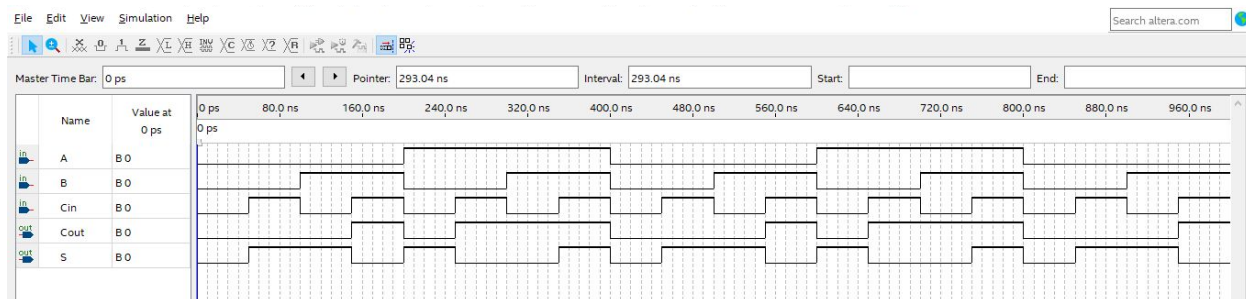
[COMPONENTE 08]. Somador de 8 bits.

(i) Descrição: com um total de 5 pinos, sendo 3 para entradas, correspondendo A,B,Cin(carry in) e duas saídas S e Cout, seguindo a soma de números binários através da tabela verdade e seguindo o circuito digital por ela derivado.



(ii) Imagem da RTL viewer:somador_8_bits_RTL.pdf

(iii) waveform:waveform.vwf



(iv) Descrição dos testes: Os pinos A e B representam os valores de entrada para soma enquanto que o Cin representa o carry-in caso ocorra, S é o resultado da soma e Cout fica como O carry-out caso haja a necessidade.

[COMPONENTE 09]. Unidade de controle uniciclo do MIPS de 8 bits.


[COMPONENTE 10]. ULA de 8 bits, utilizando port map, com as seguintes operações: AND, OR, NOT, NOR, NAND, XOR, SHIFT de 2 bits à esquerda, SHIFT de bits à direita, soma e subtração.

[COMPONENTE 11]. Extensor de sinal de 4 bits para 8 bits.

[COMPONENTE 12]. Implemente a maquina de estados ao lado.

[COMPONENTE 13]. Contador Síncrono.

Obs: todas as waveforms possuem o mesmo nome,contudo,são arquivos diferentes e estão localizados nos seus respectivos arquivos em “.rar”.

	<p style="text-align: center;"> <Laboratório VHDL> por <Bruno Rodrigues > - 2017.2 Boa vista, 05/12/2017 </p>
--	---

Bibliografia:

Aulas de VHDL retirado do sítio

”<https://www.youtube.com/watch?v=yT8F9WKaKTc&list=PLYE3wKnWQbHA9HVn6dq7cywyaHzkx-WOP&index=5>”

Aula de VHDL retirada do sítio

“<https://www.youtube.com/watch?v=gpy1oXxOYns>”

Somador simples retirado do sítio

“<https://startingelectronics.org/software/VHDL-CPLD-course/tut14-VHDL-adder/>”

Memória Rom retirado do sítio

“<https://www.youtube.com/watch?v=hQm8FO-SrCc>”



<Laboratório VHDL>
por <Bruno Rodrigues > - 2017.2
Boa vista, 05/12/2017